



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0017705
(43) 공개일자 2016년02월17일

(51) 국제특허분류(Int. Cl.)
G02F 1/1335 (2006.01) G02F 1/1362 (2006.01)
(21) 출원번호 10-2014-0098765
(22) 출원일자 2014년08월01일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이소형
경기 고양시 덕양구 화신로 298, 807동 1604호 (화정동, 별빛마을8단지아파트)
장윤경
경기 고양시 일산서구 강선로 141, 1602동 1001호 (일산동, 후곡마을16단지아파트)
(뒷면에 계속)
(74) 대리인
김은구, 송해모

전체 청구항 수 : 총 10 항

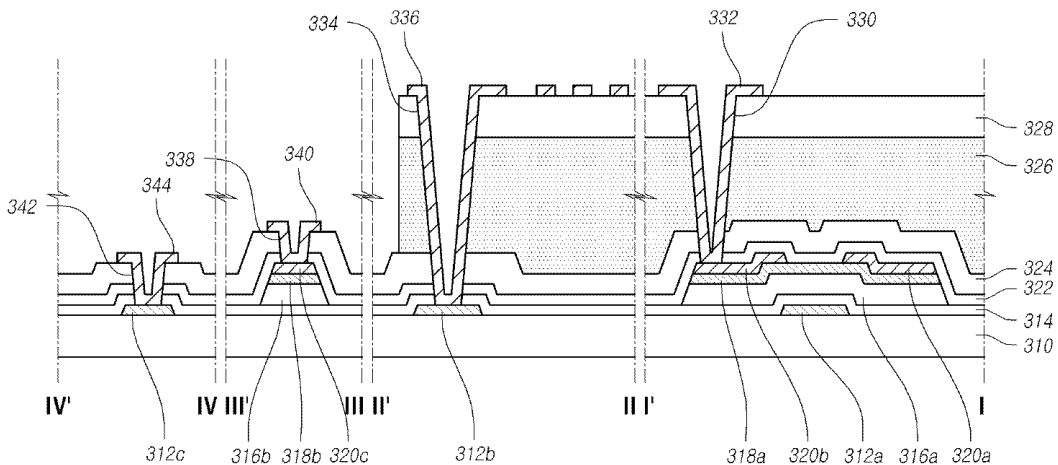
(54) 발명의 명칭 액정표시패널 및 그 제조방법

(57) 요약

본 발명은 기판 상에 일방향으로 형성된 게이트라인 및 일방향에 수직 방향으로 교차 형성된 데이터라인의 교차부에 위치하고, 게이트라인에 연결된 게이트 상에 위치하는 다층구조의 게이트절연막과 다층구조의 게이트절연막 상에 위치하는 소스전극 및 드레인전극을 포함하는 트랜지스터, 트랜지스터 상에 위치하는 다층구조의 보호층, 다층구조의 보호층 중 적어도 어느 한층 상에 위치하는 색변환층, 색변환층 상에 위치하는 감광성 물질층, 다층구조의 보호층과 색변환층과 감광성 물질층에 형성되어 소스전극 또는 드레인전극의 일부를 노출시키는 제1컨택홀 및 제1컨택홀을 통해 소스전극 또는 드레인전극에 연결된 화소전극을 포함하는 액정표시패널과 그 제조방법을 제공한다.

대표도

300



(72) 발명자

김민철

경기 고양시 일산서구 일산로 790, 205동 1301호
(대화동, 장성마을2단지아파트)

정호영

경기 과천시 와석순환로 347, 101동 606호 (목동동, 해솔마을2단지월드메르디앙)

유하진

경기 과천시 월롱면 엘지로 245, A동 1913호 (과주LCD산업단지)

양정석

충남 아산시 배방읍 배방로105번길 31, 112동 1202호 (아산배방푸르지오아파트)

명세서

청구범위

청구항 1

기관 상에 일방향으로 형성된 게이트라인 및 상기 일방향에 수직 방향으로 교차 형성된 데이터라인의 교차부에 위치하고, 상기 게이트라인에 연결된 게이트 상에 위치하는 다층구조의 게이트절연막과 상기 다층구조의 게이트절연막 상에 위치하는 소스전극 및 드레인전극을 포함하는 트랜지스터;

상기 트랜지스터 상에 위치하는 다층구조의 보호층;

상기 다층구조의 보호층 중 적어도 어느 한층 상에 위치하는 색변환층;

상기 색변환층 상에 위치하는 감광성 물질층;

상기 다층구조의 보호층과 상기 색변환층과 상기 감광성 물질층에 형성되어 상기 소스전극 또는 상기 드레인전극의 일부를 노출시키는 제1컨택홀; 및

상기 제1컨택홀을 통해 상기 소스전극 또는 상기 드레인전극에 연결된 화소전극을 포함하는 액정표시패널.

청구항 2

제 1항에 있어서,

상기 게이트라인과 이격하여 위치하고 상기 게이트와 같은 물질로 이루어진 공통라인, 상기 다층구조의 게이트절연막과 상기 다층구조의 보호층과 상기 색변환층과 상기 감광성 물질층에 형성되어 상기 공통라인의 일부를 노출시키는 제2컨택홀 및 상기 제2컨택홀을 통해 상기 공통라인에 연결되는 공통전극을 추가로 포함하는 액정표시패널.

청구항 3

제 1항에 있어서,

상기 다층구조의 게이트절연막은 상기 기관의 전면에 형성되고 상기 게이트를 덮는 제1게이트절연막과, 상기 제1게이트절연막 상에 형성되고 상기 게이트와 상기 소스전극 또는 상기 드레인전극에 대응하여 위치하는 제2게이트절연막으로 이루어지는 액정표시패널.

청구항 4

제 1항에 있어서,

상기 다층구조의 보호층은 상기 트랜지스터 상에 위치하고 산화실리콘 계열의 물질로 이루어진 제1보호층과, 상기 제1보호층 상에 위치하고 질화실리콘 계열의 물질로 이루어진 제2보호층으로 이루어지는 액정표시패널.

청구항 5

제 3항에 있어서,

상기 게이트라인과 이격하여 형성되고 상기 게이트와 같은 물질로 이루어진 공통라인과, 상기 제1게이트절연막과 상기 다층구조의 보호층과 상기 색변환층과 상기 감광성 물질층에 형성되어 상기 공통라인의 일부를 노출시키는 제2컨택홀과, 상기 제2컨택홀을 통해 상기 공통라인에 연결되는 공통전극을 추가로 포함하는 액정표시패널.

청구항 6

제 3항에 있어서,

상기 데이터라인에 연결되어 데이터신호를 공급하는 데이터패드와, 상기 다층구조의 보호층에 형성되어 상기 데이터패드의 데이터패드 하부전극의 일부를 노출시키는 제3컨택홀과, 상기 제3컨택홀을 통해 상기 데이터패드 하

부전극에 연결되는 데이터패드 상부전극을 추가로 포함하는 액정표시패널.

청구항 7

제 3항에 있어서,

상기 게이트라인에 연결되어 게이트신호를 공급하는 게이트패드와, 상기 제1게이트절연막과 상기 다층구조의 보호층에 형성되어 상기 게이트패드의 게이트패드 하부전극의 일부를 노출시키는 제4컨택홀과, 상기 제4컨택홀을 통해 상기 게이트패드 하부전극에 연결되는 게이트패드 상부전극을 추가로 포함하는 액정표시패널.

청구항 8

제 1항에 있어서,

상기 다층구조의 보호층은, 상기 트랜지스터와 상기 색변환층 사이에 위치하는 제1보호층과, 상기 감광성 물질층 상에 위치하는 제2보호층을 포함하고,

상기 제1컨택홀은 상기 제1보호층과 상기 색변환층과 상기 감광성 물질층과 상기 제2보호층에 형성되어 상기 소스전극 또는 상기 드레인전극을 노출시키는 액정표시패널.

청구항 9

기판 상에 게이트와 제1게이트절연막을 형성하고, 제2게이트절연막 물질층, 반도체 물질층 및 소스/드레인 물질층을 순차적으로 적층하는 단계;

상기 소스/드레인 물질층 상에 포토레지스트 물질을 도포하고, 하프톤(halftone) 마스크를 통해 포토레지스트 패턴을 형성하며, 상기 포토레지스트 패턴이 도포되지 않은 영역의 상기 반도체 물질층과 상기 소스/드레인 물질층을 제거하는 제1식각 단계;

상기 포토레지스트 패턴이 도포되지 않은 영역의 상기 제2게이트절연막 물질층을 제거하여 제2게이트절연막을 형성하는 제2식각 단계;

상기 포토레지스트 패턴의 일부를 제거하여 상기 소스/드레인 물질층의 일부를 노출시키는 에칭(ashing) 단계; 및

상기 노출된 소스/드레인 물질층을 제거하여 소스전극 및 드레인전극을 형성하는 제3식각 단계를 포함하는 액정표시패널의 제조방법.

청구항 10

제 9항에 있어서,

상기 제3식각 단계 이후,

상기 소스전극 및 상기 드레인전극 상에 제1보호층과 제2보호층을 순차적으로 적층하는 단계;

상기 제2보호층 상에 색변환 물질층을 형성하고 상기 소스전극 또는 상기 드레인전극의 일부가 노출되도록 패터닝(patterning)하여 색변환층을 형성하는 단계;

상기 색변환층 상에 감광성 물질을 도포하고 상기 소스전극 또는 상기 드레인전극의 일부가 노출되도록 패터닝하여 감광성 물질층을 형성하는 단계; 및

상기 감광성 물질층을 마스크(mask)로 하여 상기 제1보호층과 상기 제2보호층을 제거하여 상기 소스전극 또는 상기 드레인전극의 일부를 노출시키는 제4식각 단계를 추가로 포함하는 액정표시패널의 제조방법.

발명의 설명

기술 분야

본 발명은 액정표시장치 및 그 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 액정표시장치 기술은, 지속적인 발전을 거듭하여, 기존의 CRT(Cathode-Ray Tube)을 이용한 고착형 디스플레이 시장을 대체하고 있으며, 노트북용 표시소자, 컴퓨터 모니터, TV 등 점점 대형화하여 DID(Digital Information Display) 또는 PID(Public Information Display)시장으로도 확대되고 있다. 또한 모바일 영역에서도 자리를 지키고 있다.
- [0003] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정표시장치는 수직전계형과 수평전계형으로 나뉘질 수 있다. 여기서 수직전계형 액정표시장치는 상부기판 상에 형성된 공통전극과 하부기판 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직전계에 의해 TN(Twisted Nematic; 이하 TN이라 함) 모드의 액정을 구동하게 된다. 한편 수평전계형 액정표시장치는 하부기판에 나란하게 배치된 화소전극과 공통전극 간의 수평전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다.
- [0004] 액정표시장치는 박막 트랜지스터 등을 포함하는 하부기판과, 칼라필터 블랙매트릭스 등을 포함하는 상부기판, 두 기판 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서 및 스페이서에 의해 마련된 공간에 채워진 액정 등을 포함한다.
- [0005] 액정표시장치를 제조하는 데 있어서, 식각 공정을 통해 형성되는 컨택홀의 높이가 높을수록 컨택홀의 크기(size)가 지나치게 커지게 되고, 또한 다수의 마스크 공정을 필요로 하여 그 제조공정이 복잡해지는 문제가 발생한다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 목적은 컨택홀의 크기를 개선하고, 제조공정을 단순화한 액정표시패널을 제공함에 있다.

과제의 해결 수단

- [0007] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 기판 상에 일방향으로 형성된 게이트라인 및 상기 일방향에 수직 방향으로 교차 형성된 데이터라인의 교차부에 위치하고, 상기 게이트라인에 연결된 게이트 상에 위치하는 다층구조의 게이트절연막과 상기 다층구조의 게이트절연막 상에 위치하는 소스전극 및 드레인전극을 포함하는 트랜지스터; 상기 트랜지스터 상에 위치하는 다층구조의 보호층; 상기 다층구조의 보호층 중 적어도 어느 한층 상에 위치하는 색변환층; 상기 색변환층 상에 위치하는 감광성 물질층; 상기 다층구조의 보호층과 상기 색변환층과 상기 감광성 물질층에 형성되어 상기 소스전극 또는 상기 드레인전극의 일부를 노출시키는 제1컨택홀; 및 상기 제1컨택홀을 통해 상기 소스전극 또는 상기 드레인전극에 연결된 화소전극을 포함하는 액정표시패널을 제공한다.
- [0008] 다른 측면에서, 본 발명은, 기판 상에 게이트와 제1게이트절연막을 형성하고, 제2게이트절연막 물질층, 반도체 물질층 및 소스/드레인 물질층을 순차적으로 적층하는 단계;
- [0009] 상기 소스/드레인 물질층 상에 포토레지스트 물질을 도포하고, 하프톤(halftone) 마스크를 통해 포토레지스트 패턴을 형성하며, 상기 포토레지스트 패턴이 도포되지 않은 영역의 상기 반도체 물질층과 상기 소스/드레인 물질층을 제거하는 제1식각 단계; 상기 포토레지스트 패턴이 도포되지 않은 영역의 상기 제2게이트절연막 물질층을 제거하여 제2게이트절연막을 형성하는 제2식각 단계; 상기 포토레지스트 패턴의 일부를 제거하여 상기 소스/드레인 물질층의 일부를 노출시키는 에싱(ashing) 단계; 및 상기 노출된 소스/드레인 물질층을 제거하여 소스전극 및 드레인전극을 형성하는 제3식각 단계를 포함하는 액정표시패널의 제조방법을 제공한다.

발명의 효과

[0010] 본 발명은 액정표시패널 내의 컨택홀의 크기를 개선시키고, 제조공정을 단순화시키는 효과가 있다.

도면의 간단한 설명

[0011] 도 1은 실시예들이 적용되는 액정표시장치의 시스템 구성도이다.

도 2는 실시예들에 따른 액정표시패널의 개략적인 평면도이다.

도 3은 일실시예에 따라 도 2의 I-I', II-II', III-III', IV-IV'를 절단한 액정표시패널의 일예의 개략적인 단면도이다.

도 4는 다른 실시예에 따라 도 2의 I-I', II-II', III-III', IV-IV'를 절단한 액정표시패널의 일예의 개략적인 단면도이다.

도 5a 내지 도 5k는 또다른 실시예에 따른 액정표시패널의 제조방법을 나타내는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0013] 또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.

[0014] 도 1은 실시예들이 적용되는 액정표시장치에 관한 시스템 구성도이다.

[0015] 도 1을 참조하면, 액정표시장치(100)는 액정표시패널(140), 데이터 구동부(120), 게이트 구동부(130), 타이밍 컨트롤러(110) 등을 포함한다.

[0016] 우선, 타이밍 컨트롤러(110)는 호스트 시스템으로부터 입력되는 수직/수평 동기신호(Vsync, Hsync)와 영상신호(RGB), 클럭신호(CLK) 등의 외부 타이밍 신호에 기초하여 데이터 구동부(120)를 제어하기 위한 데이터 제어신호(DCS)와 게이트 구동부(130)를 제어하기 위한 게이트 제어신호(GCS)를 출력한다. 또한, 타이밍 컨트롤러(110)는 호스트 시스템로부터 입력되는 영상신호(RGB)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식으로 변환하고 변환된 영상신호(R'G'B')를 데이터 구동부(120)로 공급할 수 있다.

[0017] 데이터 구동부(120)는 타이밍 컨트롤러(110)로부터 입력되는 데이터 제어신호(DCS) 및 변환된 영상신호(R'G'B')에 응답하여, 변환된 영상신호(R'G'B')를 게조 값에 대응하는 전압 값인 데이터 신호(아날로그 화소신호 혹은 데이터 전압)로 변환하여 데이터 라인에 공급한다.

[0018] 게이트 구동부(130)는 타이밍 컨트롤러(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트 라인에 스캔신호(게이트 펄스 또는 스캔펄스, 게이트 온신호)를 순차적으로 공급한다.

[0019] 한편 액정표시패널(140)은, 트랜지스터, 다층구조의 보호층, 두 장의 기판들과 그 사이에 위치하는 액정층, 배향막, 칼라필터, 블랙매트릭스 및 감광성 물질층 등을 포함할 수 있다.

[0020] 액정표시패널(140)의 제 1 기판(하부 기판)은 COT(Color filter On TFT) 구조로 구현될 수 있고, 이 경우에, 블랙매트릭스와 컬러필터는 제 1 기판에 형성될 수도 있다.

[0021] 여기서 트랜지스터는 반도체층을 포함하고, 반도체층을 보호하기 위한 다층구조의 보호층이 구비될 수 있다.

[0022] 한편 액정표시패널(140)의 제조공정에 있어서, 식각공정에 있어 다수의 컨택홀들의 높이(또는 두께)를 낮추어

컨택홀의 크기(size)가 제어될 수 있고, 제조공정 중에 감광성 물질층을 마스크로 사용함으로써, 마스크의 수와 공정의 수가 축소될 수 있다.

[0023] 또한 액정표시패널(140)의 제 1 기판(하부 기판)에는 다수의 데이터라인들(D1~Dm, m은 자연수), 데이터라인들(D1~Dm)과 교차되는 다수의 게이트라인들(또는 스캔라인들)(G1~Gn, n은자연수), 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차부들에 형성되는 다수의 트랜지스터들, 액정셀들에 데이터전압을 충전시키기 위한 다수의 화소전극, 화소전극에 접속되어 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor) 등을 포함할 수 있다.

[0024] 액정표시패널(140)의 제 2 기판(상부 기판)에는 블랙매트릭스, 컬러필터 등을 포함할 수 있다.

[0025] 한편, 액정표시패널(140)의 화소(P)들은 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)에 의해 정의된 화소 영역에 형성되어 매트릭스 형태로 배치된다. 화소들 각각의 액정셀은 화소전극에 인가되는 데이터전압과 공통전극에 인가되는 공통전압의 전압차에 따라 인가되는 전계에 의해 구동되어 입사광의 투과량을 조절한다.

[0026] 이러한 액정표시패널(140)은 IPS(In Plane Switching) 모드, FFS(Fringe Field Switching)모드 등 다른 액정 모드로도 구현될 수 있다.

[0027] 이 때 공통전극은 TN 모드와 VA 모드와 같은 수직전계 구동방식에서는 제 2 기판에 형성될 수 있고, IPS 모드와 FFS 모드와 같은 수평전계 구동방식에서 화소전극과 함께 제 1 기판에 형성될 수 있다.

[0028] 이하에서는, 도 1에서 설명한 액정표시패널(140)에 관한 실시예들에 대하여 상세히 설명한다.

[0029] 도 2는 실시예들에 따른 액정표시패널의 개략적인 평면도이다.

[0030] 도 2를 참조하면, 액정표시패널(200)은 기판(미도시) 상에 일방향(도 2에서 가로방향)으로 형성된 게이트라인(GL, 212) 및 일방향에 수직방향(도 2에서 세로방향)으로 교차 형성된 데이터라인(220)의 교차부에 위치하고, 게이트라인(212)에 연결된 게이트(212a) 상에 위치하는 다층구조의 게이트절연막(미도시)과 다층구조의 게이트절연막(미도시) 상에 위치하는 반도체층(218a)과 소스전극 및 드레인전극(220a, 220b)을 포함하는 트랜지스터, 트랜지스터 상에 위치하는 다층구조의 보호층(미도시), 보호층(미도시) 상에 위치하는 색변환층(미도시), 색변환층(미도시) 상에 위치하는 감광성 물질층(미도시), 다층구조의 보호층(미도시)과 색변환층(미도시)과 감광성 물질층(미도시)에 형성되어 소스전극 또는 상기 드레인전극(220a, 220b)의 일부를 노출시키는 제1컨택홀(230) 및 제1컨택홀(230)을 통해 소스전극 또는 드레인전극(220a, 220b)에 연결된 화소전극(232)를 포함할 수 있다.

[0031] 또한 액정표시패널(200)은, 게이트라인(212)과 이격하여 위치하고 게이트(212a)와 같은 물질로 이루어진 공통라인(212b), 다층구조의 게이트절연막(미도시)과 다층구조의 보호층(미도시)과 색변환층(미도시)과 감광성 물질층(미도시)에 형성되어 공통라인(212b)의 일부를 노출시키는 제2컨택홀(234) 및 제2컨택홀(234)을 통해 공통라인(212b)에 연결되는 공통전극(236)을 추가로 포함할 수 있다.

[0032] 한편 액정표시패널(200)은, 데이터라인(220)에 연결되어 데이터신호를 공급하는 데이터패드(237)와, 다층구조의 보호층(미도시)에 형성되어 데이터패드(237)의 데이터패드 하부전극(220c)의 일부를 노출시키는 제3컨택홀(238)과, 제3컨택홀(238)을 통해 데이터패드 하부전극(220c)에 연결되는 데이터패드 상부전극(240)을 추가로 포함할 수 있다.

[0033] 또한 액정표시패널(200)은, 게이트라인(212)에 연결되어 게이트신호를 공급하고 게이트패드(241)와, 제1게이트절연막(미도시)과 다층구조의 보호층(미도시)에 형성되어 게이트패드(241)의 게이트패드 하부전극(212c)의 일부를 노출시키는 제4컨택홀(242)과, 제4컨택홀(242)을 통해 게이트패드 하부전극(212c)에 연결되는 게이트패드 상부전극(244)을 포함할 수 있다.

[0034] 도 2의 액정표시패널(200)은 일예로서, 액정이 2개의 도메인(two domain) 배향 구조를 이루는 S-IPS(Super In-Plane Switching) 모드를 도시하였으나, 실시예들은 이에 제한되지 않고, 한 개의 도메인 배향구조를 갖는 IPS(In-Plane Switching) 모드, 화소전극과 공통전극이 동일 평면 상에 있지 않은 FFS(Fringe Field Switching) 모드일 수 있다.

[0035] 액정표시패널(200)은 다수의 배선 라인을 포함할 수 있고, 다수의 배선 라인은 제1방향(도 2에서 가로방향)으로 스캔 신호(또는 게이트 신호)를 전달하는 게이트라인(212)과 제2방향(도 2에서 세로방향)으로 서로 이격하여 데이터 신호 전달용 데이터라인(220), 게이트라인(212)과 이격하여 형성된 공통라인(212b)을 포함할 수 있다. 이 때 게이트라인(212)과 공통라인(212b)은 나란히 형성될 수 있다. 게이트라인(212)은 가로방향으로 게이트패드

(241)까지 길게 연장되어 있고, 데이터라인(220)은 세로방향으로 데이터패드(237)까지 길게 연장되어 있다.

- [0036] 게이트라인(212), 공통라인(212b) 및 데이터라인(220)은 저저항 특성을 갖는 금속물질, 예를 들어 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo) 및 몰리브덴 합금(MoTi) 중 선택된 하나 또는 둘 이상의 물질의 단일층 또는 다층 구조를 가질 수 있다.
- [0037] 전기적 연결관계에 있어서, 게이트라인(212)과 일단이 연결된 게이트(212a), 반도체층(218a), 데이터라인(220)과 일단이 연결된 소스 또는 드레인전극(220a), 제1컨택홀(230)을 통해 화소전극(232)과 연결된 드레인 또는 소스전극(220b)이 트랜지스터를 구성한다. 한편, 공통전극(236)은 제2컨택홀(234)을 통해 공통라인(212b)과 연결된다.
- [0038] 액정표시패널(200)의 전기적 기능을 살펴보면, 먼저, 게이트라인(212)은 트랜지스터의 게이트전극(212a)에 게이트신호를 공급한다. 데이터라인(220)은 트랜지스터의 드레인 또는 소스전극(220b)을 통해 화소전극(232)에 화소신호를 공급한다. 한편 게이트라인(212)과 데이터라인(220)은 교차구조로 형성되어 화소영역을 정의한다. 공통라인(212b)은 액정 구동을 위한 기준전압을 공통전극(236)에 공급한다.
- [0039] 이에 따라, 트랜지스터를 통해 화소신호가 공급된 화소전극(232)과 공통라인(212b)을 통해 기준전압이 공급된 공통전극(236) 사이에는 수평전계가 형성된다. 수평전계에 의해 트랜지스터가 형성된 기관과 상부기관 사이에서 수평방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.
- [0040] 이하에서는 실시예들에 따라 도 2의 I-I', II-II', III-III', IV-IV'를 절단한 부분에 해당하는 단면도들을 통해 액정표시패널(200)의 구조를 설명한다.
- [0041] 도 3은 일실시예에 따라 도 2의 I-I', II-II', III-III', IV-IV'를 절단한 액정표시패널의 일예의 개략적인 단면도이다.
- [0042] 도 2 및 도 3의 I-I' 부분을 참조하면, 액정표시패널(300)은 기관(310) 상에 일방향(도 2에서 가로방향)으로 형성된 게이트라인(GL, 212) 및 일방향에 수직방향(도 2에서 세로방향)으로 교차 형성된 데이터라인(220)의 교차부에 위치하는 트랜지스터를 포함할 수 있다. 여기서 트랜지스터는 게이트라인(212)에 연결된 게이트(312a) 상에 기관(310)의 전면에 형성되고 게이트(312a)를 덮는 제1게이트절연막(314), 제1게이트절연막(314) 상에 형성되고 게이트(312a)와 소스전극 또는 드레인전극(320a, 320b)에 대응하여 위치하는 제2게이트절연막(316a), 제1게이트절연막(314)과 제2게이트절연막(316a) 상에 위치하는 반도체층(318a)과 소스전극 및 드레인전극(320a, 320b)을 포함할 수 있다.
- [0043] 한편, 액정표시패널(300)은 트랜지스터 상에 위치하고 산화실리콘 계열의 물질로 이루어진 제1보호층(322), 제1보호층(322) 상에 위치하고 질화실리콘 계열의 물질로 이루어진 제2보호층(324), 제2보호층(324) 상에 위치하는 색변환층(326), 색변환층(326) 상에 위치하는 감광성 물질층(328), 제1보호층(322)과 제2보호층(324)과 색변환층(326)과 감광성 물질층(328)에 관통하여 형성되어 소스전극 또는 상기 드레인전극(320a, 320b)의 일부를 노출시키는 제1컨택홀(330) 및 제1컨택홀(330)을 통해 소스전극 또는 드레인전극(320a, 320b)에 연결된 화소전극(332)을 포함할 수 있다.
- [0044] 기관(310)은 글래스(Glass) 기관뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기관 등일 수 있다. 또한, 제 1 기관(310) 상에는 불순원소의 침투를 차단하기 위한 버퍼층(buffering layer)이 더 구비될 수 있다. 버퍼층은 예를 들어 질화실리콘 또는 산화실리콘의 단일층 또는 다수층으로 형성될 수 있다.
- [0045] 게이트라인(212)에 연결된 게이트(312a)는 Al, Pt, Pd, Ag, Mg, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, Cu 중 적어도 하나 이상의 금속 또는 합금으로, 단일층 또는 다수층으로 형성될 수 있다.
- [0046] 한편, 제1게이트절연막(314)과 제2게이트절연막(316)은 SiO_x, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT와 같은 무기절연물질 또는 예를 들어 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질, 또는 이들의 조합으로 이루어질 수 있다. 또한 제1게이트절연막(314)과 제2게이트절연막(316)은 같은 물질일 수도 있고, 상이한 물질로 이루어질 수도 있다.
- [0047] 반도체층(318a)은, 예를 들어, IGZO(Indium Galium Zinc Oxide), ZTO(Zinc Tin Oxide), ZIO(Zinc Indium Oxide) 중 어느 하나의 징크옥사이드계 산화물일 수 있으나 이에 제한되지 않는다.

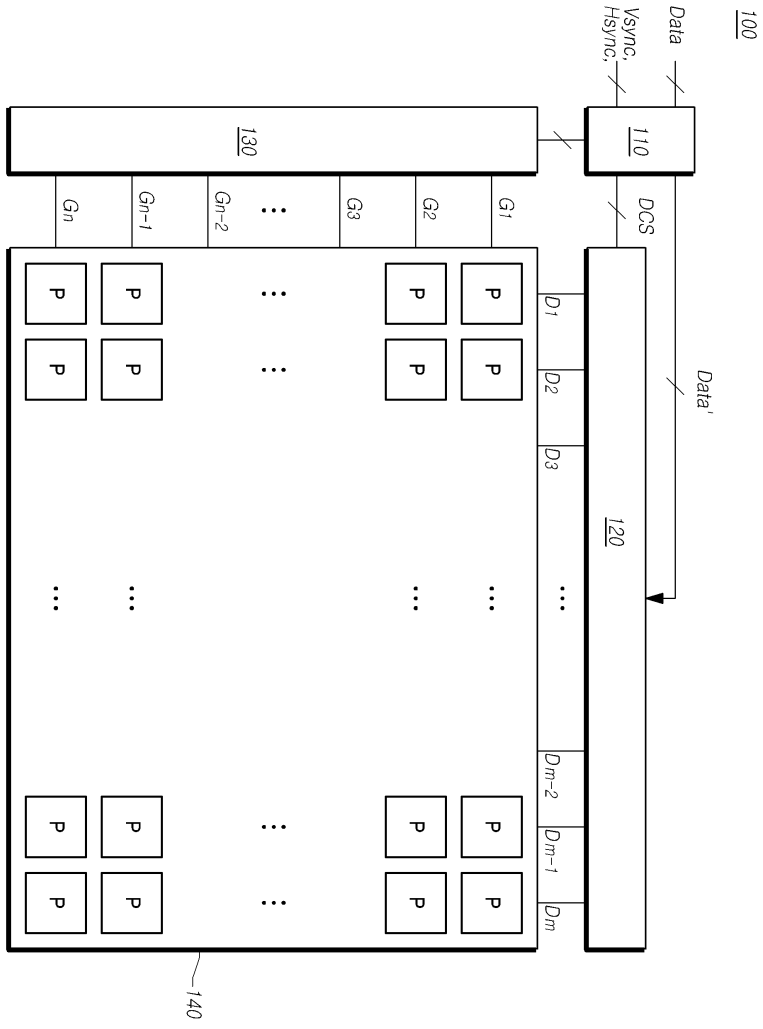
- [0048] 한편, 화소전극(332)에 전기적으로 연결되는 소스전극 및 드레인전극(320a, 320b)은, 예를 들어, Al, Pt, Pd, Ag, Mg, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, Cu 중 어느 하나의 금속 또는 이들의 합금으로, 단일층 또는 다수층으로 형성될 수 있다.
- [0049] 소스전극 및 드레인전극(320a, 320b) 사이에는 에치 스톱퍼(etch stopper)가 형성될 수 있으나, 도 3의 경우, 설명의 편의를 위하여 BCE(Back Channel Etch) 방식의 트랜지스터를 도시하였다. 또한 설명의 편의를 위하여 산화물 트랜지스터(Oxide TFT)를 도시하였다. 실시예들은 이에 제한되지 않는다.
- [0050] 소스전극 및 드레인전극(320a, 320b)과 노출된 반도체층(318a) 상에는 제1보호층(322)과 제2보호층(324)이 형성될 수 있다. 구체적으로, 일실시예에 따른 액정표시패널(300)의 제1보호층(322)은 산화실리콘(SiO_x) 계열의 물질로 형성될 수 있고, 제2보호층(324)은 질화실리콘(SiNx) 계열의 물질로 형성될 수 있으나 이에 제한되지 않는다. 질화실리콘 계열의 물질을 노출된 반도체층(318a) 상에 형성할 경우, 공정 중의 SiH₄ 가스로 인한 수소 생성으로 인해 반도체층(318a)의 물성이 변동될 수 있기 때문에, 제1보호층(322)을 산화실리콘으로 형성할 수 있다.
- [0051] 제1보호층(322)과 제2보호층(324)은 수소와 수분 등의 외부 환경으로부터 반도체층을 보호하기 위한 층들로서, 일반적인 액정표시패널이 하나의 층으로 이루어진 보호층을 구비하는 것에 비하여, 트랜지스터를 효과적으로 보호할 수 있다. 또한 제1보호층(322)과 제2보호층(324)은 설명의 편의를 위한 것이고, 3층 이상의 다수층으로 형성될 수도 있다.
- [0052] 한편, 제2보호층(324) 상에는 색변환층(326)이 형성된다. 도면에 표시되지는 않았지만, 색변환층(326)은 각 화소영역에 대응하여 적색, 녹색, 청색의 색변환층(326)이 순차적으로 반복되는 형태로 구비된다.
- [0053] 색변환층(326) 상의 감광성 물질층(328)이 형성된다. 일예로서 감광성 물질층(328) 포토아크릴 계열의 감광성 물질일 수 있으나, 이에 제한되지 않는다. 감광성 물질층(328)은 하부층들을 보호하고, 후에 설명할 식각 공정 상에서 마스크로서 역할을 하여 공정을 단순화시킨다.
- [0054] 도 2와 도 3의 II-II'를 참조하면, 액정표시패널(300)은, 게이트라인(212)과 이격하여 위치하고 게이트(312a)와 같은 물질로 이루어진 공통라인(312b), 제1게이트절연막(314)과 제1보호층(322)과 제2보호층(324)과 색변환층(326)과 감광성 물질층(328)에 형성되어 공통라인(312b)의 일부를 노출시키는 제2컨택홀(334) 및 제2컨택홀(334)을 통해 공통라인(312b)에 연결되는 공통전극(336)을 추가로 포함할 수 있다.
- [0055] 여기서, II-II'에는 I-I'의 단면과 달리 제2게이트절연막(316a)이 존재하지 않는다. 따라서 후술하겠지만, 식각 공정을 통해 제거될 부분의 두께가 작기 때문에, 식각 시간에 따라 컨택홀의 크기(size)가 지나치게 커지는 문제를 방지할 수 있게 된다.
- [0056] 한편, 도 2와 도 3의 III-III'와 IV-IV'를 참조하면, 액정표시패널(300)은, 데이터라인(220)에 연결되어 데이터 신호를 공급하는 데이터패드(237)와, 제1보호층(322)에 형성되어 데이터패드(237)의 데이터패드 하부전극(320c)의 일부를 노출시키는 제3컨택홀(338)과, 제3컨택홀(338)을 통해 데이터패드 하부전극(320c)에 연결되는 데이터패드 상부전극(340)을 추가로 포함할 수 있다. 또한 게이트라인(212)에 연결되어 게이트신호를 공급하는 게이트패드(241)와, 제1게이트절연막(314)과 제1보호층(322)에 형성되어 게이트패드(241)의 게이트패드 하부전극(312c)의 일부를 노출시키는 제4컨택홀(342)과, 제4컨택홀(342)을 통해 게이트패드 하부전극(312c)에 연결되는 게이트패드 상부전극(344)을 포함할 수 있다.
- [0057] 여기서 제4컨택홀(342)의 경우, 전술한 것과 같이 일반적인 액정표시패널에 비해 식각 공정으로 제거될 부분의 두께가 작아짐으로 인해, 제4컨택홀(342)의 크기가 제어될 수 있다는 이점이 있다.
- [0058] 도 4는 다른 실시예에 따라 도 2의 I-I', II-II', III-III', IV-IV'를 절단한 액정표시패널의 일예의 개략적인 단면도이다.
- [0059] 다른 실시예에 따른 액정표시패널(400)은 일실시예와 비교하면, 제2게이트절연막(416)이 기판(310)의 전면에 형성되고, 제2보호층(424)이 I-I'와 II-II'에 걸쳐 감광성 물질층(328) 상에 위치한다. 나머지 구성요소의 경우, 일실시예와 동일하기 때문에 설명을 생략한다.
- [0060] 다른 실시예에 따른 액정표시패널(400)은 제1보호층(322)이 수분과 수소 등의 외부환경으로부터 트랜지스터의 반도체층(318a), 게이트패드 하부전극(312c), 데이터패드 하부전극(320c)을 보호하고, 이에 더하여 제2보호층(424)이 이차적인 보호층의 역할을 함으로써, 액정표시패널의 수명이 증대될 수 있다.

- [0061] 도 5a 내지 도 5k는 또다른 실시예에 따른 액정표시패널의 제조방법을 나타내는 도면들이다. 도 5a 내지 도 5k는 설명의 편의를 위하여 도 2의 I-I' 부분만의 제조방법을 도시하였지만, II-II', III-III', IV-IV' 부분에도 같은 공정이 적용됨을 유의하여야 한다.
- [0062] 도 2, 도 3, 도 5a 내지 도 5k를 참조하면, 우선 기판(310) 상에 게이트(312a)와 제1게이트절연막(314)을 형성하고, 제2게이트절연막 물질층(316a'), 반도체 물질층(318a') 및 소스/드레인 물질층(320a')을 순차적으로 적층하는 단계가 수행된다.
- [0063] 다시 말해서, 물리적 세정이나 화학적 세정방법을 통해 기판을 세정하고, 스퍼터링(sputtering) 등으로 증착을 한 후, 첫번째 마스크를 통해 포토리소그래피 공정으로 게이트(312a), 공통라인(312b), 게이트패드 하부전극(312c)을 패터닝(patterning)한다. 이후 스퍼터링 또는 기상증착 방식으로 제1게이트절연막(314)을 형성하고, 제2게이트절연막 물질층(316a'), 반도체 물질층(318a'), 소스/드레인 물질층(320a'), 데이터패드(237)의 데이터패드 하부전극(320c) 등을 순차적으로 적층한다.
- [0064] 도 5b와 도 5c는 소스/드레인 물질층(320a') 상에 포토레지스트 물질을 도포하고, 하프톤(halftone) 마스크(550)를 통해 포토레지스트 패턴(548)을 형성하며, 포토레지스트 패턴(548)이 도포되지 않은 영역의 반도체 물질층(318a')과 소스/드레인 물질층(320a')을 제거하는 제1식각 단계를 도시한다.
- [0065] 이하에서는 광이 투과된 영역의 포토레지스트 물질이 제거되는 포지티브(positive) 방식을 설명하지만, 네거티브(negative) 방식에 의할 수도 있다.
- [0066] 여기서 하프톤 마스크(550)는 투과영역(550a), 차단영역(550b), 반투과영역(550c)을 포함하고, 감광성 물질로 이루어진 포토레지스트 물질에 노광하고 현상(development)함으로써, 반투과영역(550c)에 대응되는 영역의 포토레지스트 패턴(528)의 높이(h2)가 차단영역(550b)의 포토레지스트 패턴(548)의 높이(h1)보다 낮을 수 있다 ($h2 < h1$).
- [0067] 제1식각 단계는 습식 식각(wet etching) 방식일 수 있으나, 이에 제한되지 않는다.
- [0068] 도 5d를 참조하면, 포토레지스트 패턴(548)이 도포되지 않은 영역의 제2게이트절연막 물질층(316a')을 제거하여 제2게이트절연막을 형성하는 제2식각 단계를 도시한다.
- [0069] 제2식각 단계는 플라즈마 식각 또는 반응성 이온 식각(reactive ion etching) 등의 건식 식각(dry etching) 방식일 수 있고, 산화 실리콘 계열의 물질과 질화 실리콘 계열의 물질의 선택비를 활용하여 제1게이트절연막(314)은 남기고, 제2게이트절연막 물질층(316a')만을 식각할 수 있다. 여기서 제2식각 단계는 제1식각 단계에서 사용한 포토레지스트 패턴(548)을 그대로 활용하여 제2게이트절연막(316a)을 형성할 수 있어, 공정이 간편해지고, 제조원가를 절감할 수 있게 된다.
- [0070] 도 5e는 포토레지스트 패턴(548)의 일부를 제거하여 소스/드레인 물질층(320a")의 일부를 노출시키는 에싱(ashing) 단계를 도시한다.
- [0071] 에싱 가스를 통한 에싱 공정으로 포토레지스트 패턴(548)의 높이를 h2 만큼 낮추어 h2-h1의 높이를 갖는 포토레지스트 패턴(548)이 잔류하게 된다.
- [0072] 도 5f는 노출된 소스/드레인 물질층(320a")을 제거하여 소스전극 및 드레인전극(320a, 320b)을 형성하는 제3식각 단계를 도시한다.
- [0073] 제3식각은 습식 식각일 수 있고, 식각 비율 내지 식각 시간의 조절을 통해, 최소한의 반도체층(318a)을 잔류시킬 수 있다(Etch Back 방식).
- [0074] 제3식각 단계에서, 도시되지 않았지만, 데이터패드(237)의 제2게이트절연막(316b)과 반도체층(318b)와 데이터패드 하부전극(320c)이 동시에 패터닝(patterning)된다.
- [0075] 도 5g는 소스전극 및 드레인전극(320a, 320b) 상에 제1보호층(322)과 제2보호층(324)을 순차적으로 적층하는 단계를 도시한다.
- [0076] 여기서 제1보호층(322)과 제2보호층(324)은 기판(310)의 전면에 걸쳐 증착되어 소스전극 및 드레인전극(320a, 320b), 공통라인(312b), 데이터패드 하부전극(320c), 게이트패드 하부전극(312c)을 덮을 수 있다.
- [0077] 제1보호층(322)과 제2보호층(324)을 통해 액정표시패널(300)의 반도체층(318a)을 외부환경으로부터 보호하여 패널의 수명을 증대시키고, 기생 캐패시턴스(parasitic capacitance) 등을 효과적으로 방지할 수 있다.

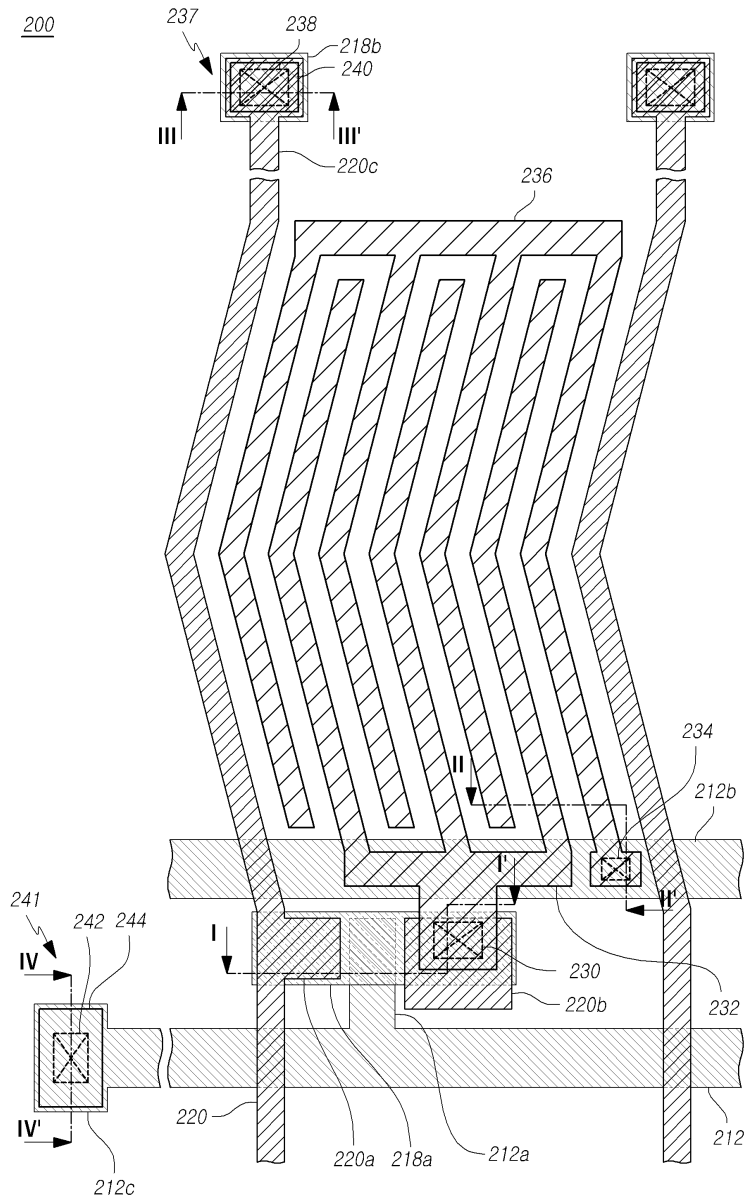
- [0078] 도 5h는 제2보호층(324) 상에 색변환 물질층을 형성하고 소스전극 또는 상기 드레인전극(320a, 320b)의 일부가 노출되도록 패터닝(patterning)하여 색변환층(326)을 형성하는 단계를 도시한다.
- [0079] 색변환층(326)은 안료(pigment)에 의한 포토리소그래피 공정으로 형성될 수 있으나, 이에 제한되지 않고 인쇄(printing), 증착(deposition) 등의 방식으로 형성될 수도 있다. 또한 색변환층(326) 형성시 광중합 개시제, 단량체, 바인더(binder) 등이 포함될 수 있다.
- [0080] 색변환 물질층이 도포된 후 마스크를 통해 노광하면, 광중합 개시제가 빛을 받아 라디칼에 의한 광중합 반응을 통해 고분자 화합물을 생성하게 된다. 이후 현상(development) 과정을 거치면, 고분자 화합물이 생성되지 않은 영역에 제1컨택홀(330)의 제2영역(330b)가 형성될 수 있다.
- [0081] 도시되지는 않았지만, II-II' 부분의 색변환층(326)도 동시에 형성되며, 제2컨택홀(334)의 제2영역(미도시)도 형성된다.
- [0082] 도 5i는 색변환층(326) 상에 감광성 물질을 도포하고 소스전극 또는 상기 드레인전극(320a, 320b)의 일부가 노출되도록 패터닝하여 감광성 물질층(328)을 형성하는 단계를 도시한다. 구체적으로 감광성 물질은 포토아크릴(photoacryl) 계열의 물질을 포함하는 감광성 수지일 수 있으나 이에 제한되지 않는다.
- [0083] 감광성 물질을 색변환층(326) 상에 도포한 후 마스크를 통해 노광, 현상하여 제1컨택홀(330)의 제3영역(330c)을 형성한다. 또한 도시되지는 않았지만, II-II'의 제2컨택홀(334)의 제3영역(미도시) 또한 동시에 형성된다.
- [0084] 도 5j는 감광성 물질층(328)을 마스크로 하여 제1보호층(322)과 제2보호층(324)을 제거하여 소스전극 또는 드레인전극(320a, 320b)의 일부를 노출시키는 제4식각 단계를 도시한다.
- [0085] 여기서 제4식각은 건식 식각일 수 있으나, 이에 제한되지 않는다. 제4식각 단계에서는, 별도의 마스크를 사용하지 않고, 감광성 수지로 이루어진 감광성 물질층을 마스크로 대체함으로써, 공정 수를 줄일 수 있게 된다. 즉, 포토레지스트를 도포하고 패터닝하는 공정과, 포토레지스트물질을 스트립(strip)하는 공정을 생략할 수 있다.
- [0086] 식각에 따라 노출된 제1보호층(322)과 제2보호층(324)은 식각되어 소스전극 또는 드레인전극(320a, 320b)의 일부가 노출된다. 따라서, 제1컨택홀(330)의 제1영역(330a)가 형성되어 제1컨택홀(330)이 완성된다.
- [0087] 한편, 제1컨택홀(330)과 같은 방식으로 제2컨택홀(334)가 형성되는데, 또다른 실시예에 따르면, 제2컨택홀(334) 주변에는 제2게이트절연막(316a)이 제거되었으므로, 식각 공정으로 제거되어야 할 층들의 두께가 상대적으로 얇을 수 있다.
- [0088] 다시 말해서 식각 공정을 거쳐 제거해야 할 구조의 두께가 두꺼울 경우, 식각 시간이 길어져 컨택홀의 크기(size)가 지나치게 커지고, 이로 인해 개구율이 줄어드는 문제가 발생할 수 있는데, 또다른 실시예에 따른 액정 표시패널(300)의 제2컨택홀(316a)의 경우에는, 식각 공정 시간이 상대적으로 짧아 홀의 크기를 제어할 수 있는 이점이 있다.
- [0089] 마찬가지로, IV-IV' 부분의 제4컨택홀(342)의 경우에도, 식각 공정 시간이 짧아 컨택홀의 크기가 지나치게 커지는 것을 방지할 수 있다.
- [0090] 도 5k는 제1컨택홀(330)을 통해 소스전극 또는 드레인전극(320a, 320b)에 접촉되는 화소전극(332)을 형성하는 단계를 도시한다.
- [0091] 화소전극(332)은 물리적기상증착이나 화학적기상증착 방식으로 형성될 수 있으나, 이에 제한되지 않는다. 또한 화소전극(332)은 소스전극 또는 드레인전극(320a, 320b)에 접촉되어 구동된다.
- [0092] II-II' 영역에는 화소전극(332)과 동시에 공통전극(336)이 형성되어 공통라인(312b)과 연결되고, III-III' 영역에는 데이터패드 상부전극(340)이 형성되어 데이터패드 하부전극(320c)와 연결되며, IV-IV' 영역에는 게이트패드 상부전극(344)이 형성되어 게이트패드 하부전극(312c)과 연결된다.
- [0093] 또다른 실시예에 따른 액정표시패널(300)의 제조방법은 제2식각 단계에서 제1식각단계에서 형성된 포토레지스트 패턴을 그대로 활용하여 식각 공정을 진행할 수 있고, 제4식각 단계에서 감광성 물질층(328) 마스크로 활용하므로 제조 공정이 간편해지고, 제조 원가가 절감되며, 제조 수율이 향상될 수 있는 이점을 갖는다. 또한 실시예들에서, 컨택홀들(334, 342)의 두께를 최소화하여 컨택홀들(334, 342)의 크기가 지나치게 커지는 문제를 방지하므로, 개구율이 향상될 수 있다. 또한 다층구조의 보호층(322, 324)을 형성하여 트랜지스터 및 공통라인(312b), 데이터패드 하부전극(320c), 게이트패드 하부전극(312c) 등을 외부환경으로부터 효과적으로 보호할 수 있다.

도면

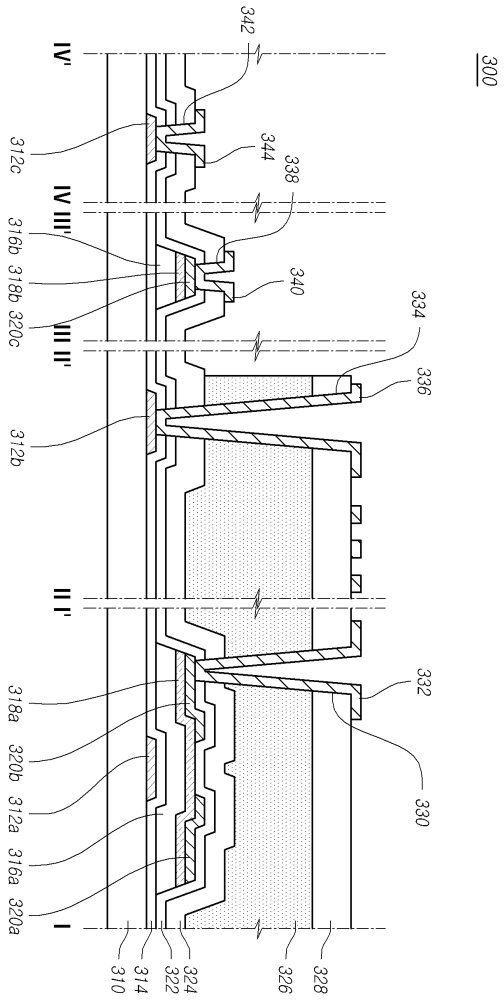
도면1



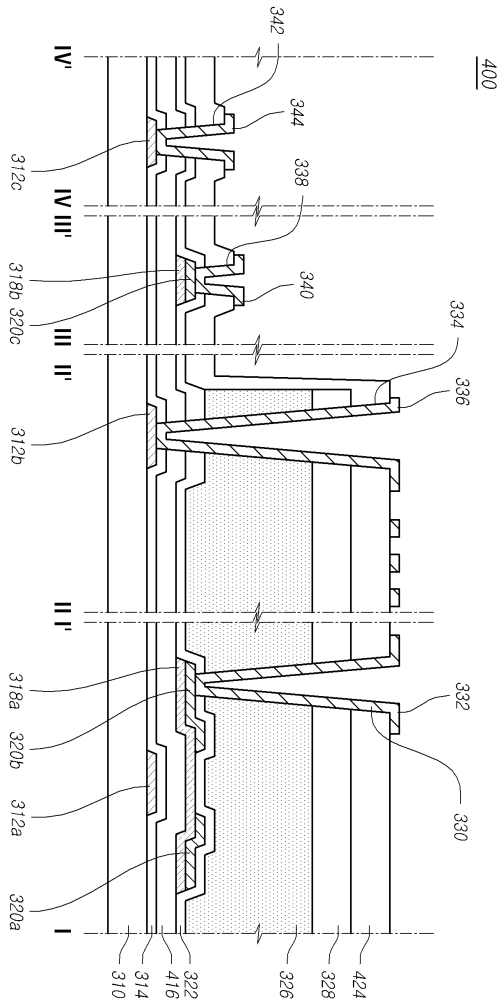
도면2



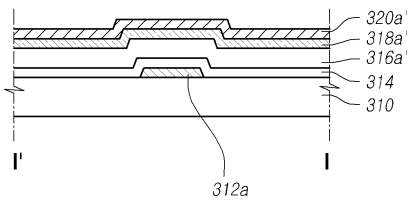
도면3



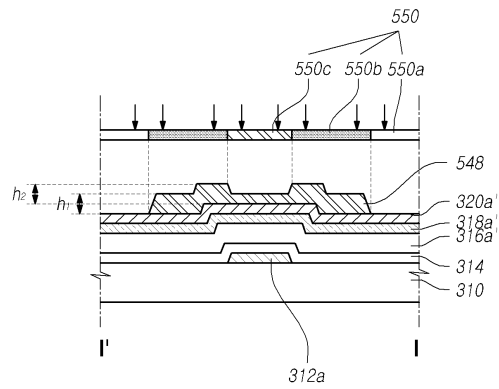
도면4



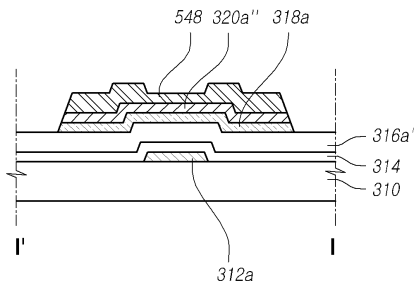
도면5a



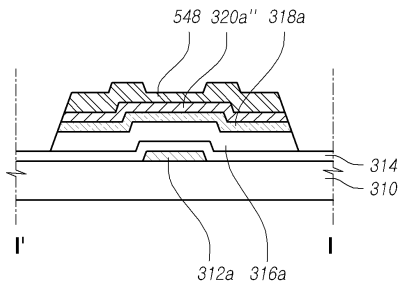
도면5b



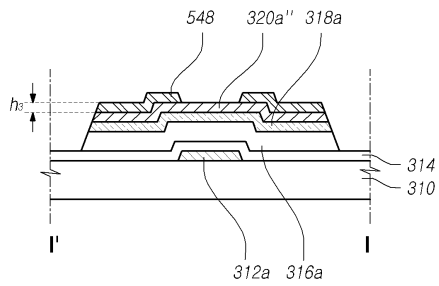
도면5c



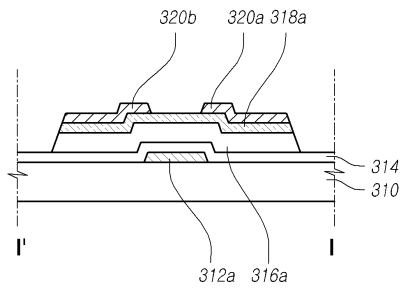
도면5d



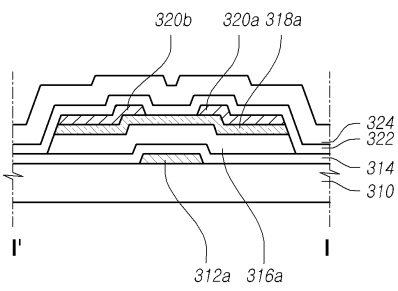
도면5e



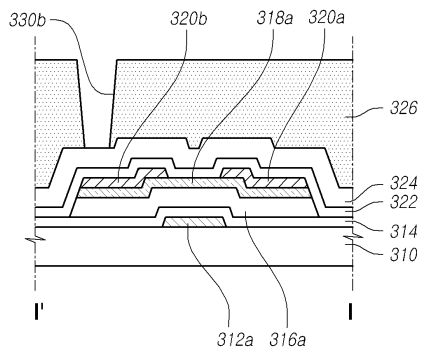
도면5f



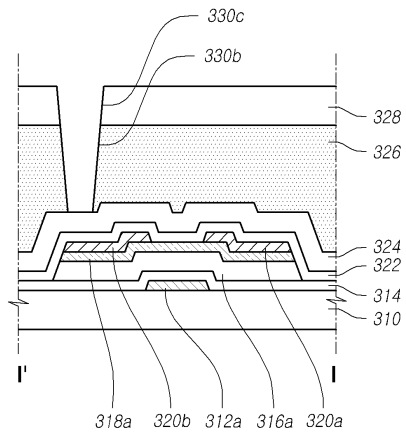
도면5g



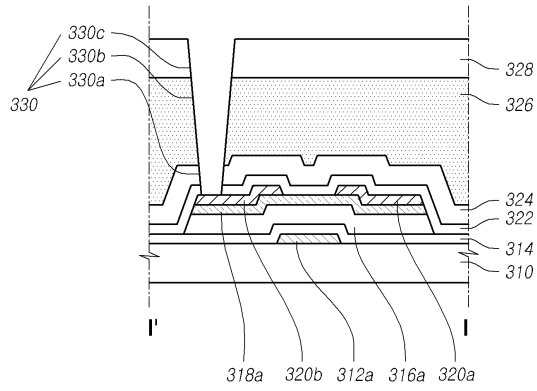
도면5h



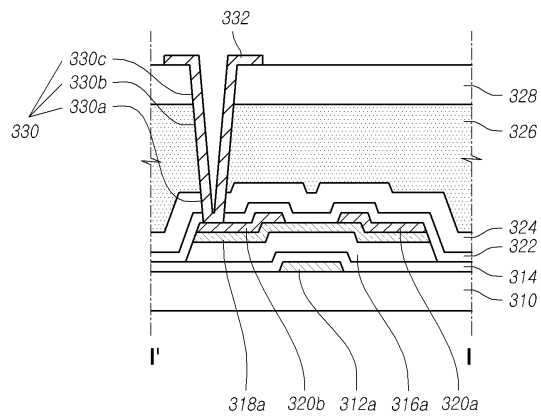
도면5i



도면5j



도면5k



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 标题：液晶显示面板及其制造方法 | | |
| 公开(公告)号 | KR1020160017705A | 公开(公告)日 | 2016-02-17 |
| 申请号 | KR1020140098765 | 申请日 | 2014-08-01 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | LEE SO HYUNG 이소형 CHANG YOUN GYOUNG 장윤경 KIM MIN CHEOL 김민철 JUNG HO YOUNG 정호영 YOO HA JIN 유하진 YANG JEONG SUK 양정석 | | |
| 发明人 | 이소형 장윤경 김민철 정호영 유하진 양정석 | | |
| IPC分类号 | G02F1/1335 G02F1/1362 | | |
| CPC分类号 | G02F1/136286 H01L29/786 G02F1/1368 G02F1/13439 | | |
| 代理人(译) | Gimeungu 宋. | | |
| 外部链接 | Espacenet | | |

摘要(译)

半导体器件本发明涉及一种半导体器件，它具有多层栅极绝缘膜和多层栅极绝缘膜，它们位于在基板上沿一个方向形成的栅极线的交叉点和沿一个方向在垂直方向上交叉的数据线上，包括源电极和漏电极的晶体管，位于晶体管上的多层结构的保护层，位于多层结构的至少一个保护层上的颜色转换层，位于颜色转换层上的感光材料层，形成在多层保护层，颜色转换层和感光材料层中以暴露源电极或漏电极的一部分的第一接触孔；以及通过第一接触孔连接到源电极或漏电极的像素电极。提供一种显示面板及其制造方法。

