(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0074920
(43) 공개일자 2012년07월06일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
(21) 출원번호 10-2010-0136909
(22) 출원일자 2010년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
황준경
경기도 파주시 미래로 345, A18-2 블럭 삼부르네상스 아파트 710동 1701호 (동패동)
장영순
경상북도 칠곡군 석적읍 중리 LG필립스LCD기숙사 B동 428호
(74) 대리인
특허법인네이트

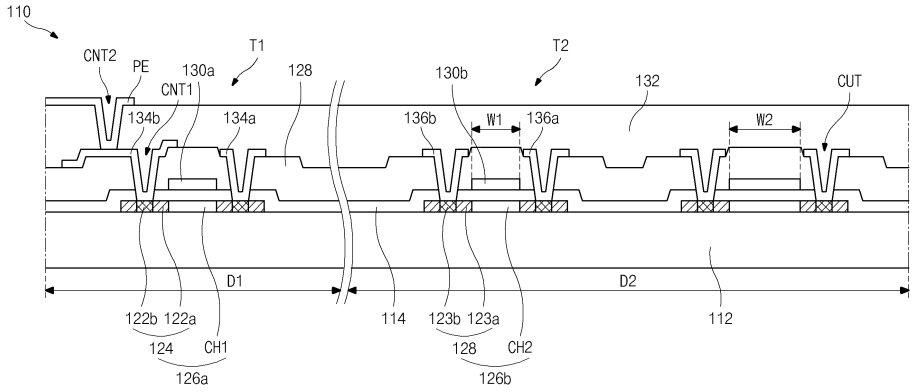
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **액정표시장치의 어레이 기판의 제조방법**

(57) 요 약

본 발명은 콘택홀을 통하여 활성층에 고농도 도핑영역을 형성하는 액정표시장치용 어레이 기판의 제조방법에 관한 것으로, 기판 상에 활성층을 형성하는 단계; 상기 활성층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계; 상기 활성층에 대응되는 상기 게이트 절연층 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 불순물 이온을 주입하여 상기 활성층에 저농도 도핑영역을 형성하는 단계; 상기 게이트 전극을 포함한 상기 게이트 절연층 상에 층간 절연층을 형성하고, 상기 활성층에 대응되는 상기 게이트 절연층 및 상기 층간 절연층을 선택적으로 식각하여 제 1 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀을 통하여 상기 활성층에 불순물 이온을 주입하여 고농도 도핑영역을 형성하는 단계;를 포함하는 것을 특징으로 한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

기판 상에 활성층을 형성하는 단계;

상기 활성층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계;

상기 활성층에 대응되는 상기 게이트 절연층 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 불순물 이온을 주입하여 상기 활성층에 저농도 도핑영역을 형성하는 단계;

상기 게이트 전극을 포함한 상기 게이트 절연층 상에 층간 절연층을 형성하고, 상기 활성층에 대응되는 상기 게이트 절연층 및 상기 층간 절연층을 선택적으로 식각하여 제 1 콘택홀을 형성하는 단계; 및

상기 제 1 콘택홀을 통하여 상기 활성층에 불순물 이온을 주입하여 고농도 도핑영역을 형성하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 2

제 1 항에 있어서,

상기 기판은 표시영역 및 비표시 영역으로 구분되고, 상기 게이트 전극은 상기 표시영역에 형성되는 다수의 제 1 박막 트랜지스터의 제 1 게이트 전극과, 상기 비표시 영역에 형성되는 다수의 제 2 박막 트랜지스터의 서로 다른 크기의 제 2 게이트 전극을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 3

제 2 항에 있어서,

상기 활성층은 상기 표시영역의 제 1 활성층과, 상기 비표시 영역의 제 2 활성층을 포함하고, 상기 제 1 활성층은 상기 제 1 게이트 전극의 하부에 대응되는 제 1 채널영역, 상기 제 1 채널영역의 인접영역 및 상기 제 1 활성층의 주변영역에 위치하는 제 1 저농도 도핑영역, 및 상기 제 1 저농도 도핑영역에 감싸여진 제 1 고농도 도핑영역을 포함하고,

상기 제 2 활성층은 상기 제 2 게이트 전극의 하부에 대응되는 제 2 채널영역, 상기 제 2 채널영역의 인접영역 및 상기 제 1 활성층의 주변영역에 위치하는 제 2 저농도 도핑영역, 및 상기 제 2 저농도 도핑영역으로 감싸여진 제 2 고농도 도핑영역을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 4

제 1 항에 있어서,

상기 콘택홀을 통하여 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하는 단계;

상기 소스 및 드레인 전극을 포함하는 상기 층간 절연층 상에 보호층을 형성하고, 상기 드레인 전극과 대응되는 상기 보호층을 제거하여 제 2 콘택홀을 형성하는 단계; 및

상기 제 2 콘택홀을 통하여 상기 드레인 전극과 연결되는 화소전극을 형성하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 5

표시영역 및 비표시 영역으로 구분되는 기판을 준비하는 단계;

상기 표시영역 및 상기 비표시 영역에 대응되는 상기 기판 상에 제 1 활성층 및 제 2 활성층을 형성하는 단계;

상기 제 1 및 제 2 활성층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계;

상기 제 1 및 제 2 활성층에 대응되는 상기 게이트 절연층 상에 제 1 및 제 2 게이트 전극을 형성하는 단계;

상기 제 1 및 제 2 게이트 전극을 마스크로 불순물 이온을 상기 제 1 및 제2 활성층에 주입하여, 제 1 및 제 2 저농도 도핑영역을 형성하는 단계;

상기 제 1 및 제 2 게이트 전극을 포함하는 상기 게이트 절연층 상에 층간 절연층을 형성하고, 상기 제 1 및 제 2 활성층에 대응되는 상기 층간 절연층을 선택적으로 제거하여 제 1 콘택홀을 형성하는 단계; 및

상기 제 1 콘택홀에 대응되는 상기 제 1 및 제 2 활성층에 불순물 이온을 주입하여, 상기 제 1 및 제 2 저농도 도핑영역 각각에 감싸여진 제 1 및 제 2 고농도 도핑영역을 형성하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치의 어레이 기판에 대한 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 콘택홀을 통하여 활성층에 고농도 도핑영역을 형성하는 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 액정표시장치는 박막 트랜지스터와 박막 트랜지스터에 연결된 화소전극이 매트릭스 형태로 배열되고, 화소전극을 구동시키기 위한 구동회로부를 포함한다. 그리고, 액정표시장치의 제조공정을 단순화시키기 위하여 어레이 기판에 구동회로부를 내장하여 사용할 수 있다.

[0004] 구동회로부는 다수의 박막 트랜지스터를 포함하며, 화소전극과 연결되는 박막 트랜지스터와 동일한 제조공정을 사용하여 형성한다. 구동회로부에서 다수의 박막 트랜지스터는 핫 캐리어(hot carrier)의 분산시키기 위한 목적으로 저농도 도핑영역을 포함하는 활성층을 사용한다. 저농도 도핑영역은 박막 트랜지스터가 오프(OFF) 상태일 때 누설전류의 방지하고, 온(ON) 상태일 때 전류의 손실을 방지한다.

[0005] 일반적으로, 구동회로부의 박막 트랜지스터에서, 1차 패터닝 과정에서 제 1 너비를 가지는 제 1 게이트 전극을 형성하고, 제 1 게이트 전극을 마스크로 활성영역에 고농도 도핑영역을 형성한 후, 제 1 게이트 전극을 패터닝하는 2차 패터닝과정에서 제 1 너비보다 작은 제 2 너비를 가지는 제 2 게이트 전극을 형성하고, 제 2 게이트 전극을 마스크로 저농도 도핑영역을 형성한다. 따라서, 저농도 도핑영역은 고농도 도핑영역과 제 2 게이트 전극의 하부에 위치한 채널영역 사이에 위치하고, 제 1 및 제 2 너비의 차이가 저농도 도핑영역의 길이로 설정된다.

[0006] 구동회로부에 형성되는 다수의 박막 트랜지스터 각각은 다양한 크기의 게이트 전극을 가지고 있고, 게이트 전극을 마스크로 불순물을 도핑하기 때문에, 게이트 전극을 형성하는 과정은 제 1 너비를 가지는 제 1 감광층

패턴을 마스크로 제 1 게이트 전극을 형성하는 단계와 제 1 감광층 패턴을 식각하여 제 2 너비를 가지는 제 2 감광층 패턴을 형성한 후, 제 2 감광층 패턴을 마스크로 제 2 게이트 전극을 형성하는 단계를 포함한다. 그런데, 구동회로부에서 게이트 전극의 너비가 다르기 때문에, 제 1 감광층 패턴을 식각하여 제 2 감광층 패턴을 형성할 때 식각 바이어스가 다르게 되고, 이로 인해 다수의 박막 트랜지스터 각각에서 저농도 도핑영역이 길이를 결정하는 제 1 및 제 2 너비의 차이가 다르게 나타난다. 따라서, 다수의 박막 트랜지스터 각각에서 저농도 도핑영역의 길이가 다르게 설정되는 문제가 나타난다.

발명의 내용

해결하려는 과제

[0007] 상기와 같은 문제를 해결하기 위해, 본 발명은 구동회로부을 구성하는 다수의 박막 트랜지스터 각각의 활성층에 게이트 전극을 마스크로 저농도 도핑영역을 형성하고, 콘택홀을 통하여 고농도 도핑영역을 형성하는 것에 의해, 게이트 전극의 너비와 무관하게 동일한 저농도 도핑영역의 길이를 가질 수 있는 액정표시장치용 어레이 기판의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 상기와 같은 목적을 달성하기 위해, 본 발명은 기판 상에 활성층을 형성하는 단계; 상기 활성층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계; 상기 활성층에 대응되는 상기 게이트 절연층 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 불순물 이온을 주입하여 상기 활성층에 저농도 도핑영역을 형성하는 단계; 상기 게이트 전극을 포함한 상기 게이트 절연층 상에 층간 절연층을 형성하고, 상기 활성층에 대응되는 상기 게이트 절연층 및 상기 층간 절연층을 선택적으로 식각하여 제 1 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀을 통하여 상기 활성층에 불순물 이온을 주입하여 고농도 도핑영역을 형성하는 단계;를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

[0009] 상기 기판은 표시영역 및 비표시 영역으로 구분되고, 상기 게이트 전극은 상기 표시영역에 형성되는 다수의 제 1 박막 트랜지스터의 제 1 게이트 전극과, 상기 비표시 영역에 형성되는 다수의 제 2 박막 트랜지스터의 서로 다른 크기의 제 2 게이트 전극을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

[0010] 상기 활성층은 상기 표시영역의 제 1 활성층과, 상기 비표시 영역의 제 2 활성층을 포함하고, 상기 제 1 활성층은 상기 제 1 게이트 전극의 하부에 대응되는 제 1 채널영역, 상기 제 1 채널영역의 인접영역 및 상기 제 1 활성층의 주변영역에 위치하는 제 1 저농도 도핑영역, 및 상기 제 1 저농도 도핑영역에 감싸여진 제 1 고농도 도핑영역을 포함하고, 상기 제 2 활성층은 상기 제 2 게이트 전극의 하부에 대응되는 제 2 채널영역, 상기 제 2 채널영역의 인접영역 및 상기 제 1 활성층의 주변영역에 위치하는 제 2 저농도 도핑영역, 및 상기 제 2 저농도 도핑영역으로 감싸여진 제 2 고농도 도핑영역을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

[0011] 상기 콘택홀을 통하여 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하는 단계; 상기 소스 및 드레인 전극을 포함하는 상기 층간 절연층 상에 보호층을 형성하고, 상기 드레인 전극과 대응되는 상기 보호층을 제거하여 제 2 콘택홀을 형성하는 단계; 및 상기 제 2 콘택홀을 통하여 상기 드레인 전극과 연결되는 화소전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

[0012] 상기와 같은 목적을 달성하기 위해, 본 발명은 표시영역 및 비표시 영역으로 구분되는 기판을 준비하는 단계; 상기 표시영역 및 상기 비표시 영역에 대응되는 상기 기판 상에 제 1 활성층 및 제 2 활성층을 형성하는 단계; 상기 제 1 및 제 2 활성층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계; 상기 제 1 및

제 2 활성층에 대응되는 상기 게이트 절연층 상에 제 1 및 제 2 게이트 전극을 형성하는 단계; 상기 제 1 및 제 2 게이트 전극을 마스크로 불순물 이온을 상기 제 1 및 제2 활성층에 주입하여, 제 1 및 제 2 저농도 도핑영역을 형성하는 단계; 상기 제 1 및 제 2 게이트 전극을 포함하는 상기 게이트 절연층 상에 층간 절연층을 형성하고, 상기 제 1 및 제 2 활성층에 대응되는 상기 층간 절연층을 선택적으로 제거하여 제 1 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀에 대응되는 상기 제 1 및 제 2 활성층에 불순물 이온을 주입하여, 상기 제 1 및 제 2 저농도 도핑영역 각각에 감싸여진 제 1 및 제 2 고농도 도핑영역을 형성하는 단계;를 포함하는 것을 특징으로 하는 액정표시장치의 어레이 기판에 대한 제조방법을 제공한다.

발명의 효과

[0013] 본 발명은 구동회로부을 구성하는 다수의 박막 트랜지스터 각각의 활성층에 게이트 전극을 마스크로 저농도 도핑영역을 형성하고, 콘택홀을 통하여 고농도 도핑영역을 형성하는 것에 의해, 게이트 전극의 너비와 무관하게 동일한 저농도 도핑영역의 길이를 가지게 한다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판에 대한 평면도

도 2는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판에 대한 단면도

도 3a 내지 도 3e는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판에 대한 제조공정을 단계적으로 도시한 공정 단면도

발명을 실시하기 위한 구체적인 내용

[0015] 이하에서는 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

[0016] 도 1은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판에 대한 평면도이다.

[0017] 본 발명의 액정표시장치의 어레이 기판(110)은, 표시영역(D1)과 비표시영역(D2)으로 구분된다. 표시영역(D1)에는 다수의 화소영역(P)가 매트릭스 형태로 배열되고, 비표시영역(D2)에는 구동회로부(DC)가 설치된다.

[0018] 다수의 화소영역(P)은 다수의 데이터 배선(DL)과 다수의 게이트 배선(GL)의 교차에 의해서 정의된다. 다수의 화소영역(P)에는 스위칭 수단으로 다수의 데이터 및 게이트 배선(DL, GL)에 연결되는 다수의 제 1 박막 트랜스터(T1)와, 다수의 제 1 박막 트랜지스터(T1)에 각각에 연결되는 다수의 화소전극(PE)이 형성된다.

[0019] 구동회로부(DC)는 외부신호 입력단(OL)에 연결되어, 외부신호가 인가되어, 다수의 데이터 및 게이트 배선(DL, GL)을 통하여 다수의 제 1 박막 트랜지스터(T1)를 통해 다수의 화소전극(PE)에 제어신호를 공급한다. 구동회로부(DC)는 외부신호를 적절하게 출력시키기 위하여 다수의 제 2 박막 트랜지스터(T2)가 형성된다.

[0020] 도 2는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판에 대한 단면도이다.

[0021] 절연기판(112)은 표시영역(D1)과 비표시영역(D2)으로 구분된다. 표시영역(D1)에는 제 1 박막 트랜지스터(T1) 및 제 1 박막 트랜지스터(T1)에 연결되는 화소전극(PE)이 형성되고, 비표시 영역(D2)에는 도 1의 구동회로부(DC)를 구성하는 다수의 제 2 박막 트랜지스터(T2)가 형성된다.

[0022]

[0023] 표시영역(D1)에 형성되는 제 1 박막 트랜지스터(T1)는, 기판(112) 상에 형성되는 제 1 활성층(126a), 제 1 활

성층(126a) 상의 게이트 절연층(114), 제 1 활성층(126a)에 대응되는 게이트 절연층(114) 상의 제 1 게이트 전극(130a), 제 1 게이트 전극(130a)과 제 1 활성층(126a) 상의 층간 절연층(128), 및 제 1 활성층(126a)에 연결되는 제 1 소스 및 드레인 전극(134a, 134b)을 포함하여 구성된다. 표시영역(D1)에 형성되는 다수의 제 1 박막 트랜지스터(T1) 각각은 동일한 형태 및 크기를 가지는 제 1 게이트 전극(130a)을 가진다.

[0024] 제 1 활성층(126a)은 제 1 게이트 전극(130a)의 하부에 위치한 제 1 채널영역(CH1) 및 N형 또는 P형 불순물이 도핑되고 제 1 게이트 전극(130a) 양측의 제 1 활성층(126a)에 형성된 2 개의 제 1 도핑영역(124)을 포함한다. 2 개의 제 1 도핑영역(124)은 제 1 소스 및 드레인 전극(134a, 134b)이 연결되는 제 1 소스 및 드레인 영역이다. 제 1 도핑영역(124)은 제 1 채널영역(CH1)의 인접영역과 제 1 활성층(126a)의 주변영역에 형성되는 제 1 저농도 도핑영역(122a) 및 다수의 제 1 콘택홀(CNT1)에 대응되는 제 1 고농도 도핑영역(122b)을 포함한다. 다시 말하면, 제 1 고농도 도핑영역(122b)은 제 1 소스 및 드레인 영역의 중앙부에 형성되고, 제 1 채널영역(CH1)과 제 1 저농도 도핑영역(122a)을 개재하여 연결된다.

[0025] 비표시영역(D2)에 형성되고, 도 1의 구동회로부(DC)를 구성하는 제 2 박막 트랜지스터(T2)는, 기판(112) 상에 형성되는 제 2 활성층(126b), 제 2 활성층(126b) 상의 게이트 절연층(114), 제 2 활성층(126b)에 대응되는 게이트 절연층(114) 상의 제 2 게이트 전극(130b), 제 2 게이트 전극(130b)과 제 2 활성층(126b) 상의 층간 절연층(128) 및 제 2 활성층(126b)에 연결되는 제 2 소스 및 드레인 전극(136a, 136b)을 포함하여 구성된다.

[0026] 제 2 활성층(126b)은 제 2 게이트 전극(130b)의 하부에 위치한 제 2 채널영역(CH2), 및 N형 또는 P형 불순물이 도핑되고 제 2 게이트 전극(130b) 양측의 제 2 활성층(126b)에 형성된 2 개의 제 2 도핑영역(128)을 포함한다. 2 개의 제 2 도핑영역(128)은 제 2 소스 및 드레인 전극(136a, 136b)이 연결되는 제 2 소스 및 드레인 영역이다. 제 2 도핑영역(128)은 제 2 채널영역(CH2)의 인접영역과 제 2 활성층(126b)의 주변영역에 형성되는 제 2 저농도 도핑영역(123a) 및 다수의 제 1 콘택홀(CNT1)에 대응되는 제 2 고농도 도핑영역(123b)을 포함한다. 다시 말하면, 제 2 고농도 도핑영역(123b)은 제 2 소스 및 드레인 영역의 중앙부에 형성되고, 제 2 채널영역(CH2)과 제 2 저농도 도핑영역(123a)을 개재하여 연결된다

[0027] 다수의 제 2 박막 트랜지스터(T2) 각각의 제 2 게이트 전극(130b)는 서로 다른 형태 및 크기를 가진다. 제 2 게이트 전극(130b)이 다양한 형태 및 크기로 형성될 수 있지만, 도 2에서는 대표적으로, 제 1 너비(W1)의 제 2 게이트 전극(130b)를 가지는 제 2 박막 트랜지스터(T2)와 제 2 너비(W2)의 제 2 게이트 전극(130b)를 가지는 제 2 박막 트랜지스터(T2)를 도시한다. 제 1 너비(W1)은 제 2 너비(W2)보다 작게 설정된다.

[0028] 도 2에서, 다수의 제 2 박막 트랜지스터(T2)에서, 제 2 저농도 도핑영역(123a)은 제 2 게이트 전극(130b)을 마스크로 형성하고, 제 2 고농도 도핑영역(123b)은 다수의 제 1 콘택홀(CNT1)을 통하여 형성되기 때문에, 제 2 저농도 도핑영역(123a)는 동일한 길이로 형성된다.

[0029] 다수의 제 1 및 제 2 박막 트랜지스터(T1, T2)를 포함한 층간 절연층(128) 상에 보호층(132)이 형성되고, 제 1 드레인 전극(134b)에 대응되는 보호층(132)이 선택적으로 제거되어 제 2 콘택홀(CNT2)이 형성된다. 그리고, 보호층(132) 상에 제 1 콘택홀(CNT2)을 통하여 제 1 드레인 전극(134b)과 연결되는 화소전극(PE)이 형성된다.

[0030] 도 3a 내지 도 3e는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판에 대한 제조공정을 단계적으로 도시한 공정단면도이다.

[0031] 도 3a와 같이, 절연성질을 가지고 표시영역(D1) 및 비표시영역(D2)으로 구분되는 기판(112) 상에 제 1 및 제 2 활성층(126a, 126b)을 형성하고, 제 1 및 제 2 활성층(126a, 126b)을 포함한 기판(112) 상에 게이트 절연층(114)을 형성한다.

[0032] 제 1 및 제 2 활성층(126a, 126b)은 실리콘과 같은 반도체 물질로 형성한다. 비표시 영역(D2)에는 도 1의 구동회로부(DC)에 사용되는 제 2 박막 트랜지스터가 형성되기 때문에, 제 1 및 제 2 활성층(126a, 126b)은 다결정 실리콘층으로 형성하는 것이 바람직하다. 게이트 절연층(114)은 무기 또는 유기물질의 절연물질을 사용할 수 있다.

[0033] 제 1 및 제 2 활성층(126a, 126b)을 형성하는 방법은, 불순물이 도핑되지 않은 반도체 물질층(도시하지 않음)을 형성하는 단계, 반도체 물질층 상에 제 1 감광층(도시하지 않음)을 형성하는 단계, 제 1 마스크(도시하지 않음)을 이용한 제 1 감광층의 노광 및 현상에 의해 제 1 감광층 패턴을 형성하는 단계, 및 제 1 감광층 패턴을 식각 마스크로 이용한 반도체 물질층의 패터닝 단계를 포함한다.

[0034] 도 3b와 같이, 제 1 및 제 2 활성층(126a, 126b) 각각에 대응되는 게이트 절연층(114) 상에 제 1 및 제 2 게이트 전극(130a, 130b)을 형성한다. 제 1 및 제 2 게이트 전극(130a, 130b)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물 사용하여 단일층, 이중층, 또는 삼중층으로 형성할 수 있다.

[0035] 제 1 및 제 2 게이트 전극(130a, 130b)을 형성하는 방법은, 게이트 절연층(114) 상에 제 1 금속 물질층(도시하지 않음)을 형성하는 단계, 제 1 금속 물질층 상에 제 2 감광층(도시하지 않음)을 형성하는 단계, 제 2 마스크(도시하지 않음)을 이용한 제 2 감광층의 노광 및 현상에 의해 제 2 감광층 패턴을 형성하는 단계, 및 제 2 감광층 패턴을 식각 마스크로 이용한 제 1 금속 물질층의 패터닝 단계를 포함한다.

[0036] 표시영역(D1)에 형성되는 다수의 제 1 박막 트랜지스터(도시하지 않음) 각각은 동일한 형태 및 크기의 제 1 게이트 전극(130a)을 가진다. 그러나, 도 2의 다수의 제 2 박막 트랜지스터(T2) 각각의 제 2 게이트 전극(130b)는 서로 다른 형태 및 크기를 가진다. 제 2 게이트 전극(130b)이 다양한 형태 및 크기로 형성될 수 있지만, 도 3b에서는 대표적으로, 제 1 너비(W1)의 제 2 게이트 전극(130b)과 제 2 너비(W2)의 제 2 게이트 전극(130b)를 가지는 제 2 박막 트랜지스터(T2)를 도시한다. 제 1 너비(W1)은 제 2 너비(W2)보다 작게 설정된다. 제 2 게이트 전극(130b)이 서로 다른 형태 및 크기를 가지고 있지만, 제 2 감광층 패턴을 마스크로 식각하기 때문에, 제 2 게이트 전극(130b) 사이의 형태 및 크기에 대한 편차를 최소화할 수 있다.

[0037] 도 3c와 같이, 제 1 및 제 2 게이트 전극(130a, 130b)을 마스크로 제 1 및 제 2 활성층(126a, 126b)에 N형 또는 P형의 불순물 이온을 주입하여, 제 1 및 제 2 저농도 도핑영역(122a. 123a)을 형성한다. N형의 불순물 이온은 비소(As) 또는 인(In) 등을 사용하고, P형의 불순물 이온은 붕소(B) 등을 사용한다. 제 1 및 제 2 저농도 도핑영역(122a, 123a) 각각은 제 1 및 제 2 게이트 전극(130a, 130b) 양측의 제 1 및 제 2 활성층(126a, 126b)에 형성되고, 제 1 및 제 2 게이트 전극(130a, 130b)의 하부에 대응되는 제 1 및 제 2 활성층(126a, 126b) 각각은 제 1 및 제 2 채널영역(CH1, CH2)으로 정의된다.

[0038] 도 3d와 같이, 제 1 및 제 2 활성층(126a, 126b)에 대응되는 영역에 다수의 제 1 콘택홀(CNT1)을 가지는 층간 절연층(128)을 형성하고, 층간 절연층(128)을 마스크로 N형 또는 P형의 불순물 이온을 주입하여 제 1 및 제 2 활성층(126a, 126b) 각각에 제 1 및 제 2 고농도 도핑영역(122b, 123b)을 형성한다. 제 1 및 제 2 고농도 도핑영역(122b, 123b)는 N형 또는 P형의 불순물 이온을 주입하여 형성하고, 제 1 및 제 2 저농도 도핑영역(122a, 126a)보다 높은 농도이다. 층간 절연층(128)은 무기 또는 유기물질의 절연물질을 사용할 수 있다.

[0039] 다수의 제 1 콘택홀(CNT1)을 형성하는 방법은, 제 1 및 제 2 게이트 전극(130a, 130b)과 제 1 및 제 2 활성층(126a, 126b)을 포함한 게이트 절연층(114) 상에 층간 절연층(128)을 형성하는 단계, 층간 절연층(128) 상에 제 3 감광층(도시하지 않음)을 형성하는 단계, 제 3 마스크(도시하지 않음)을 이용한 제 3 감광층의 노광 및

현상에 의해 제 3 감광층 패턴을 형성하는 단계, 및 제 3 감광층 패턴을 식각 마스크로 이용한 층간 절연층(128)의 패터닝 단계를 포함한다.

[0040] 다수의 제 1 콘택홀(CNT1) 각각은 제 1 활성층(126a)의 제 1 저농도 도핑영역(122a)과 제 2 활성층(126b)의 제 2 저농도 도핑영역(123a)을 노출시킨다. 층간 절연층(128)을 마스크로 다수의 제 1 콘택홀(CNT1)을 통해 제 1 및 제 2 활성층(126a, 126b)에 N형 또는 P형 불순물의 이온을 주입하여, 제 1 및 제 2 고농도 도핑영역(122b, 123b)을 형성한다. 따라서, 제 1 활성층(126a)은 제 1 저농도 및 고농도 도핑영역(122a, 122b)과 제 1 채널영역(CH1)을 포함하고, 제 2 활성층(126b)은 제 2 저농도 및 고농도 도핑영역(123a, 123b)과 제 2 채널영역(CH2)을 포함한다.

[0041] 도 3c에서, 제 1 및 제 2 저농도 도핑영역(122a, 123a)은 제 1 및 제 2 게이트 전극(130a, 130b)을 마스크로 불순물 이온을 주입하여 형성하고, 도 3d에서, 제 1 및 제 2 고농도 도핑영역(122b, 123b)은 다수의 제 1 콘택홀(CNT1)을 통하여 형성되기 때문에, 제 1 채널영역(CH1)과 제 1 고농도 도핑영역(122b) 사이의 간격인 제 1 저농도 도핑영역(122a)의 길이와, 제 2 채널영역(CH2)과 제 2 고농도 도핑영역(123b) 사이의 간격인 제 2 저농도 도핑영역(123a)의 길이는 설계치수와의 차이를 최소로 하여 형성할 수 있다.

[0042] 도 3e와 같이, 다수의 제 1 콘택홀(CNT1)을 통하여, 제 1 활성층(126a)과 연결되는 제 1 소스 및 드레인 전극(134a, 134b)을 형성하고, 제 2 활성층(126b)과 연결되는 제 2 소스 및 드레인 전극(136a, 136b)을 형성한다.

[0043] 제 1 소스 및 드레인 전극(134a, 134b)과, 제 2 소스 및 드레인 전극(136a, 136b)을 형성하는 방법은, 다수의 제 1 콘택홀(CNT1)을 포함하는 층간 절연층(128) 상에 제 2 금속 물질층(도시하지 않음)을 형성하는 단계, 제 2 금속 물질층 상에 제 4 감광층(도시하지 않음)을 형성하는 단계, 제 4 마스크(도시하지 않음)을 이용한 제 4 감광층의 노광 및 현상에 의해 제 4 감광층 패턴을 형성하는 단계, 및 제 4 감광층 패턴을 식각 마스크로 이용한 제 2 금속 물질층의 패터닝 단계를 포함한다.

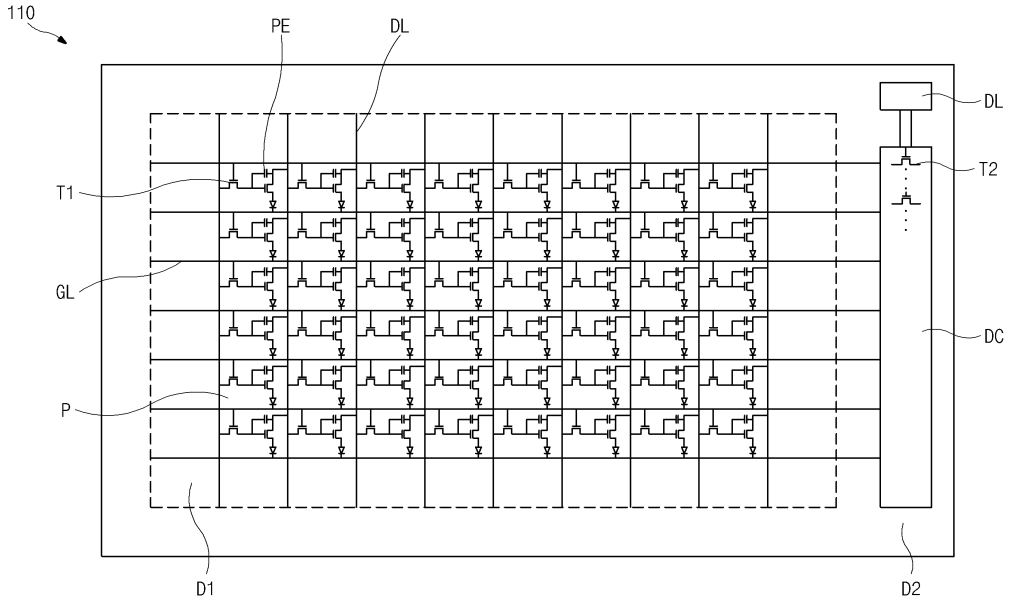
[0044] 도 3e와 같이, 제 1 소스 및 드레인 전극(134a, 134b)과 제 2 소스 및 드레인 전극(136a, 136b)을 포함하는 층간 절연층(128) 상에 보호층(132)을 형성하고, 보호층(132) 상에 제 1 드레인 전극(132b)과 연결되는 화소전극(PE)을 형성한다. 보호층(132)은 실리콘 산화물 및 실리콘 질화물을 포함하는 무기 절연물질 또는 포토아크릴과 벤조싸이클로부텐을 포함하는 유기절연물질을 선택하여 사용한다.

[0045] 화소전극(PE)은 제 1 드레인 전극(134b)에 대응되는 보호층(132)을 선택적으로 식각하여 제 2 콘택홀(CNT2)을 형성하는 단계, 투명 도전 물질층(도시하지 않음)을 제 2 콘택홀(CNT2)을 포함한 보호층(132) 상에 형성하는 단계, 및 투명 도전 물질층을 선택적으로 패터닝하는 단계를 포함한다. 투명 도전 물질층은 ITO 또는 ZTO 등을 사용할 수 있다.

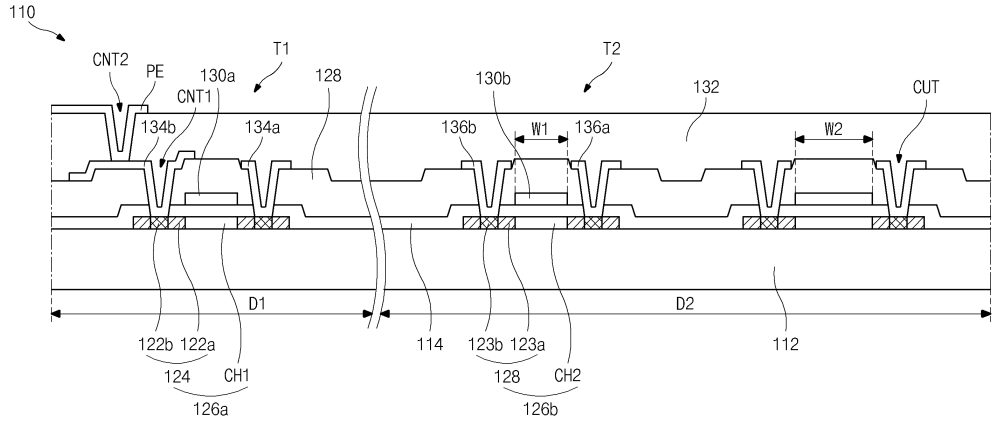
[0046] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

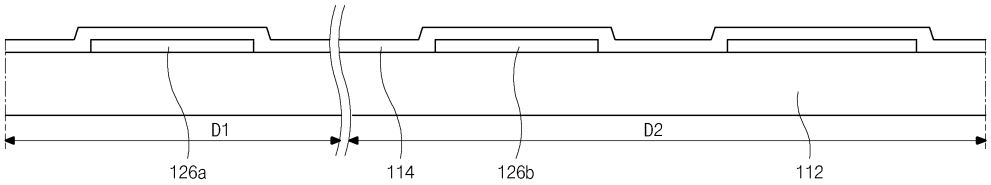
도면1



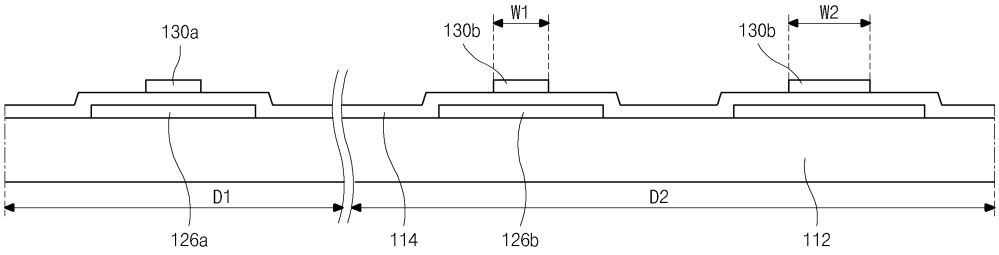
도면2



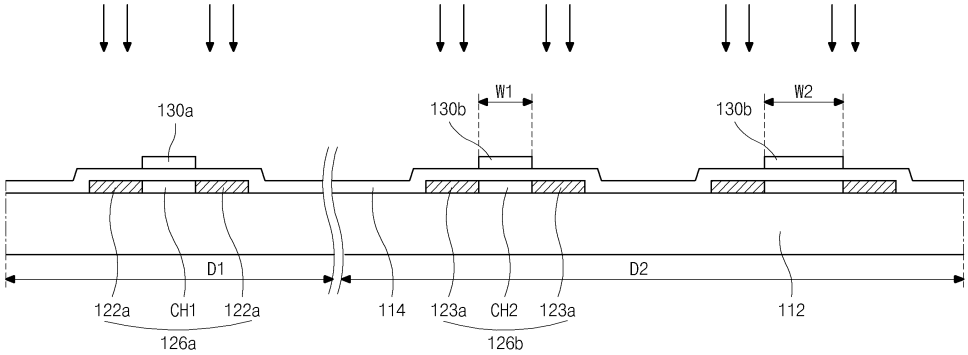
도면3a



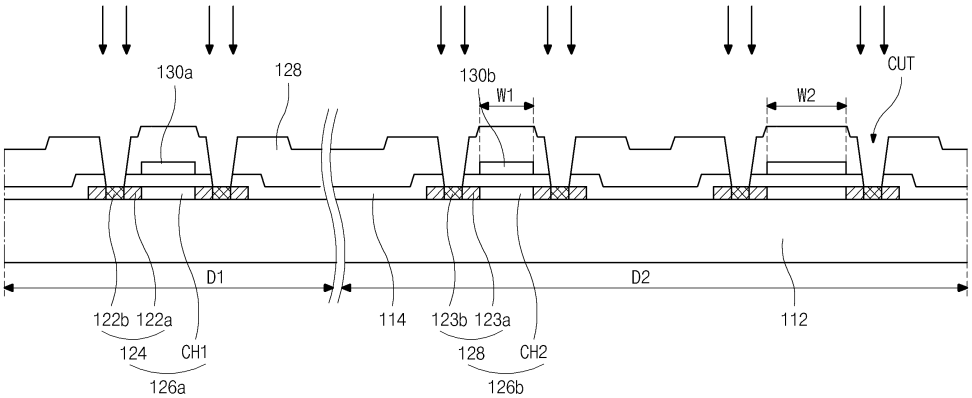
도면3b



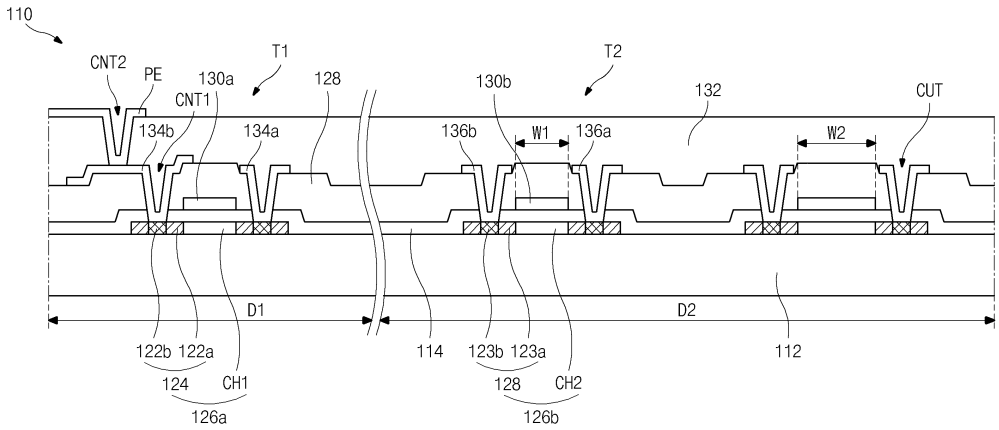
도면3c



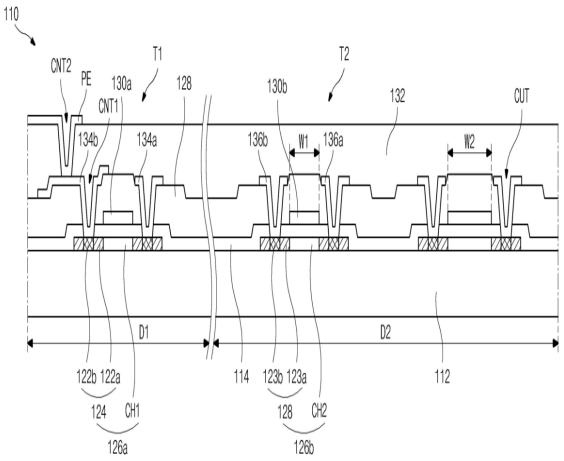
도면3d



도면3e


110
CNT2
PE
CNT1
T1
130a
128
T2
130b
132
CUT
134b
134a
136b
W1
136a
W2
D1
D2
122b
122a
124
CH1
126a
114
123b
123a
128
CH2
126b
112

专利名称(译)	标题：制造液晶显示装置的阵列基板的方法		
公开(公告)号	KR1020120074920A	公开(公告)日	2012-07-06
申请号	KR1020100136909	申请日	2010-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG JUN KYUNG 황준경 JANG YOUNG SUN 장영순		
发明人	황준경 장영순		
IPC分类号	G02F1/136		
CPC分类号	H01L29/78618 G02F1/1368 H01L27/124 H01L27/127 H01L29/78621		
外部链接	Espacenet		

摘要(译)

本发明涉及一种制造液晶显示器阵列基板的方法，该阵列基板通过接触孔在有源层中形成高掺杂区，该方法包括以下步骤：在基板上形成有源层;在包括有源层的基板上形成栅极绝缘层;在栅极绝缘层上形成对应于有源层的栅电极;使用栅电极作为掩模来注入杂质离子，以在有源层中形成轻掺杂区域;在包括栅电极的栅极绝缘层上形成层间绝缘层，并选择性地蚀刻栅极绝缘层和对应于有源层的层间绝缘层，以形成第一接触孔;并且通过第一接触孔将杂质离子注入到有源层中以形成重掺杂区域。