



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0060204
(43) 공개일자 2016년05월30일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)

(21) 출원번호 10-2014-0161568

(22) 출원일자 2014년11월19일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신창엽

경북 구미시 박정희로 599, 105동 901호 (송정동, 푸르지오캐슬A단지아파트)

서정무

서울 관악구 신림로 318, 1503호 (신림동, 청암두산위브센티움)

(74) 대리인

김은구, 송해모

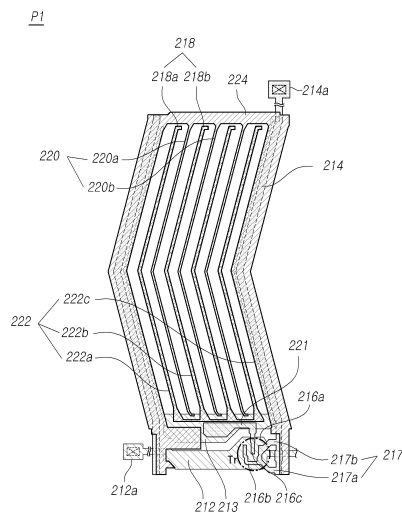
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은, 기판, 기판 상에 서로 교차하여 화소 영역을 정의하는 게이트 배선 및 데이터 배선, 게이트 배선과 이웃한 공통 배선, 게이트 배선과 데이터 배선의 교차부에 배치된 박막 트랜지스터, 박막 트랜지스터의 하나의 전극과 전기적으로 연결된 제1전극, 공통 배선과 연결된 제2전극 및 공통 배선과 전기적으로 연결되며 제1전극과 일부 또는 전부가 오버랩되는 제1패턴을 포함하는 액정표시장치를 제공한다.

대표도 - 도2



명세서

청구범위

청구항 1

기관 상에 게이트 배선과 데이터 배선의 교차부에 배치된 박막 트랜지스터;

상기 게이트 배선과 이웃한 공통 배선;

상기 박막 트랜지스터의 하나의 전극과 전기적으로 연결된 제1전극;

상기 공통 배선과 연결된 제2전극; 및

상기 공통 배선과 전기적으로 연결되며 상기 제1전극과 일부 또는 전부가 오버랩되는 제1패턴을 포함하는 액정 표시장치.

청구항 2

제 1항에 있어서,

상기 박막 트랜지스터의 하나의 전극으로부터 연장되며 상기 공통 배선과 일부 또는 전부가 오버랩된 제2패턴을 추가로 포함하며,

상기 제1전극은 상기 제2패턴과 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 3

제 1항에 있어서,

상기 제1패턴은 상기 공통 배선으로부터 연장된 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 제1전극은 둘 이상의 가지들을 포함하며, 상기 제2전극은 상기 제1전극의 가지들과 교번하는 둘 이상의 가지들을 포함하며,

상기 제1패턴은 둘 이상의 가지들을 포함하며 상기 제1패턴의 가지들 중 적어도 하나는 상기 제1전극의 가지들 중 적어도 하나와 일부 또는 전부가 오버랩된 것을 특징으로 하는 액정표시장치.

청구항 5

제 4항에 있어서,

오버랩되는 상기 제1패턴의 가지들과 상기 제1전극의 가지들의 개수가 동일한 것을 특징으로 하는 액정표시장치.

청구항 6

제 1항에 있어서,

상기 제1패턴은 상기 게이트 배선 및 상기 공통 배선과 동일 평면 또는 동일층에 위치하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 영상을 표시하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치 기술은, 지속적인 발전을 거듭하여, 기존의 CRT(Cathode-Ray Tube)을 이용한 고착형 디스플레이 시장을 대체하고 있으며, 노트북용 표시소자, 컴퓨터 모니터, TV 등 점점 대형화하여 DID(Digital Information Display) 또는 PID(Public Information Display)시장으로도 확대되고 있다.

[0003] 액정표시장치는 점점 해상도가 높아짐에 따라 개구율이 낮아지는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 표시장치의 발광영역의 면적을 넓게 구성할 수 있으므로 개구율을 향상시키는 액정표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 기판 상에 서로 교차하여 화소 영역을 정의하는 게이트 배선 및 데이터 배선, 게이트 배선과 이웃한 공통 배선, 게이트 배선과 데이터 배선의 교차부에 배치된 박막 트랜지스터, 박막 트랜지스터의 하나의 전극과 전기적으로 연결된 제1전극, 공통 배선과 연결된 제2전극 및 공통 배선으로부터 연장되어 제1전극과 일부 또는 전부가 오버랩되는 제1패턴을 포함하는 액정표시장치를 제공한다.

발명의 효과

[0006] 본 발명의 실시예에 따른 액정표시장치는 발광영역의 면적을 넓게 구성할 수 있으므로 개구율을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0007] 도 1은 실시예들이 적용되는 액정표시장치에 관한 시스템 구성도이다.
 도 2는 일실시예에 따른 액정표시장치의 각 화소영역(P)의 평면도이다.
 도 3은 도 2의 부분 확대도이다.
 도 4는 도 3의 A-A' 선의 단면도이다.
 도 5a 내지 도 5c는 일실시예에 따른 액정표시장치의 제조 방법을 순서대로 나타낸 공정 평면도들이다.
 도 6은 다른 실시예에 따른 액정표시장치의 각 화소영역(P)의 평면도이다.
 도 7은 도 6의 부분 확대도이다.
 도 8은 도 7의 B-B' 선의 단면도이다.
 도 9는 일실시예에 따른 표시장치의 각 화소 영역과 다른 실시예에 따른 표시장치의 각 화소 영역의 개구율을 대비한 도면이다.
 도 10은 일실시예에 따른 표시장치의 각 화소 영역과 다른 실시예에 따른 표시장치의 각 화소 영역의 인치별 개구율 상승분(%)을 대비한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0009] 또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.
- [0010] 도 1은 실시예들이 적용되는 액정표시장치에 관한 시스템 구성도이다.
- [0011] 도 1을 참조하면, 액정표시장치(100)는 액정표시패널(140), 데이터 구동부(120), 게이트 구동부(130), 타이밍 컨트롤러(110) 등을 포함한다.
- [0012] 우선, 타이밍 컨트롤러(110)는 호스트 시스템으로부터 입력되는 수직/수평 동기신호(Vsync, Hsync)와 영상데이터(data), 클럭신호(CLK) 등의 외부 타이밍 신호에 기초하여 데이터 구동부(120)를 제어하기 위한 데이터 제어신호(DCS)와 게이트 구동부(130)를 제어하기 위한 게이트 제어신호(GCS)를 출력한다. 또한, 타이밍 컨트롤러(110)는 호스트 시스템로부터 입력되는 영상데이터(data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식으로 변환하고 변환된 영상데이터(data')를 데이터 구동부(120)로 공급할 수 있다.
- [0013] 데이터 구동부(120)는 타이밍 컨트롤러(110)로부터 입력되는 데이터 제어신호(DCS) 및 변환된 영상데이터(data')에 응답하여, 영상데이터(data')를 계조 값에 대응하는 전압 값인 데이터 신호(아날로그 화소신호 혹은 데이터 전압)로 변환하여 데이터 라인에 공급한다.
- [0014] 게이트 구동부(130)는 타이밍 컨트롤러(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트 라인에 스캔신호(게이트 펄스 또는 스캔펄스, 게이트 온신호)를 순차적으로 공급한다.
- [0015] 한편 액정표시패널(140)은, 두 장의 기판들과 그 사이에 위치하는 액정층, 배향막 등으로 이루어진 표시패널일 수 있다.
- [0016] 또한 액정표시패널(140)의 제 1 기판(하부 기판)에는 다수의 데이터라인들(D1~Dm, m은 자연수), 데이터라인들(D1~Dm)과 교차되는 다수의 게이트라인들(또는 스캔라인들)(G1~Gn, n은 자연수), 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차부들에 다수의 화소영역들(P)이 배치될 수 있다.
- [0017] 한편, 액정표시패널(140)의 화소영역들(P)은 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)에 의해 정의된 화소영역에 형성되어 매트릭스 형태로 배치된다. 화소영역들 각각의 액정셀은 트랜지스터, 데이터전압을 충전시키기 위한 화소전극, 화소전극과 전계를 형성하는 공통전극, 화소전극에 접속되어 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor) 등을 포함할 수 있다. 화소영역들 각각의 액정셀은 화소전극에 인가되는 데이터전압과 공통전극에 인가되는 공통전압의 전압차에 따라 인가되는 전계에 의해 구동되어 입사광의 투과량을 조절한다.
- [0018] 한편 액정표시패널(140)의 제 2 기판(상부 기판)에는 광차단층(예를 들면, 블랙 매트릭스(black matrix)), 컬러필터 등을 포함될 수 있다. 액정표시패널(140)의 제 1 기판은 COT(Color filter On TFT) 구조로 구현될 수 있다. 이 경우에 광차단층과 컬러필터는 제 1 기판에 형성될 수 있다.
- [0019] 도 2는 일실시예에 따른 액정표시장치의 각 화소영역(P)의 평면도이다. 도 3은 도 2의 부분 확대도이다. 도 4는 도 3의 A-A' 선의 단면도이다.
- [0020] 도 2 내지 도 4를 참조하면, 액정표시장치(100)의 하나의 화소영역(P1)은 기판(210) 상에는 서로 교차하여 화소영역을 정의하는 게이트 배선(212) 및 데이터 배선(214)과, 화소 영역을 지나며 게이트 배선(212)과 이웃한 공통 배선(213)과, 게이트 배선(212)과 데이터 배선(214)의 교차부에 게이트 전극(216a), 소스 전극(216b) 및 드

레인 전극(216c)으로 이루어진 박막 트랜지스터(Tr)를 포함한다.

- [0021] 게이트 배선(212)은 제1방향으로 연장되어 게이트 패드(212a)와 연결되어 있다. 데이터 배선(214)은 꺾임 구조일 수 있다. 데이터 배선(214)은 제2방향으로 연장되어 데이터 패드(214a)와 연결되어 있다.
- [0022] 이때, 공통 배선(213)은 게이트 배선(212)의 상측이나 하측에 인접하여 형성될 수 있으며, 게이트 배선(212)에 대해 실질적으로 평행할 수 있으나 이에 한정되는 것은 아니다.
- [0023] 박막 트랜지스터(Tr)는 게이트 배선(212)에서 돌출된 게이트 전극(216a), 데이터 배선(214)에서 돌출되며 게이트 전극(216a) 상에 예를 들어 "U"자형으로 형성된 소스 전극(216b) 및 소스 전극(216b)과 소정 간격 이격되어 소스 전극(216b)의 "U"자형 패턴 내로 일부 들어오는 드레인 전극(216c)을 포함한다. 이때 게이트 전극(216a)의 층과 소스/드레인 전극(216b, 216c)의 층 사이에는 채널이 정의된 반도체층(미도시)이 개재된다. 이때 박막 트랜지스터(Tr)에서 소스 전극(216b)과 드레인 전극(216c)은 박막 트랜지스터(Tr)의 반도체층이 P타입이나 N타입이나에 따라서 전극의 역할이 뒤바뀔 수 있다.
- [0024] 소스 전극(216b)은 데이터 배선(214)과 소스 연결패턴(217)에 의해 연결되어 있다. 소스 연결패턴(217)은 게이트 배선(212)과 겹치지 않도록 게이트 배선(212)의 양측에 위치하는 두개의 패턴들(217a, 217b)을 포함할 수 있다.
- [0025] 액정표시장치(100)의 하나의 화소영역(P1)은 화소영역 내에 드레인 전극(216c)과 전기적으로 연결된 제1전극(218)과 화소영역 내에 공통 배선(213)에서 분기되어 제1전극(218)과 교번되어 형성된 제2전극(220)을 포함한다.
- [0026] 제1전극(218)은 데이터 배선(212)을 통해 데이터 전압이 공급된다. 제2전극(220)은 공통 배선(214)을 통해 액정 구동을 위한 기준 전압, 즉 공통 전압이 공급된다. 이에 따라, 데이터 전압(화소 전압 신호)이 공급된 제1전극(218)과 공통 전압이 공급된 제2전극(220) 사이에는 전계를 형성한다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(P1)을 투과하는 광투과율이 달라지게 됨으로써 화상을 구현하게 된다.
- [0027] 이때 제1전극(218)은 화소전극이고 제2전극(220)은 공통전극일 수 있다. 제1전극(218)은 둘 이상의 가지들(218a, 218b)이 꺾임 구조를 가지고 2전극(220)은 둘 이상의 가지들(220a, 220b)이 꺾임 구조를 가지고 있어 액정분자가 2방향으로 배열되어 2-도메인(domain)을 형성함으로써 모노-도메인에 비해 시야각이 더욱 향상된다. 다만, 제1전극(218)과 제2전극(220)은 2-도메인 구조에 한정되는 것은 아니며 2-도메인 이상의 멀티-도메인(multi-domain) 구조를 가질 수 있고 꺾임 구조를 가지지 않을 수도 있다. 제1전극(218)과 제2전극(220)은 동일 평면 상에 위치할 수 있다.
- [0028] 제1전극(218)은 드레인 전극(216c)로부터 연장된 제2패턴(221)과 컨택홀(미도시)을 통해 전기적으로 연결되어 있다. 제2패턴(221)은 공통 배선(213)과 전부 또는 일부가 오버랩된다. 따라서 제2패턴(221)과 공통 배선(213)은 데이터 배선(212)을 통해 공급된 데이터 전압을 다음 프레임까지 유지하는 제1스토리지 캐패시터로 기능한다.
- [0029] 공통 배선(213)으로부터 연장된 제1패턴(222)이 형성되어 있다. 제1패턴(222)은 공통 배선(213) 및 게이트 배선(214)과 동일한 평면에 형성되어 있다. 제1패턴(222)은 제1전극(218)과 다른 평면, 상부 평면 또는 하부 평면에 형성되어 있다. 도 4에 도시한 바와 같이 제1패턴(222)은 제1전극(218)의 하부에 위치할 수 있다. 제1패턴(222)과 제1전극(218) 사이에는 절연층(223) 또는 유전체가 위치한다.
- [0030] 제1패턴(222)은 둘 이상의 가지들(222a, 222b, 222c)을 가지고 있다. 한편, 제1패턴(222)의 하나의 가지(222c)는 제2전극(220)의 제2전극 연결패턴(224)과 컨택홀(미도시)을 통해 전기적으로 연결되어 있다.
- [0031] 제1패턴(222)의 가지들(222a, 222b, 222c)들 중 적어도 하나는 각각 제2전극(220)의 가지들(220a, 220b) 사이에 위치한다. 이때 제1패턴(222)의 가지들(222a, 222b)는 각각 제1전극(218)의 가지들(218a, 218b) 중 하나와 일부 또는 전부가 오버랩될 수 있으나 이에 제한되지 않는다. 제1패턴(222)의 가지들(222a, 222b)과 제1전극(218)의 가지들(218a, 218b)의 개수가 동일하고 양자의 가지들이 일대일로 일부 또는 전부 오버랩될 수도 있다.
- [0032] 한편, 제1패턴(222)의 가지들(222a, 222b)는 각각 제1전극(218)의 가지들(218a, 218b) 중 하나와 오버랩되지 않을 수 있다. 예를 들어 제1패턴(222)의 가지들(222a, 222b)는 각각 제1전극(218)의 가지들(218a, 218b) 중 하나와 오버랩되지 않더라도 제1전극(218)의 가지들(218a, 218b)과 이격 거리가 짧거나 제1패턴(222)과 제1전극(218)의 유전체의 유전율이 크거나 제1패턴과 제1전극의 넓이가 넓어 스토리지 캐패시터로 기능할 수 있으면 충

분하다.

- [0033] 따라서, 제1패턴(222)과 제1전극(218)은 데이터 배선(214)을 통해 공급된 데이터 전압을 다음 프레임까지 유지하는 제2스토리지 캐패시터로 기능한다.
- [0034] 따라서, 제2패턴(221)과 공통 배선(213)이 제1스토리지 캐패시터로 기능하고 제1패턴(222)과 제1전극(218)이 제2스토리지 캐패시터로 기능하여 데이터 배선(214)을 통해 공급된 데이터 전압을 다음 프레임까지 유지할 수 있다. 전술한 예에서 드레인 전극(216c)으로부터 연장되고 공통 배선(213)과 전부 또는 일부 오버랩된 제2패턴(221)이 공통 배선(213)과 제1스토리지 캐패시터로 기능하는 것으로 설명하였으나 제2패턴(221)이 실질적으로 존재하지 않고 제1패턴(222)과 제1전극(213)만으로 스토리지 캐패시터를 구성할 수도 있다.
- [0035] 여기서, 각 화소 영역(P1)마다 게이트 전극(216a)을 구비한 게이트 배선(212), 게이트 배선(212)에서 연장된 일측에 형성된 게이트 패드(212a), 공통 배선(213), 공통 배선(213)으로부터 연장된 제1패턴(222)은 모두 동일 평면 또는 동일층에 형성되어 있으나 이에 제한되지 않는다.
- [0036] 그리고, 데이터 배선(214)과, 소스/드레인 전극(216b, 216c), 드레인 전극(216c)에서 연장된 제2패턴(221), 데이터 배선(214)에서 연장된 일측에 형성된 데이터 패드(214a)은 모두 동일 평면 또는 동일층에 형성되어 있으나 이에 제한되지 않는다.
- [0037] 또한, 제1전극(218), 제1전극(218)과 교번하여 형성된 제2전극(220)은 모두 동일 평면 또는 동일층에 형성되어 있으나 이에 제한되지 않는다.
- [0038] 전술한 바와 같이 제1패턴(222)이 게이트 배선(212) 및 공통 배선(213)과 동일 평면 또는 동일층에 형성되는 것으로 설명하였으나 제1패턴(222)은 데이터 배선(214) 및 데이터 패드(214a) 등과 동일 평면 또는 동일층에 형성될 수 있다. 이때 제1패턴(222)과 공통 배선(213)이 다른 층에 위치하므로 콘택홀을 통해 전기적으로 연결될 수 있다.
- [0039] 도 1 내지 도 4에 도시하지 않았으나 서로 다른 평면 또는 다른 층에 위치하면서 서로 연결된 구성요소들은 콘택홀을 통해 서로 전기적으로 연결된다. 한편 서로 다른 층들 사이에는 도 4에 도시한 절연층(223)과 같이 절연기능을 하는 하나 또는 둘 이상의 층이 위치할 수 있다.
- [0040] 이하, 도 5a 내지 도 5c를 참조하여 일실시예에 따른 액정표시장치의 제조 방법에 대해 설명한다.
- [0041] 도 5a 내지 도 5c는 일실시예에 따른 액정표시장치의 제조 방법을 순서대로 나타낸 공정 평면도들이다.
- [0042] 일실시예에 따른 액정표시장치의 제조 방법으로, 먼저 도 5a와 같이, 기판 상에 제1금속을 증착하고, 제 1 마스크(미도시)를 이용하여 제1금속을 선택적으로 제거함으로써, 복수개의 게이트 전극(216a) 및 연장된 일측에 게이트 패드(212a)를 구비한 게이트 배선(212)과, 게이트 배선(212)과 인접한 공통 배선(213), 공통 배선(213)과 연장된 둘 이상의 가지들(222a, 222b, 222c)을 포함하는 제1패턴(222)을 형성한다. 이때 제1패턴(222)의 둘 이상의 가지들(222a, 222b, 222c)은 각각 서로 평행하면 꺾임 구조를 가지고 있다.
- [0043] 이후 기판 전면에서 게이트 절연막(미도시)을 형성한다.
- [0044] 도 5b와 같이, 게이트 절연막 상에 제2금속을 증착하고, 제 2 마스크(미도시)를 이용하여 "U"자형의 소스 전극(216b)과 연장된 일측에 데이터 패드(214a)가 구비된 데이터 배선(214), 소스 전극(216b)과 소정 간격 이격된 드레인 전극(216c), 드레인 전극(216c)과 연결된 제2패턴(221), 소스 전극(216b)과 데이터 배선(214)을 연결하는 소스 연결패턴(217)을 형성한다.
- [0045] 이와 같이, 제 2 마스크를 이용한 식각 공정시, 게이트 절연막 상에 형성된 반도체층을 형성하고 반도체층 상에 제2금속을 증착한 후 소스 전극(216b)과 드레인 전극(216c)을 형성할 때 채널이 정의된 반도체층(미도시)을 동시에 형성할 수 있다.
- [0046] 또는 추가 마스크 공정을 이용하여 게이트 절연막 상에 게이트 전극과 대응되는 위치에 반도체층을 형성하고 상기 제 2 마스크를 이용한 식각 공정을 이용하여 소스 전극(216b)과 드레인 전극(216c)을 형성할 수 있다.
- [0047] 여기서, 데이터 배선(214)은 꺾임 구조를 가지고 있다. 소스 연결패턴(217)은 게이트 배선(212)과 겹치지 않도록 게이트 배선(212)의 양측에 위치하는 두개의 패턴들(217a, 217b)을 포함한다.
- [0048] 도 5c와 같이, 기판 상에 투명 도전막(ITO)을 증착하고, 제 3 마스크(미도시)를 이용하여 서로 교번하는 둘 이상의 가지들(218a, 218b)을 포함하는 제1전극(218)과 둘 이상의 가지들(220a, 220b)을 포함하는 제2전극(220),

연결패턴(224)을 형성한다.

- [0049] 도시되지 않았지만, 기관에 대향되는 다른 기관 상에는 게이트 배선(212), 데이터 배선(214) 및 박막 트랜지스터(Tr) 형성 부위를 가리는 블랙 매트릭스층을 형성한다. 이때 각 화소에 대응하여 R, G, B 칼라 필터층을 다른 기관에 형성하거나 기관 상에 형성할 수 있다.
- [0050] 이어, 각각 TFT 어레이 공정과, 칼라 필터 어레이 공정이 완료된 기관과 다른 기관 상에는 배향막을 형성한 후, 이를 러빙 처리한다.
- [0051] 이와 같이, 각각 형성 공정이 이루어진 두개의 기관들 중 어느 일 기관에 스페이서를 산포하고 외곽에 대응되는 부위에 절재를 디스펜싱한 후, 두개의 기관들을 합착한 후, 이를 하나의 패널 단위로 컷팅한다. 이어, 액정을 각각의 패널에 주입하여 액정 패널을 형성한다. 이어, 액정 패널에 도 1에 도시한 데이터 구동부(120), 게이트 구동부(130), 타이밍 컨트롤러(110)와 백 라이트(미도시)를 연결시켜 액정표시장치(100)를 완성한다.
- [0052] 도 6은 다른 실시예에 따른 액정표시장치의 각 화소영역(P2)의 평면도이다. 도 7은 도 6의 부분 확대도이다. 도 8은 도 7의 B-B' 선의 단면도이다.
- [0053] 도 6 내지 도 8을 참조하면, 액정표시장치(100)의 하나의 화소영역(P2)은 기관(610) 상에는 서로 교차하여 화소영역을 정의하는 게이트 배선(612) 및 꺾임 구조의 데이터 배선(614)과, 화소 영역을 지나며 게이트 배선(612)과 이웃한 공통 배선(613)과, 게이트 배선(612)과 데이터 배선(614)의 교차부에 게이트 전극(616a), "U"자형의 소스 전극(616b) 및 소스 전극(616b)의 "U"자형 패턴 내로 일부 들어오는 드레인 전극(616c), 채널이 정의된 반도체층(미도시)으로 이루어진 박막 트랜지스터(Tr)를 포함한다.
- [0054] 게이트 배선(612)은 제1방향으로 연장되어 게이트 패드(612a)와 연결되어 있다. 데이터 배선(614)은 제2방향으로 연장되어 데이터 패드(614a)와 연결되어 있다.
- [0055] 소스 전극(616b)은 데이터 배선(614)과 소스 연결패턴(617)에 의해 연결되어 있다. 소스 연결패턴(617)은 게이트 배선(612)과 겹치지 않도록 게이트 배선(612)의 양측에 위치하는 두개의 패턴들(617a, 617b)을 포함한다.
- [0056] 액정표시장치(100)의 하나의 화소영역(P2)은 화소영역 내에 드레인 전극(616c)에서 연장되고 꺾임 구조의 둘 이상의 가지들(618a, 618b)을 포함하는 제1전극(618)과 화소영역 내에 공통 배선(613)에서 분기되고 꺾임 구조의 둘 이상의 가지들(620a, 620b)을 포함하는 제2전극(620)을 포함한다.
- [0057] 제1전극(618)은 드레인 전극(616c)로부터 연장된 제2패턴(621)과 컨택홀(미도시)을 통해 전기적으로 연결되어 있다. 제2패턴(621)은 공통 배선(613)과 전부 또는 일부가 오버랩된다. 따라서 제2패턴(621)과 공통 배선(613)은 데이터 배선(612)을 통해 공급된 데이터 전압을 다음 프레임까지 유지하는 스토리지 캐패시터로 기능한다.
- [0058] 도 2 내지 도 4를 참조하여 설명한 일실시예에 따른 표시장치의 각 화소 영역(P1)은 공통 배선(213)으로부터 연장된 제1패턴(222)을 포함하고, 도 4에 도시한 바와 같이 제1패턴(222)과 제1전극(218)이 스토리지 캐패시터로 기능하지만 도 6 내지 도 8을 참조하여 설명한 다른 실시예에 따른 표시장치의 각 화소 영역(P2)는 제1패턴을 포함하지 않는다.
- [0059] 도 9는 일실시예에 따른 표시장치의 각 화소 영역(P1)과 다른 실시예에 따른 표시장치의 각 화소 영역(P2)의 개구율을 대비한 도면이다.
- [0060] 도 9를 참조하면, 다른 실시예에 따른 표시장치의 각 화소 영역(P2)의 공통 배선(613)의 폭(W2)이 일실시예에 따른 표시장치의 각 화소 영역(P1)의 공통 배선의 폭(W1)보다 크다. 또한, 다른 실시예에 따른 표시장치의 각 화소 영역(P2)의 제2패턴(621)의 폭(W4)도 일실시예에 따른 표시장치의 각 화소 영역(P1)의 제2패턴(221)의 폭(W3)보다 크다. 결과적으로 공통 배선(613)과 제2패턴(621)의 스토리지 캐패시터로써 캐패시턴스는 일실시예에 따른 제1패턴(222)과 제1전극(218)의 제1스토리지 캐패시터의 캐패시턴스 및 공통 배선(213)과 제2패턴(221)의 제2스토리지 캐패시터의 캐패시턴스와 실질적으로 동일할 정도로 공통 배선(613)의 폭(W2)과 제2패턴(621)의 폭(W4)을 갖는다.
- [0061] 도 10은 일실시예에 따른 표시장치와 다른 실시예에 따른 표시장치의 인치별 개구율 상승분(%)을 대비한 그래프이다.
- [0062] 일실시예에 따른 표시장치는 전술한 바와 같이 제1패턴(222)과 제1전극(218)으로 스토리지 캐패시터의 기능을 하므로 공통 배선(213)과 제2패턴(221)의 폭들을 작게 만들어도 다음 프레임까지 데이터 전압을 유지할 수 있다. 따라서, 공통 배선(213)의 폭(W1)과 제2패턴(221)의 폭(W3)을 공통 배선(613)의 폭(W2)과 제2패턴(621)의 폭(W4)을 갖는다.

1)의 폭(W4)보다 작다. 결과적으로 일실시예에 따른 표시장치는 공통 배선(213)의 폭(W1)과 제2패턴(221)의 폭(W3)을 작게 하여 비발광영역을 좁게 만들더라도 제1패턴(222)과 제1전극(218)으로 스토리지 캐패시터의 기능을 하므로 다음 프레임까지 데이터 전압을 충분히 유지할 수 있다.

[0063] 따라서, 일실시예에 따른 표시장치는 다른 실시예에 따른 표시장치와 비교하여 발광영역의 면적을 넓게 구성할 수 있으므로 개구율을 향상시킬 수 있다.

[0064] 특히 일실시예에 따른 표시장치는 다른 실시예에 따른 표시장치와 비교하여 해상도가 큰 FHD뿐만 아니라 UHD일 때에도 인치별 개구율이 상승된다.

[0065] 이상 도면을 참조하여 실시예들을 설명하였으나 본 발명은 이에 제한되지 않는다.

[0066] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0067] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

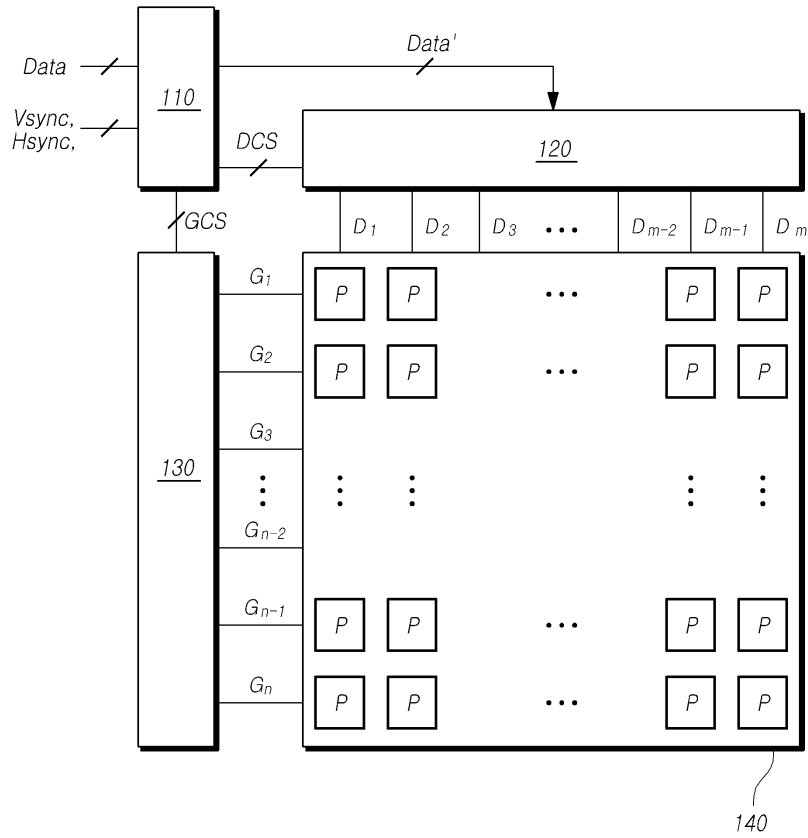
부호의 설명

[0068]	100: 액정표시장치	110: 타이밍 컨트롤러
	120: 데이터 구동부	130: 게이트 구동부
	140: 액정표시패널	213: 공통 배선
	216c: 드레인 전극	218: 제1전극
	221: 제2패턴	222: 제1패턴

도면

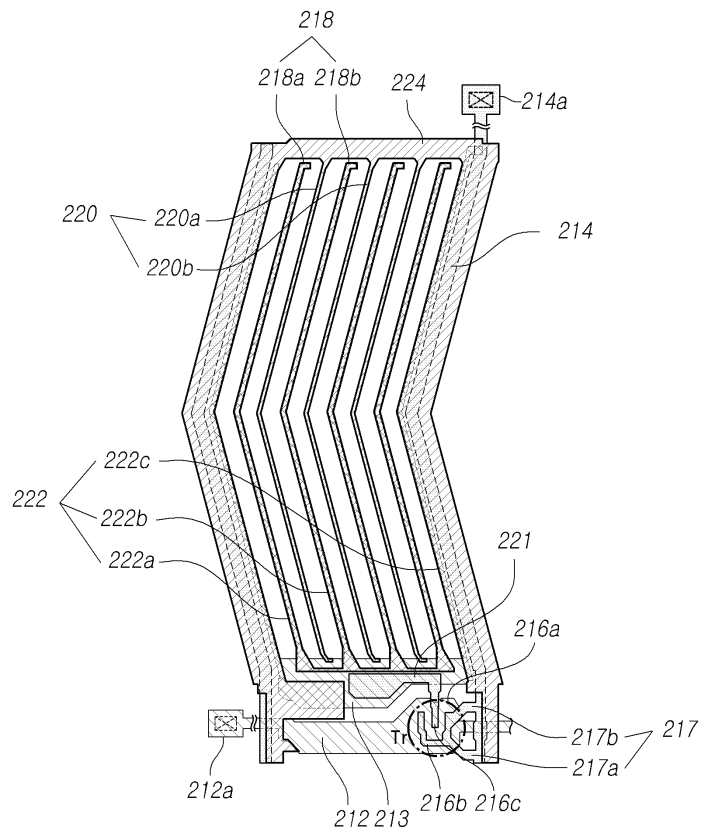
도면1

100

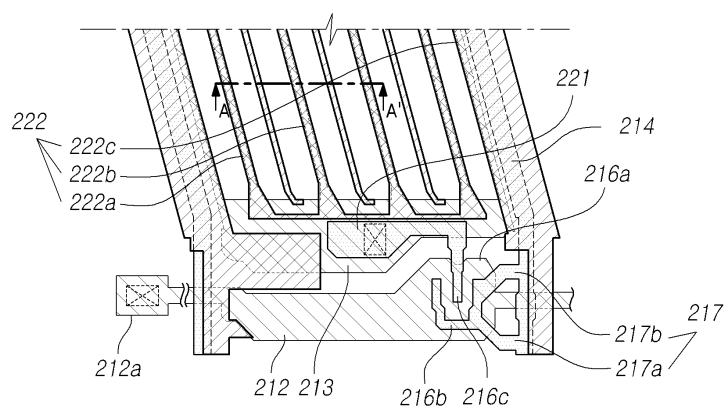


도면2

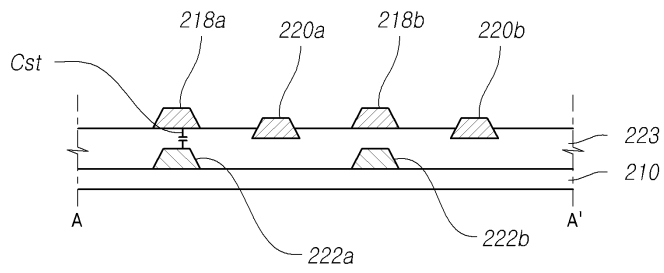
P1



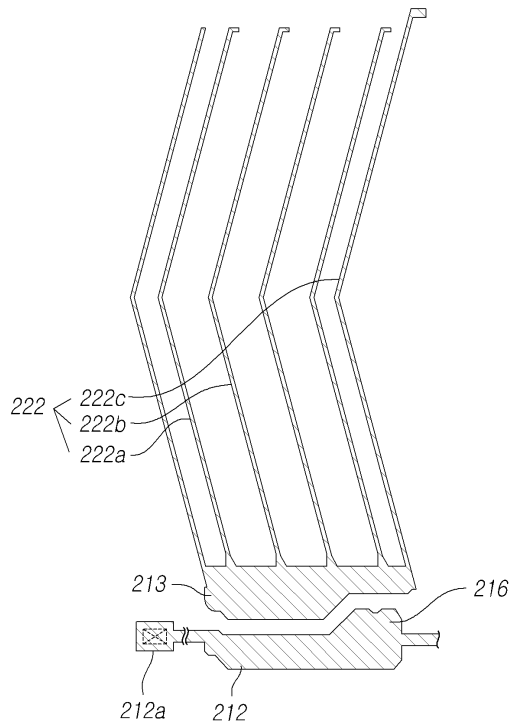
도면3



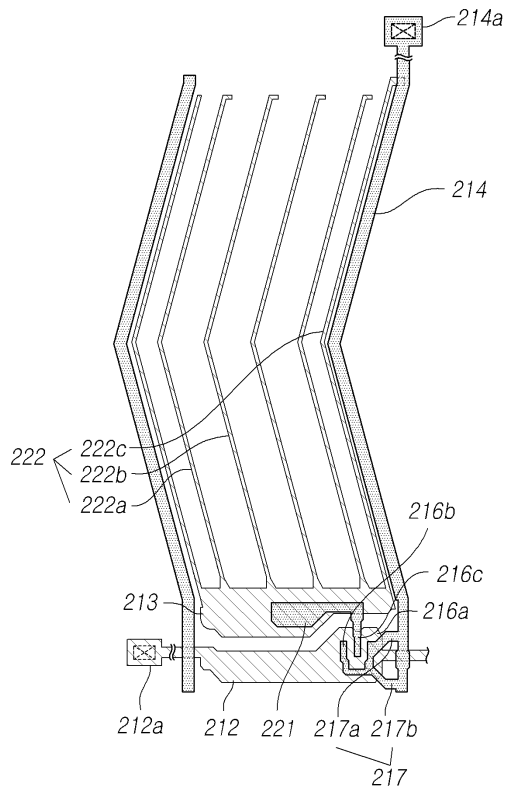
도면4



도면5a

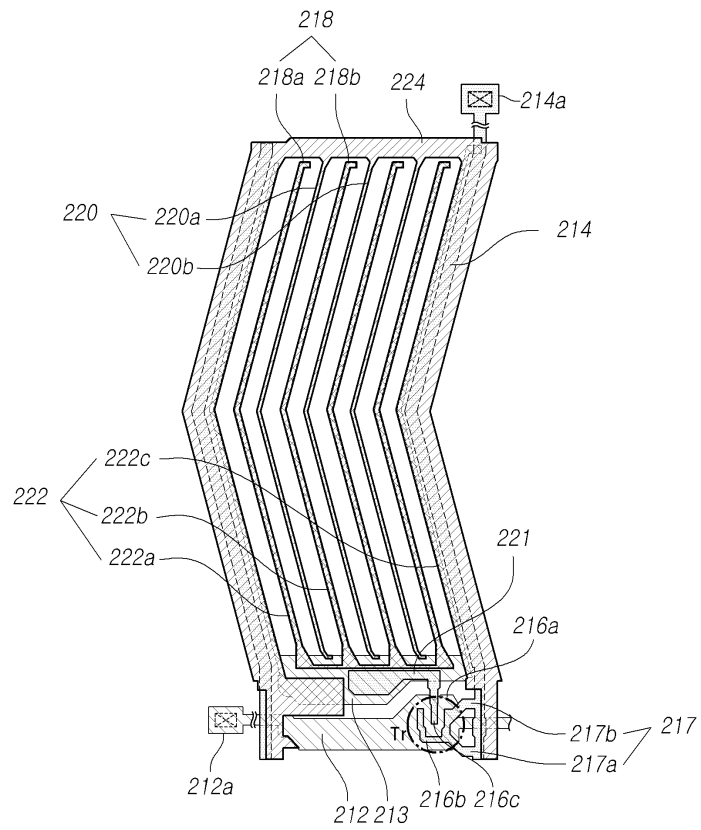


도면5b



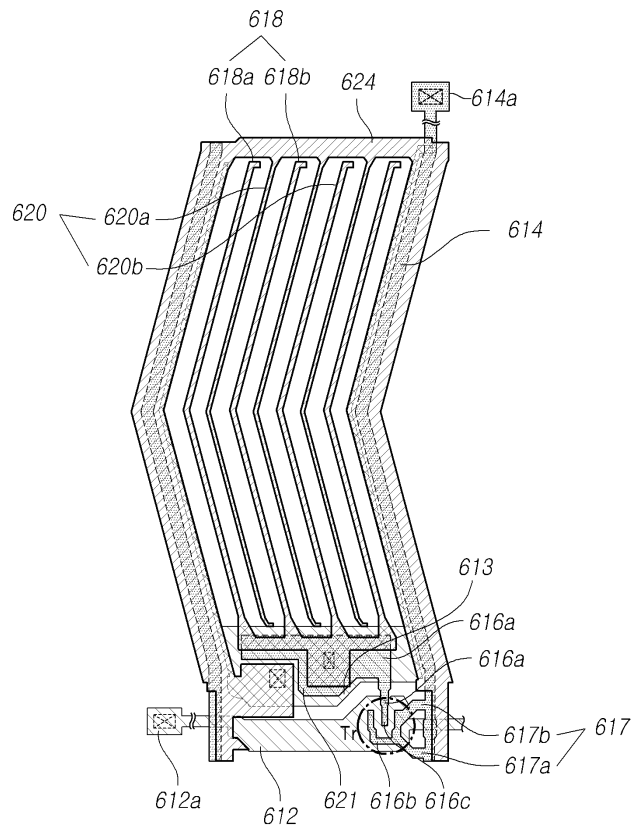
도면5c

P1

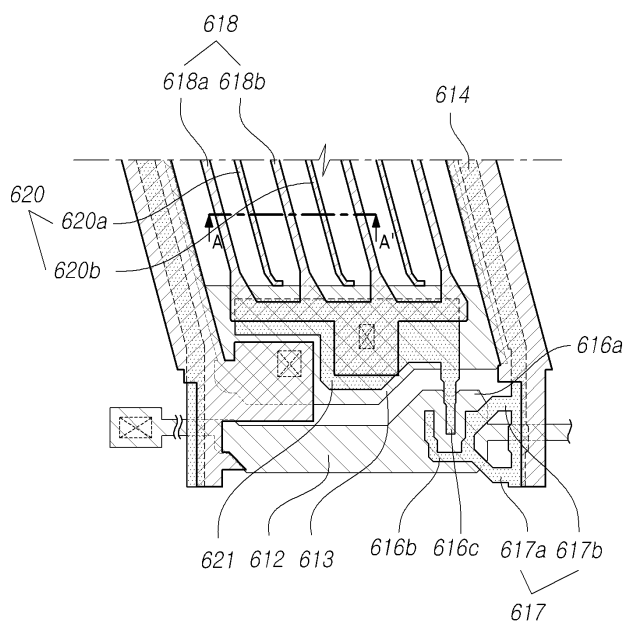


도면6

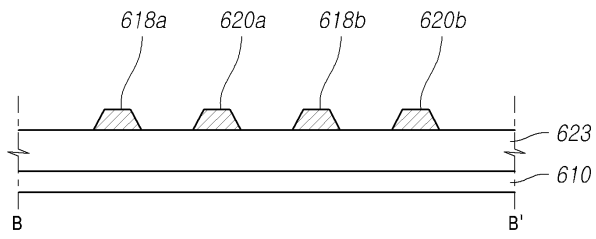
P2



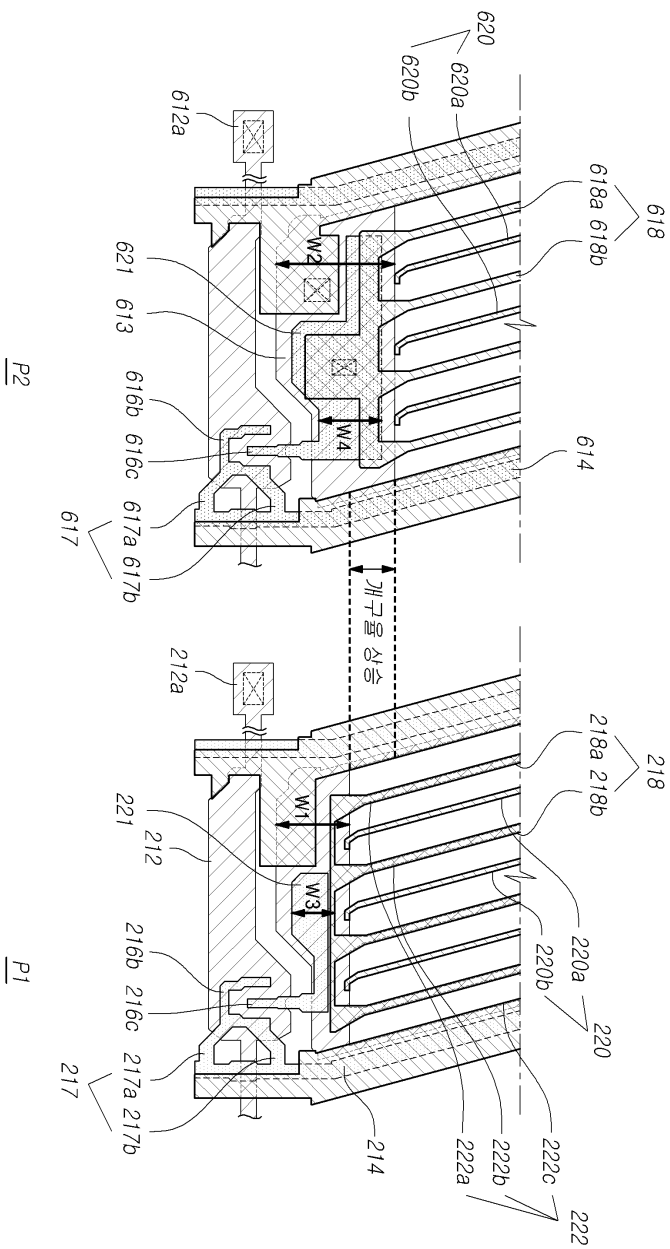
도면7



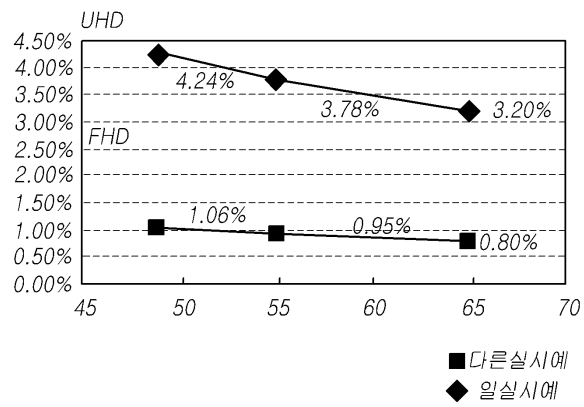
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160060204A	公开(公告)日	2016-05-30
申请号	KR1020140161568	申请日	2014-11-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN CHANG YEOP 신창엽 SEO JUNG MOO 서정무		
发明人	신창엽 서정무		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/1343 G02F2201/40 H01L29/786		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明提供了一种液晶显示器，包括薄膜晶体管，设置在基板中，栅极布线限定了与基板和数据线交叉的像素区域，栅极布线和相邻的公共线，以及数据线和栅极布线第一电极，其与薄膜晶体管的一个电极电连接，第二电极连接到公共线和第一图案，其与公共线电连接并且其中第一电极和部分或整体是重叠的。

