

명세서

청구범위

청구항 1

기관 상의 박막 트랜지스터 영역에 형성된 게이트 전극 및 화소 영역에 형성된 제1 공통전극;
상기 게이트 전극 및 상기 제1 공통전극을 포함하는 기관 전면에 형성된 게이트 절연막;
상기 게이트 절연막 상에 형성된 소스 전극 및 드레인 전극;
상기 화소 영역에서 상기 게이트 절연막 상에 형성된 화소 전극;
상기 화소 전극을 포함하는 기관 전면에 형성된 보호막; 및
상기 보호막 상에 형성된 제2 공통전극을 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2

제 1 항에 있어서,
상기 게이트 전극과 상기 제1 공통전극은 동일층 상에 형성되어 있고,
상기 게이트 전극은, 상기 기관 상에 형성되고 투명 도전성 물질로 이루어진 제1 도전막; 및 상기 제1 도전막 상에 형성되고 저항 값이 미리 정해진 기준치 이하인 저저항 금속물질로 이루어진 제2 도전막으로 구성되고,
상기 제1 공통전극은 상기 제1 도전막으로 구성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3

제1항에 있어서,
상기 화소 전극은 상기 드레인 극과 직접 연결되도록 형성되어 있는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4

제1항에 있어서,
상기 게이트 전극 및 상기 제1 공통전극과 동일층 상에 형성되어 있는 공통전극 라인을 더 포함하고,
상기 공통전극라인은, 상기 기관 상에 형성되고 투명 도전성 물질로 이루어진 제1 도전막; 및 상기 제1 도전막 상에 형성되고 저항 값이 미리 정해진 기준치 이하인 저저항 금속물질로 이루어진 제2 도전막으로 구성되며,
상기 제1 도전막은 상기 제1 공통전극과 직접 연결되어 있는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5

제1항에 있어서,
상기 제2 공통전극은 상기 제1 공통전극의 소정 영역을 외부로 노출시키기 위한 콘택홀을 통해 상기 제1 공통전극과 전기적으로 연결되는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6

제1항에 있어서,
상기 제2 공통전극은 복수개의 슬릿을 포함하거나, 핑거 형상으로 형성되어 있는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 7

박막 트랜지스터 영역과 화소 영역을 포함하는 기관 상에 게이트 전극, 제1 공통전극, 및 공통전극 라인을 패턴

형성하는 단계;

상기 게이트 전극, 상기 제1 공통전극, 및 상기 공통전극 라인을 포함하는 기관 전면에 게이트 절연막을 형성하는 단계;

상기 기관 전면에 액티브층 형성을 위한 물질층과, 소스/드레인 전극 형성을 위한 소스 드레인 전극층을 순차적으로 형성하는 단계;

하프톤 마스크를 이용하여 상기 물질층 및 소스 드레인 전극층을 동시에 패터닝하여 상기 박막 트랜지스터 영역에 액티브층, 소스 전극, 및 드레인 전극을 형성하는 단계;

상기 화소 영역에 화소 전극을 패턴 형성하는 단계;

상기 화소 전극을 포함하는 기관 전면에 보호막을 형성하는 단계; 및

상기 보호막 상에 제2 공통전극을 패턴 형성하는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 게이트 전극, 제1 공통전극, 및 공통전극 라인을 패턴 형성하는 단계는,

상기 기관 상에 투명 도전성 물질로 이루어진 제1 도전막을 형성하는 단계;

상기 제1 도전막 상에 저항 값이 미리 정해진 기준치 이하인 저저항 금속물질로 이루어진 제2 도전막을 형성하는 단계; 및

하프톤 마스크를 이용하여 상기 제1 도전막 및 상기 제2 도전막을 동시에 패터닝하여, 상기 제1 및 제2 도전막으로 구성된 상기 게이트 전극, 상기 제1 도전막으로 구성된 상기 제1 공통전극, 및 상기 제1 및 제2 도전막으로 구성된 상기 공통전극 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 9

제7항에 있어서,

상기 화소 전극을 패턴 형성하는 단계에서,

상기 화소 전극이 상기 드레인 전극과 직접 연결되도록 상기 화소 전극을 패턴형성 하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 10

제1항에 있어서,

상기 보호막을 형성하는 단계 이후에,

상기 게이트 절연막 및 상기 보호막의 소정 영역을 식각하여 상기 제1 공통전극의 일부를 노출시키는 콘택홀을 형성하는 단계를 더 포함하고,

상기 제2 공통전극을 패턴 형성하는 단계에서,

상기 제2 공통전극이 상기 콘택홀을 통해 상기 제1 공통전극과 전기적으로 연결되도록 상기 제2 공통전극을 패턴 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

발명의 설명

기술분야

[0001]

본 발명은 액정 디스플레이 장치에 관한 것으로서, 보다 구체적으로, 액정 디스플레이 장치의 제조 공정에 필요한 마스크 수가 감소되는 액정 디스플레이 장치 및 액정 디스플레이 장치의 제조방법에 관한 것이다.

배경 기술

- [0002] 평판 디스플레이 장치(Flat Panel Display apparatus)들 중에서 액정 디스플레이 장치는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질, 및 대화면 구현의 장점으로 인해 적용 분야가 확대되고 있다.
- [0003] 도 1a 내지 도 1g는 일반적인 액정 디스플레이 장치를 구성하는 하부 기판의 제조공정을 도시한 공정 단면도이다.
- [0004] 도 1a에 도시된 바와 같이, 제1 마스크를 이용하여 기판(10) 상에 게이트 전극(20) 및 공통전극 라인(21)을 형성한 후, 도 1b에 도시된 바와 같이 게이트 전극(20) 및 공통전극 배선(21)을 포함하는 기판 전면에 게이트 절연막(25)을 형성한다.
- [0005] 다음, 게이트 전극(20) 및 연결전극(21)을 포함하는 기판 전면에 액티브층 형성을 위한 물질층(미도시) 및 소스/드레인 전극층(미도시)을 차례로 적층한 후, 도 1c에 도시된 바와 같이 제2 마스크(하프톤 마스크)를 이용하여 액티브층 형성을 위한 물질층 및 소스/드레인 전극층을 패터닝하여 액티브층(30), 소스전극(62), 및 드레인 전극(64)을 형성한다.
- [0006] 이와 같이, 게이트 전극(20), 액티브층(30), 소스전극(62), 및 드레인 전극(64)이 박막 트랜지스터(TFT: Thin Film Transistor)를 구성하게 된다.
- [0007] 다음, 도 1d에 도시된 바와 같이 소스 전극(62)과 드레인 전극(64)을 포함하는 기판 상에 제1 보호막(70) 및 평탄화층(80)을 형성한 후, 제3 마스크를 이용하여 평탄화층(80)을 패터닝하여 홀(H1) 및 홀(H2)를 형성하고, 제4 마스크를 이용하여 게이트 절연막(25) 및 제1 보호막(70)을 패터닝하여 홀(H3)를 형성한다. 이때, 홀(H1) 및 홀(H3)가 제1 콘택홀(CH1)을 구성하고, 제1 콘택홀(CH1)을 통해 공통전극 라인(21)의 일부가 외부로 노출된다. 일 실시예에 있어서, 평탄화층(80)은 포토아크릴(Photo Acryl)를 이용하여 형성될 수 있다.
- [0008] 다음, 도 1e에 도시된 바와 같이, 제5 마스크를 이용하여 평탄화층(80) 상에 공통전극(90)을 패터닝 형성한다. 이때, 공통전극(90)은 제1 콘택홀(CH1)을 통해 공통전극 라인(21)과 전기적으로 연결된다.
- [0009] 다음, 도 1f에 도시된 바와 같이 공통전극(90)을 포함하는 기판 전체면에 제2 보호막(92)을 형성한 후, 제6 마스크를 이용하여 제1 보호막(70) 및 제2 보호막(92)을 패터닝하여 홀(H4)을 형성한다. 이때, 홀(H2) 및 홀(H4)가 제2 콘택홀(CH2)을 구성하고, 제2 콘택홀(CH2)을 통해 드레인 전극(64)의 일부가 외부로 노출된다.
- [0010] 다음, 도 1g에 도시된 바와 같이 제7 마스크를 이용하여 제2 보호막(92) 상에 화소전극(94)을 패터닝 형성한다. 일 실시예에 있어서, 화소전극(94)은 핑거(Finger) 형태로 패터닝 형성된다. 화소전극(94)과 드레인 전극(64)은 제2 콘택홀을 통해 콘택 되어, 데이터 라인(미도시)을 통해 입력되는 데이터 전압이 화소 영역에 공급된다.
- [0011] 상술한 바와 같은 액정 디스플레이 장치의 경우 도 2의 표에서 알 수 있는 바와 같이 7마스크(Mask)공정을 통해 하부 기판을 제조하였다. 이와 같이 일반적인 액정 디스플레이 장치에서 7마스크 공정을 통해 하부 기판을 제조한 것은, 고해상도 모델(예컨대, QHD급)에서 화소의 충전상태를 유지해 주는 스토리지 커패시턴스(Cst)를 충분히 확보하기 위한 것이다.
- [0012] 이를 보다 구체적으로, 고해상도 모델일 수록 화소 크기가 작아지기 때문에(예컨대, 200ppi이상), 화소의 충전상태를 유지해 주는 스토리지 커패시턴스(Cst)의 확보를 위한 절대적인 면적이 작아지게 되므로, 스토리지 커패시턴스의 확보를 위해서는 화소전극과 공통전극간의 거리를 감소시킬 필요가 있다. 하지만 스토리지 커패시턴스의 확보를 위해 화소전극과 공통전극간의 거리를 감소시키게 되면 로드(Load)증가에 의해 충전 특성 확보가 불가능 해지므로, 일반적인 액정디스플레이 장치의 경우 로드를 개선하기 위해 평탄화층을 사용하는 7마스크 공정을 이용하게 된 것이다.
- [0013] 이와 같이, 일반적인 액정 디스플레이 장치의 경우 하부 기판의 제조를 위해 7마스크 공정을 이용하였기 때문에 생산성이 낮아질 뿐만 아니라 제조비용이 증가하게 된다는 단점이 있다.
- [0014] 또한, 일반적인 액정 디스플레이 장치는, 게이트 라인과 공통전극 라인이 동일한 층 상에 형성되기 때문에 게이트 라인과 공통전극 라인 간의 간격을 확보해 주어야 할 뿐만 아니라, 이로 인해 개구율이 낮아진다는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0015] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 하부 기판의 제조에 요구되는 마스크의 개수를 감소시킬 수 있는 액정 디스플레이 장치 및 액정 디스플레이 장치의 제조 방법을 제공하는 것을 기술적 과제로 한다.
- [0016] 또한, 본 발명은 개구율을 향상시킬 수 있는 액정 디스플레이 장치 및 액정 디스플레이 장치의 제조 방법을 제공하는 것을 다른 기술적 과제로 한다.

과제의 해결 수단

- [0017] 상술한 목적을 달성하기 위한 본 발명의 일 측면에 따른 액정 디스플레이 장치는, 기판 상의 박막 트랜지스터 영역에 형성된 게이트 전극 및 화소 영역에 형성된 제1 공통전극; 상기 게이트 전극 및 상기 제1 공통전극을 포함하는 기판 전면에 형성된 게이트 절연막; 상기 게이트 절연막 상에 형성된 소스 전극 및 드레인 전극; 상기 화소 영역에서 상기 게이트 절연막 상에 형성된 화소 전극; 상기 화소 전극을 포함하는 기판 전면에 형성된 보호막; 및 상기 보호막 상에 형성된 제2 공통전극을 포함하는 것을 특징으로 한다.
- [0018] 상술한 목적을 달성하기 위한 본 발명의 다른 측면에 따른 액정 디스플레이 장치의 제조 방법은, 박막 트랜지스터 영역과 화소 영역을 포함하는 기판 상에 게이트 전극, 제1 공통전극, 및 공통전극 라인을 패터닝 형성하는 단계; 상기 게이트 전극, 상기 제1 공통전극, 및 상기 공통전극 라인을 포함하는 기판 전면에 게이트 절연막을 형성하는 단계; 상기 기판 전면에 액티브층 형성을 위한 물질층과, 소스/드레인 전극 형성을 위한 소스 드레인 전극층을 순차적으로 형성하는 단계; 하프톤 마스크를 이용하여 상기 물질층 및 소스 드레인 전극층을 동시에 패터닝하여 상기 박막 트랜지스터 영역에 액티브층, 소스 전극, 및 드레인 전극을 형성하는 단계; 상기 화소 영역에 화소 전극을 패터닝 형성하는 단계; 상기 화소 전극을 포함하는 기판 전면에 보호막을 형성하는 단계; 및 상기 보호막 상에 제2 공통전극을 패터닝 형성하는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

- [0019] 상술한 바와 같이, 본 발명에 따르면 5마스크 공정을 통해 액정 디스플레이 장치의 하부 기판을 제조할 수 있으므로, 생산성을 향상시킬 수 있음은 물론 액정 디스플레이 장치의 제조비용을 감소시킬 수 있다는 효과가 있다.
- [0020] 또한, 본 발명에 따르면 스토리지 커패시턴스의 확보를 위한 별도의 평탄화층이 요구되지 않아 액정 디스플레이 장치의 투과율을 향상시킬 수 있다는 효과가 있다.
- [0021] 또한, 본 발명에 따르면 드레인 전극과 화소 전극이 직접 콘택되는 구조이기 때문에 드레인 전극과 화소 전극간의 콘택을 위한 별도의 콘택홀이 요구되지 않아 콘택홀로 인한 화소 영역의 감소를 최소화시켜 액정 디스플레이 장치의 투과율을 향상시킬 수 있다는 효과가 있다.
- [0022] 또한, 본 발명에 따르면 5마스크(Mask) 공정을 통해 고해상도 모델 액정 디스플레이 장치의 하부 기판을 제조하면서도 스토리지 커패시턴스를 충분히 확보할 수 있어 크로스토크(Cross Talk)나 잔상 등과 같은 화질 불량 발생을 방지할 수 있다는 효과가 있다.
- [0023] 또한, 본 발명에 따르면 공통전극 라인을 제1 공통전극 형성을 위한 제1 도전막과 게이트 전극형성을 위한 제2 도전막이 적층된 형태로 구성하기 때문에 개구율을 개선할 수 있음은 물론, 이를 통해 액정 디스플레이 장치의 영상 품질을 향상시킬 수 있다는 효과가 있다.

도면의 간단한 설명

- [0024] 도 1a 내지 도 1g는 일반적인 액정 디스플레이 장치의 하부 기판 제조공정을 도시한 공정 단면도.
- 도 2는 도 1에 도시된 하부 기판의 제조에 요구되는 마스크 개수를 보여주는 표.
- 도 3은 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 하부 기판의 구조를 보여주는 단면도.
- 도 4는 본 발명에 따른 액정 디스플레이 장치의 하부 기판에서 전체적인 스토리지 커패시턴스의 구성을 보여주는 도면.
- 도 5a 내지 도 5g는 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 하부 기판 제조공정을 도시한 공정 단면도.

도 6은 도 5에 도시된 하부 기관의 제조에 요구되는 마스크 개수를 보여주는 표.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예들에 따른 액정 디스플레이 장치와 이의 제조방법에 대하여 설명하기로 한다.
- [0026] 본 발명의 실시 예들을 설명함에 있어서 어떤 구조물(전극, 라인, 레이어, 콘택)이 다른 구조물 '상부에 또는 상에' 및 '하부에 또는 아래에' 형성 된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.
- [0027] 상기 '상부에 또는 상에' 및 '하부에 또는 아래에' 라는 표현은 도면에 기초하여 본 발명의 액정 디스플레이 장치 및 이의 제조방법을 설명하기 위한 것이다. 따라서, 상기 '상부에 또는 상에' 및 '하부에 또는 아래에' 라는 표현은 제조 공정 과정과 제조가 완료된 이후 액정 디스플레이 장치의 구성에서 서로 상이할 수 있다.
- [0028] 본 발명에 대한 내용을 구체적으로 설명하기에 앞서, 액정 디스플레이 장치의 액정층 배열 조절 방식 및 액정 디스플레이 장치의 일반적인 구성에 대해 간략히 설명한다.
- [0029] 먼저, 액정 디스플레이 장치에서 액정층의 배열을 조절하는 방식에는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등이 있다.
- [0030] 그 중에서, IPS 모드와 FFS 모드는 하부 기관 상에 화소 전극과 공통 전극을 배치하여 화소 전극과 공통 전극 사이의 전계에 의해 액정층의 배열을 조절하는 방식이다.
- [0031] IPS 모드는 화소 전극과 공통 전극을 평행하게 교대로 배열함으로써 양 전극 사이에서 횡전계를 일으켜 액정층의 배열을 조절하는 방식이다. IPS 모드는 화소 전극과 공통 전극 상측 부분에서 액정층의 배열이 조절되지 않아 해당 영역에서 광의 투과도가 저하되는 단점이 있다.
- [0032] IPS 모드의 단점을 해결하기 위해 고안된 것이 FFS 모드이다. FFS 모드는 화소 전극과 공통 전극을 절연층을 사이에 두고 이격되도록 형성시킨다. 이때, 하나의 전극은 판(Plate) 형상 또는 패턴으로 구성하고 다른 하나의 전극은 핑거(Finger) 형상으로 구성하여 양 전극 사이에서 발생하는 프린지 필드(Fringe Field)를 통해 액정층의 배열을 조절하는 방식이다.
- [0033] 이하에서 설명될 본 발명의 실시예들에 따른 액정 디스플레이 장치는 FFS모드의 구조를 가지는 것으로 가정하여 설명하기로 한다.
- [0034] 상술한 바와 같은 다양한 액정층 배열 조절 방식을 갖는 액정 디스플레이 장치는 일반적으로 액정 패널, 액정 패널에 광을 공급하는 백라이트 유닛(Back Light Unit), 및 구동 회로부를 포함한다.
- [0035] 액정 패널은 복수의 화소가 형성된 하부 기관(TFT 어레이 기관), 복수의 화소와 대응되도록 컬러필터가 형성된 상부 기관(컬러필터 어레이 기관), 및 하부 기관과 상부 기관 사이에 개재된 액정층을 포함한다.
- [0036] 백라이트 유닛은 광원에서 생성된 빛을 액정 패널에 공급하는 것으로서, 액정 패널에 조사되는 광을 생성하는 복수의 광원(LED 또는 CCFL) 및 광 효율을 향상시키기 위한 복수의 광학 부재를 포함할 수 있다.
- [0037] 구동 회로부는 타이밍 컨트롤러(T-con), 데이터 드라이버(D-IC), 게이트 드라이버(G-IC), 백라이트 구동부, 및 구동 회로에 구동 전원을 공급하는 전원 공급부를 포함한다.
- [0038] 구동 회로부의 전체 또는 일부는 COG(Chip On Glass) 또는 COF(Chip On Flexible Printed Circuit, Chip On Film) 방식으로 액정 패널 상에 형성될 수 있다.
- [0039] 이하, 첨부되는 도면을 참조하여 본 발명의 실시예들을 구체적으로 설명한다.
- [0040] <액정 디스플레이 장치>
- [0041] 도 3은 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 하부기관의 구조를 보여주는 단면도이다. 도 3에서는 설명의 편의를 위해, 게이트 링크, 게이트 패드, 및 데이터 패드 영역의 도시는 생략하였다.
- [0042] 하부 기관 상에는 복수개의 데이터 라인(미도시)와 복수개의 게이트 라인(미도시)이 서로 교차하도록 형성되어

있고, 서로 교차하도록 형성된 복수개의 데이터 라인과 복수개의 게이트 라인에 의해 복수개의 화소영역이 정의된다. 각 화소 영역이 하나의 화소로 정의된다. 이때, 복수개의 데이터 라인과 복수개의 게이트 라인이 교차되는 영역(박막 트랜지스터 영역)에는 박막 트랜지스터(Thin Film Transistor: TFT)가 형성된다. 도 3에서는 설명의 편의를 위해 복수개의 화소들 중 하나의 화소를 기준으로 하부기판의 구조를 설명하기로 한다.

[0043] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 하부기판에서, 기판(300) 상에는 게이트 전극(312), 제1 공통전극(314), 및 공통전극 라인(316)이 패턴 형성되어 있다. 기판(300)은 유리 또는 투명한 플라스틱으로 이루어질 수 있다.

[0044] 게이트 전극(312)은 이중 도전막으로 형성되어 있을 수 있다. 구체적으로, 기판(300)상에 형성되는 제1 도전막(318)은 투명한 금속물질을 이용하여 형성되고, 제1 도전막(318) 상에 형성되는 제2 도전막(319)은 저저항 금속물질을 이용하여 형성될 수 있다. 일 실시예에 있어서, 제1 도전막(318)을 형성하는 투명한 금속물질은 인듐-틴-옥사이드(ITO)일 수 있다. 또한, 제2 도전막(319)을 형성하는 저저항 금속물질은 구리(Cu)일 수 있다. 이때, 저저항 물질이란 저항 값이 미리 정해진 기준 값 이하인 금속물질을 의미한다.

[0045] 제1 공통전극(314)은 기판(300) 상에 판(Plate) 형상으로 형성되는 것으로서, 기판(300) 상에서 TFT영역을 제외한 영역, 즉, 기판(300) 상에서 화소영역에 판 형상으로 형성된다. 이러한 제1 공통전극(314)은 게이트 절연막(320)을 사이에 두고 화소전극(346)과 제1 스토리지 커패시턴스(Cst1)를 구성하게 된다.

[0046] 여기서, 스토리지 커패시턴스(Cst)는 액정에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 수행한다.

[0047] 일 실시예에 있어서, 제1 공통전극(314)은 상술한 바와 같은 이중 도전막으로 형성된 게이트 전극(312)과 하프톤 마스크(HTM)를 이용하여 단일 공정으로 형성될 수 있다. 이러한 실시예에 따르는 경우 제1 공통전극(314)은 게이트 전극(312)을 구성하는 제1 도전막(318)과 동일한 물질을 이용하여 형성된다.

[0048] 제1 공통전극(314)은 콘택홀(CH)을 통해 소정의 영역이 외부로 노출된다.

[0049] 공통전극 라인(316)은 제1 및 제2 공통전극(314, 360)에 공통전압을 인가하기 위한 것으로서, 기판(300) 상에 게이트 라인과 평행하게 형성될 수 있다. 일 실시예에 있어서, 공통전극 라인(316)은 하프톤 마스크를 이용하여 게이트 전극(312) 및 제1 공통전극(314)과 단일 공정을 통해 형성될 수 있다.

[0050] 이러한 실시예에 따르는 경우 공통전극 라인(316)은 이중 도전막 구조로 형성된 게이트 전극(312)과 동일한 형태로 형성될 수 있다. 즉, 공통전극 라인(316)은 제1 공통전극(314)을 구성하는 제1 도전막(318) 상에 저저항 금속물질의 제2 도전막(319)이 적층된 구조로 형성될 수 있다. 이에 따라 제1 공통전극(314)은 별도의 콘택홀 없이도 저저항 금속물질을 포함하는 공통전극 라인(316)과 직접 연결되게 되고, 이로 인해 제1 공통전극(314)의 저항을 감소시킬 수 있게 된다.

[0051] 게이트 전극(312), 제1 공통전극(314), 및 공통전극 라인(316)을 포함하는 기판 전면 상에는 게이트 절연막(320)이 형성되어 있다. 게이트 절연막(320)은 콘택홀(CH) 영역 및 패드 영역(미도시)을 제외한 기판 전체면 상에 형성되어 있다. 게이트 절연막(320)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx) 물질로 형성될 수 있다.

[0052] 게이트 절연막(320) 상에는 액티브층(330)이 패턴 형성되어 있다. 액티브층(330)은 TFT영역에 형성되어 있으며, 실리콘계 반도체 물질 또는 산화물 반도체물질로 이루어질 수 있다.

[0053] 액티브층(330) 상에는 소스 전극(342), 드레인 전극(344), 및 화소 전극(346)이 패턴 형성되어 있다. 소스 전극(342) 및 드레인 전극(344)은 TFT영역에 형성되어 있다. 소스 전극(342)은 데이터 라인과 연결되어 있고, 드레인 전극(344)은 소스 전극(342)과 마주하면서 소스 전극(342)과 이격되어 있다.

[0054] 게이트 전극(312), 액티브층(330), 소스 전극(342), 및 드레인 전극(344)이 박막 트랜지스터(TFT)를 구성하게 된다.

[0055] 화소 전극(346)은 화소 영역에 형성되어 있다. 일 실시예에 있어서, 화소 전극(346)은 드레인 전극(344)과 직접 콘택(Direct Contact)되도록 화소 영역 상에 형성된다. 이러한 화소 전극(346)은 인듐-틴-옥사이드(ITO)와 같은 투명 금속물질을 이용하여 형성될 수 있다. 이에 따라, 본 발명에 따른 액정 디스플레이 장치의 경우, 일반적인 액정 디스플레이 장치에서 드레인 전극과 화소 전극을 전기적으로 연결시키기 위해 필수적으로 요구되었던 콘택홀이 요구되지 않아 화소 영역의 면적을 증가시킬 수 있고, 화소 영역의 개구율 및 투과율을 높일 수 있

게 된다.

- [0056] 소스 전극(342), 드레인 전극(344), 및 화소 전극(346) 상에는 보호막(350)이 형성되어 있다. 보호막(350)은 콘택홀(CH) 영역 및 패드영역(미도시)을 제외한 기판 전체면 상에 형성되어 있다. 보호막(350)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기 절연물로 이루어질 수 있다.
- [0057] 이때, 콘택홀(CH)은 게이트 절연막(320) 및 보호막(350)의 소정 영역을 식각함에 의해 형성될 수 있다.
- [0058] 보호막(350) 상에는 제2 공통전극(360)이 형성되어 있다. 제2 공통전극(360)은 제1 공통전극(314)과 동일한 물질로 형성될 수 있다. 즉, 제2 공통전극(360)은 인듐-틴-옥사이드와 같은 투명 금속물질로 형성될 수 있다. 일 실시예에 있어서, 제2 공통 전극(360)은 슬릿을 포함하거나 핑거(Finger) 형상을 가지도록 형성된다. 이에 따라, 화소 전극(346)과 제2 공통 전극(360) 사이에 프린지 필드(Fringe Field)가 형성되게 된다.
- [0059] 제2 공통전극(360)은 콘택홀(CH)을 통해 제1 공통전극(314)과 전기적으로 연결되고, 이에 따라 제1 공통전극(314)과 직접 콘택되어 있는 공통전극 라인(316)으로부터 공통전압을 인가받게 된다.
- [0060] 본 발명의 경우 화소 전극(346) 상부에 형성되어 있는 제2 공통 전극(360)외에 화소 전극(346) 하부에 제1 공통 전극(314)이 형성됨으로 인해 보호막(350)을 사이에 두고 화소 전극(346)과 제1 스토리지 커패시턴스(Cst1)를 구성하게 된다.
- [0061] 따라서, 본 발명의 경우 도 4에 도시된 바와 같이 제1 공통전극(314)과 화소전극(346) 사이에 형성되는 제1 스토리지 커패시턴스(Cst1)와 화소전극(346)과 제2 공통전극(360) 사이에 형성되는 제2 스토리지 커패시턴스(Cst2)가 병렬형태로 연결되기 때문에 아래의 수학적 식 1에서 알 수 있는 바와 같이 전체 스토리지 커패시턴스(Cst)가 종래에 비해 증가하게 된다.

수학적 식 1

$$Cst = Cst_1 + Cst_2$$

- [0062]
- [0063] 상술한 바와 같이, 본 발명에 따른 액정 디스플레이 장치의 하부기관의 경우, 스토리지 커패시턴스의 충분한 확보를 통해 크로스토크(Cross Talk)나 잔상 등과 같은 화질 불량 발생을 방지함은 물론, 계조(Gray Scale)표시의 안정과 플리커(Flicker)를 감소시킬 수 있게 된다. 또한, 본 발명에 따른 액정 디스플레이 장치의 하부기관의 경우, 스토리지 커패시턴스의 확보를 위해 별도의 평탄화층(PAC)이 요구되지 않으므로 두꺼운 평탄화층으로 인해 발생하는 투과율 감소를 제거할 수 있다.

<액정 디스플레이 장치의 제조 방법>

- [0064]
- [0065] 이하, 도 5 내지 도 6을 참조하여, 본 발명에 따른 액정 디스플레이 장치의 제조방법에 대해 설명한다.
- [0066] 도 5a 내지 도 5g는 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 하부기관의 개략적인 제조공정 단면이다. 도 5a 내지 도 5g에서는 설명의 편의를 위해, 게이트 링크, 게이트 패드, 및 데이터 패드 영역의 도시는 생략하였다.
- [0067] 도 5a에서 알 수 있듯이, 기판(300)상에 제1 도전막(318) 및 제2 도전막(319)을 순차적으로 형성한 후, 도 5b에서 알 수 있듯이 하프톤 마스크를 이용하여 제1 도전막(318) 및 제2 도전막(319)을 패터닝하여 게이트 전극(312), 제1 공통전극(314), 및 공통전극 라인(316)을 형성한다. 게이트 전극(312)은 TFT 영역에 형성하고 제1 공통전극(314)은 화소영역에 형성한다.
- [0068] 보다 구체적으로, 게이트 전극(312)과 공통전극 라인(316)은 제1 도전막(318) 및 제2 도전막(319)이 모두 잔존하고, 제1 공통전극(314)은 제1 도전막(318)만이 잔존하며, 게이트 전극(312), 제1 공통전극(314), 및 공통전극 라인(316)을 제외한 영역은 제1 도전막(318) 및 제2 도전막(319)이 모두 제거되도록 하프톤 마스크를 이용하여 제1 도전막(318) 및 제2 도전막(319)을 패터닝한다. 이때, 도시하지는 않았지만 패드영역에서는 제1 도전막(318) 및 제2 도전막(319)이 모두 잔존하도록 제1 도전막(318) 및 제2 도전막(319)을 패터닝한다.
- [0069] 다음, 도 5c에서 알 수 있듯이, 게이트 전극(312), 제1 공통전극(314), 및 공통전극 라인(316) 상에 게이트 절

연막(320), 액티브층 형성물질(520) 및 소스/드레인 전극층(522)을 순차적으로 형성한다.

- [0070] 다음, 도 5d에서 알 수 있듯이, 하프톤 마스크를 이용하여 액티브층 형성물질(520) 및 소스/드레인 전극층(522)을 패터닝하여 액티브층(330), 소스 전극(342), 및 드레인 전극(344)을 형성한다. 즉, 액티브층(330), 소스 전극(342), 및 드레인 전극(344)을 하나의 공정을 통해 형성한다.
- [0071] 이때, 액티브층(330)은 TFT영역에서 게이트 전극(312) 상에 형성되도록 패턴 형성되고, 소스 전극(342) 및 드레인 전극(344)은 액티브층(330) 상에서 소정 간격 이격되도록 패턴 형성된다.
- [0072] 게이트 전극(312), 액티브층(330), 소스 전극(342), 및 드레인 전극(344)이 박막 트랜지스터(TFT)를 구성하게 된다.
- [0073] 다음, 도 5e에서 알 수 있듯이, 화소 영역 내에 화소 전극(346)을 패턴 형성한다. 일 실시예에 있어서, 화소 전극(346)은 드레인 전극(344)과 직접 접촉하도록 패턴 형성한다. 이와 같이, 본 발명은 화소 전극(346)이 드레인 전극(344)과 별도의 콘택홀 없이 직접 콘택하게 되므로, 화소 영역의 면적을 증가시킬 수 있고, 화소 영역의 개구율 및 투과율을 높일 수 있게 된다.
- [0074] 이와 같이, 본 발명은 화소전극(346)은 게이트 절연막(320)을 사이에 두고 제1 공통전극(314)과 제1 스토리지 커패시터(Cst1)를 구성하게 된다.
- [0075] 다음, 도 5f에서 알 수 있듯이, 상기 화소 전극(346) 보호막(350)을 형성하고, 제1 공통전극(314)이 외부로 노출될 있도록 게이트 절연막(320) 및 보호막(350)의 소정 영역을 식각하여 콘택홀(CH)을 형성한다.
- [0076] 다음, 도 5g에서 알 수 있듯이, 보호막(350) 상에 인듐-틴-옥사이드(ITO)와 같은 투명 전도성 물질을 이용하여 제2 공통전극(360)을 패턴형성한다. 일 실시예에 있어서, 제2 공통전극(360)은 슬릿을 포함하거나 평거 형상을 가지도록 패턴 형성될 수 있다. 이에 따라, 화소 전극(346)과 제2 공통 전극(360) 사이에 프린지 필드(Fringe Field)가 형성되게 된다.
- [0077] 본 발명의 경우 화소 전극(346) 하부에 형성되어 있는 제1 공통 전극(314)외에 화소 전극(346) 상에 제2 공통전극(360)이 형성됨으로 인해 보호막(350)을 사이에 두고 화소 전극(346)과 제2 스토리지 커패시터(Cst2)를 구성하게 된다.
- [0078] 따라서, 본 발명의 경우 제1 공통전극(314)과 화소전극(346) 사이에 형성되는 제1 스토리지 커패시터(Cst1)와 화소전극(346)과 제2 공통전극(360) 사이에 형성되는 제2 스토리지 커패시터(Cst2)가 병렬형태로 연결되기 때문에 상술한 수학식 1에서 기재한 바와 같이 전체 스토리지 커패시터(Cst)가 종래에 비해 증가하게 된다. 이로 인해 스토리지 커패시터의 충분한 확보를 통해 크로스토크나 잔상 등과 같은 화질 불량 발생을 방지함은 물론, 제조표시의 안정과 플리커를 감소시킬 수 있게 된다.
- [0079] 또한, 본 발명의 경우 도 6에 도시된 바와 같이, 하프톤 마스크를 이용하는(HTM) 제1 마스크 공정을 통해 게이트 전극(312), 제1 공통전극(314), 공통전극 라인(316)을 형성하고, 하프톤 마스크(HTM)를 이용하는 제2 마스크 공정을 통해 액티브층(330), 소스 전극(342), 및 드레인 전극(344)을 형성하며, 제3 마스크 공정을 통해 화소 전극(346)을 형성하고, 제4 마스크 공정을 통해 콘택홀(CH)을 형성하며, 제5 마스크 공정을 통해 제2 공통전극(360)을 형성하는 5 마스크 공정을 통해 액정 디스플레이 장치의 하부 기관을 제조하기 때문에 일반적인 액정 디스플레이 장치의 하부 기관 제조 공정에 비해 마스크 개수를 감소시킬 수 있고, 이를 통해 생산성 향상과 제조비용을 절감시킬 수 있게 된다.
- [0080] 이외에도, 본 발명은 스토리지 커패시터의 확보를 위해 별도의 평탄화층(PAC)이 요구되지 않으므로 두꺼운 평탄화층으로 인해 발생하는 투과율 감소를 방지할 수 있다.
- [0081] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0082] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0083]

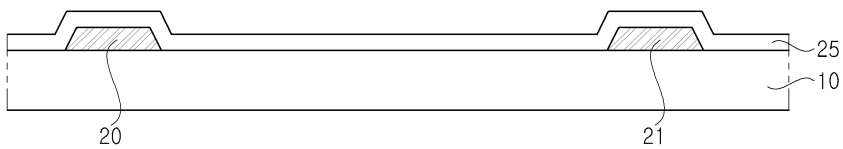
- 300: 기판 312: 게이트 전극
- 314: 제1 공통전극 316: 공통전극 라인
- 320: 게이트 절연막 330: 액티브층
- 342: 소스 전극 344: 드레인 전극
- 346: 화소 전극 350: 보호막
- 360: 제2 공통전극

도면

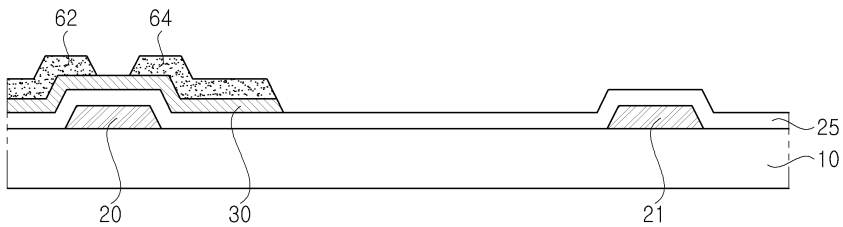
도면1a



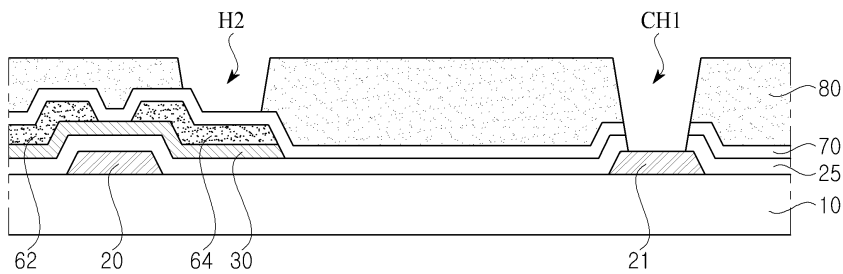
도면1b



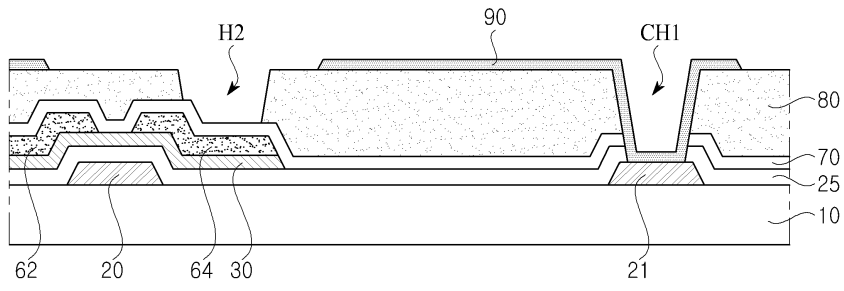
도면1c



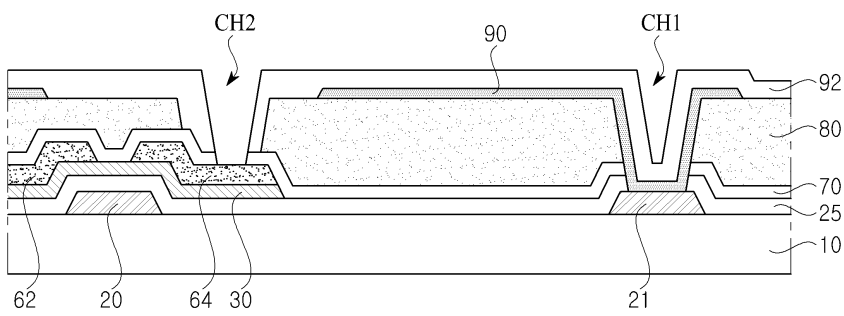
도면1d



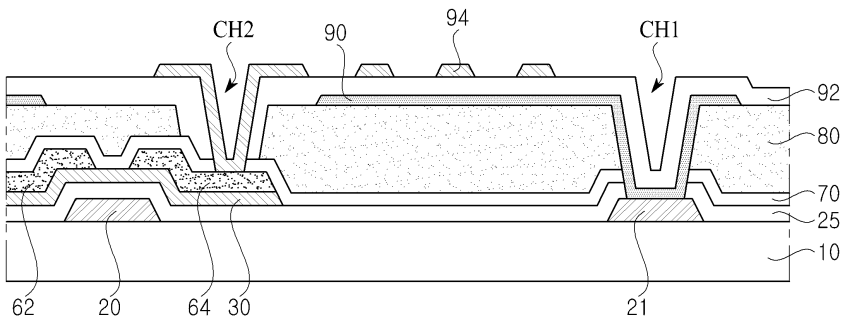
도면1e



도면1f



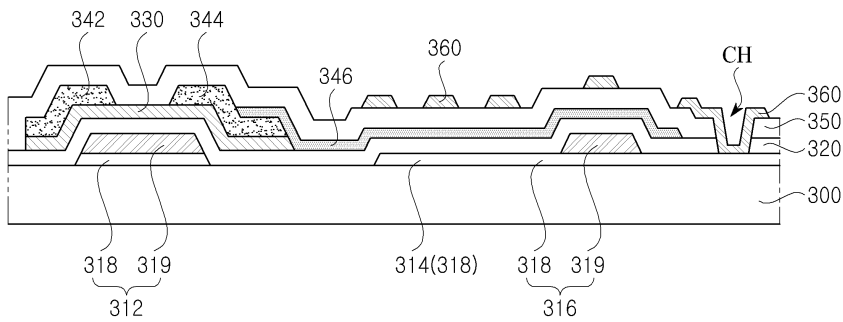
도면1g



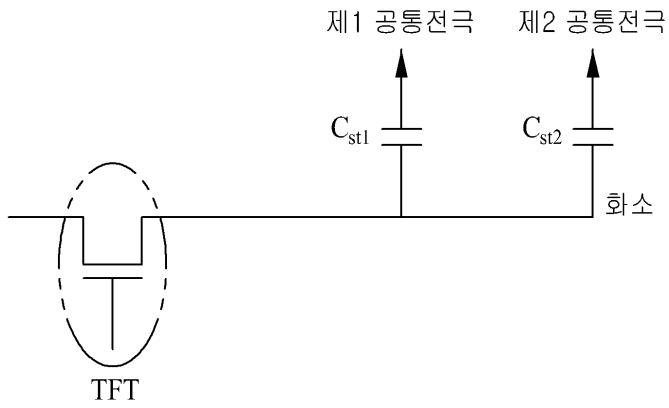
도면2

| Mask | Layer |
|-------|------------------|
| Mask1 | 게이트 전극 / 공통전극 라인 |
| Mask2 | 액티브층 / 소스드레인 전극 |
| Mask3 | 평탄화층 |
| Mask4 | 제1 보호막 / 게이트 절연막 |
| Mask5 | 공통전극 |
| Mask6 | 제2 보호막 / 제1 보호막 |
| Mask7 | 화소전극 |

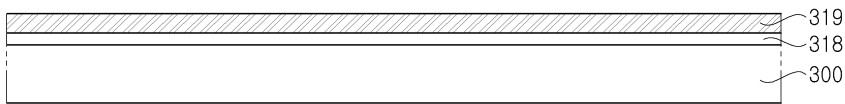
도면3



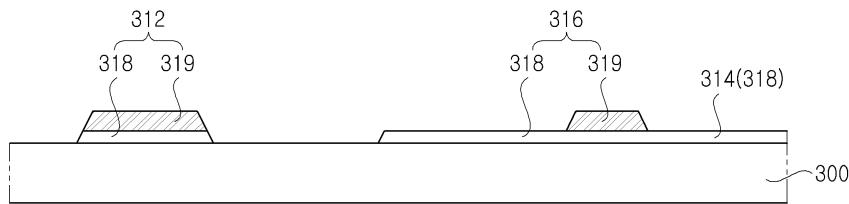
도면4



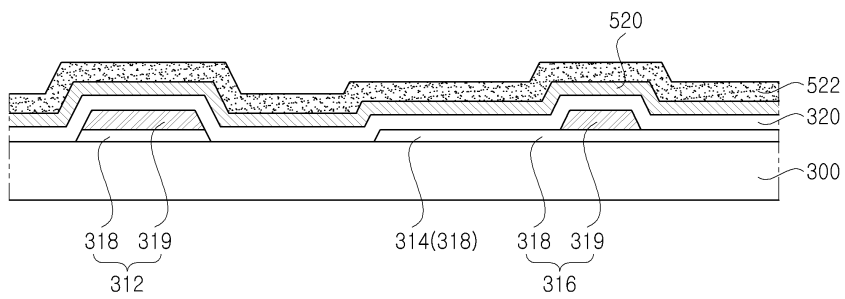
도면5a



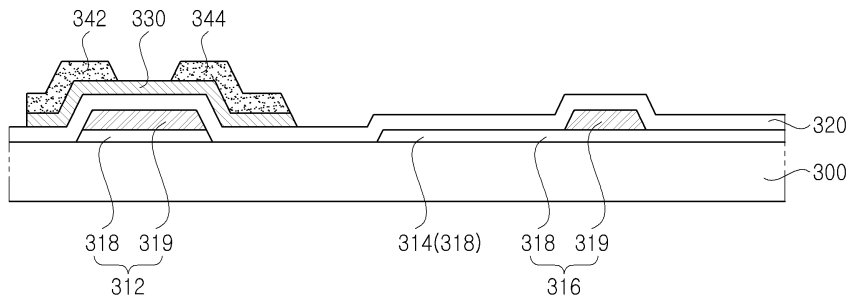
도면5b



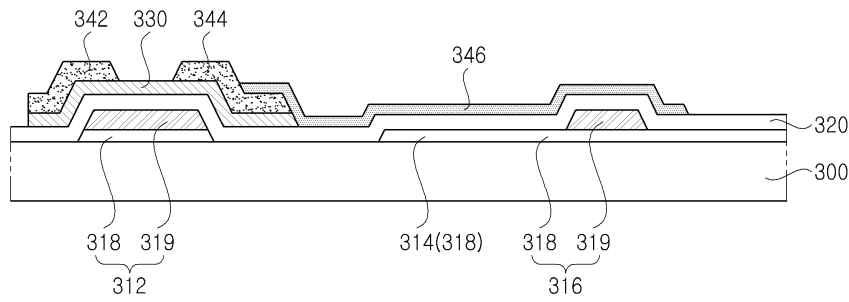
도면5c



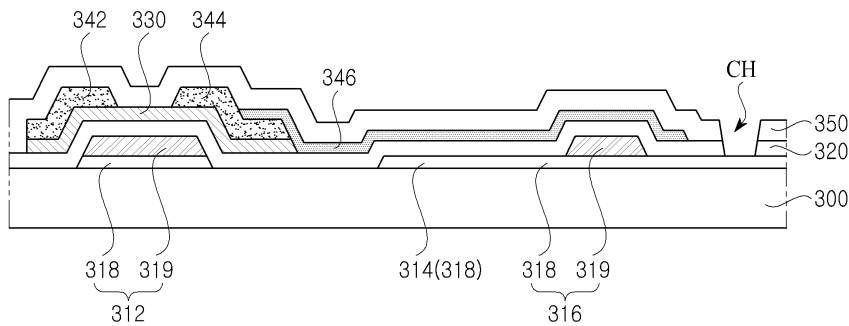
도면5d



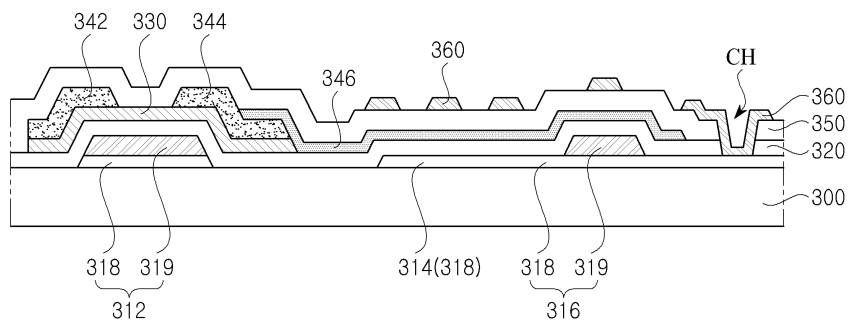
도면5e



도면5f



도면5g



도면6

| Mask | Layer |
|----------------|-------------------------------|
| Mask1 (HTM) | 게이트 전극 / 제1 공통전극 / 공통전극 라인 |
| Mask2 (HTM) | 액티브층 / 소스드레인 전극 |
| Mask3 | 화소전극 |
| Mask4 | 보호막(콘택홀(CH)) |
| Mask5 | 제2 공통전극 |

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 标题：液晶显示装置和制造液晶显示装置的方法 | | |
| 公开(公告)号 | KR1020150068723A | 公开(公告)日 | 2015-06-22 |
| 申请号 | KR1020130154728 | 申请日 | 2013-12-12 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | KEYYOUNG YANG | | |
| 发明人 | KEYYOUNG YANG | | |
| IPC分类号 | G02F1/136 G02F1/1343 G02F1/1362 G02F1/1368 | | |
| CPC分类号 | G02F1/1362 G02F1/1343 G02F2201/121 G02F2201/123 | | |
| 外部链接 | Espacenet | | |

摘要(译)

根据本发明的一个方面的液晶显示装置能够减少制造下基板所需的掩模的数量，包括形成在栅电极上的第一公共电极和形成在基板上的薄膜晶体管区域中的像素区域；在包括栅电极和第一公共电极的衬底的整个表面上形成栅极绝缘膜；形成在栅极绝缘膜上的源电极和漏电极；像素电极形成在像素区域中的栅极绝缘膜上；保护层形成在包括像素电极的基板的整个表面上；并且在保护膜上形成第二公共电极的。

