



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0003053
(43) 공개일자 2015년01월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) *G09G 3/36* (2006.01)
(21) 출원번호 10-2013-0076034
(22) 출원일자 2013년06월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조영직
경기 파주시 월롱면 덕은리 파주LCD산업단지 100
7번지 정다운마을 103동 1521호
(74) 대리인
특허법인로알

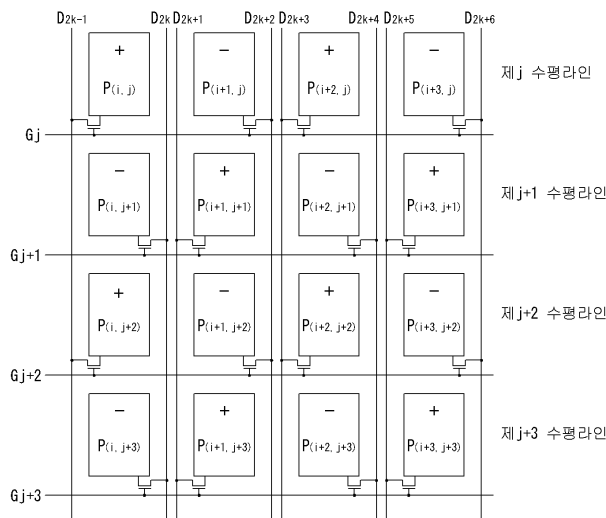
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **액정표시장치**

(57) 요약

본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 및 상기 데이터 라인들과 상기 게이트 라인들에 의해 정의되는 교차 영역에 배열되는 다수의 서브 픽셀들이 형성된 화소 어레이를 포함하는 액정표시패널; 디지털 비디오 데이터를 데이터 전압들로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 게이트 펄스들을 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고, 상기 서브 픽셀들 사이에는 두 개의 데이터 라인들이 배치되며, 어느 한 서브 픽셀이 그 서브 픽셀의 일측에 배치된 데이터 라인에 접속되는 경우, 그 서브 픽셀에 이웃하는 서브 픽셀들 각각은 그 서브 픽셀들 각각의 타측에 배치된 데이터 라인에 접속되는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 및 상기 데이터 라인들과 상기 게이트 라인들에 의해 정의되는 교차 영역에 배열되는 다수의 서브 픽셀들이 형성된 화소 어레이를 포함하는 액정표시패널;

디지털 비디오 데이터를 데이터 전압들로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및

게이트 펄스들을 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고,

상기 서브 픽셀들 사이에는 두 개의 데이터 라인들이 배치되며,

어느 한 서브 픽셀이 그 서브 픽셀의 일측에 배치된 데이터 라인에 접속되는 경우, 그 서브 픽셀에 이웃하는 서브 픽셀들 각각은 그 서브 픽셀들 각각의 타측에 배치된 데이터 라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동회로는 1 수평 기간 동안 상기 게이트 펄스를 게이트 하이 전압으로 공급하고,

상기 데이터 구동회로는 2 수평 기간 동안 동일한 데이터 전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

어느 한 데이터 라인에 공급되는 데이터 전압의 위상은 그 데이터 라인과 일측으로 이웃하는 데이터 라인에 공급되는 데이터 전압의 위상과 상기 1 수평 기간만큼 차이가 나고, 그 데이터 라인과 타측으로 이웃하는 데이터 라인에 공급되는 데이터 전압의 위상과 동일한 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

어느 한 게이트 라인에 공급되는 게이트 펄스의 위상은 그 게이트 라인에 이웃하는 게이트 라인들 각각에 공급되는 게이트 펄스의 위상과 상기 1 수평 기간만큼 차이가 나는 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 데이터 라인들 각각에 공급되는 데이터 전압들 각각의 위상은 서로 동일한 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 게이트 구동회로는,

이웃하는 두 개의 게이트 라인들에 동시에 게이트 펄스를 공급하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 게이트 구동회로는,

상기 이웃하는 두 개의 게이트 라인들에 공급되는 게이트 펄스의 위상은 상기 이웃하는 두 개의 게이트 라인들에 이웃하는 또 다른 이웃하는 두 개의 게이트 라인들에 공급되는 게이트 펄스의 위상과 2 수평 기간만큼 차이

가 나는 것을 특징으로 하는 액정표시장치.

청구항 8

제 2 항에 있어서,

어느 한 데이터 라인에 공급되는 데이터 전압의 극성은 그 데이터 라인에 인접한 데이터 라인들 각각에 공급되는 데이터 전압의 극성과 서로 반대되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

어느 한 서브 픽셀에 공급되는 데이터 전압의 극성은 그 서브 픽셀에 인접한 서브 픽셀들 각각에 공급되는 데이터 전압의 극성과 서로 반대되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 3 항에 있어서,

상기 데이터 구동회로는 컬럼 인버전 방식으로 소정의 기간마다 교대로 극성이 반전되도록 데이터 전압들을 공급하는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 표시장치 등으로 광범위하게 이용되고 있다.

[0003] 액정표시장치는 액정층에 인가되는 전계를 제어하여 백라이트 유닛으로부터 입사되는 빛을 변조함으로써 화상을 표시한다. 구체적으로, 액정표시장치는 데이터 라인들과 게이트 라인들의 교차 구조에 의해 매트릭스 형태로 배치되는 다수의 화소를 포함한다. 화소들 각각은 화소 전극, 스토리지 캐패시터 등을 포함하고, 박막 트랜지스터를 통해 게이트 라인과 데이터 라인에 접속된다. 박막 트랜지스터는 게이트 라인의 게이트 펄스에 응답하여 데이터 라인의 데이터 전압을 화소 전극에 공급한다. 화소들 각각은 화소 전극의 데이터 전압과 공통전극의 공통 전압 간의 전계에 의해 액정층의 액정을 구동함으로써 백라이트 유닛으로부터 입사되는 빛을 변조한다.

[0004] 한편, 최근에는 시장의 수요에 따라 화상의 표시 품질을 더욱 높은 UHD(Ultra High Definition)의 액정표시장치가 개발되고 있다. FHD(Full High Definition)의 액정표시장치가 1920×1080의 해상도를 갖는 반면에, UHD의 액정표시장치는 3840×2160의 해상도를 가진다. FHD의 액정표시장치는 1920×1080의 해상도를 표현하기 위해 1920×1080 개의 화소를 포함하는 반면, UHD의 액정표시장치는 3840×2160의 해상도를 표현하기 위해 3840×2160 개의 화소를 포함한다.

[0005] 도 1은 종래 UHD의 액정표시장치의 표시패널의 화소들을 보여주는 일 예시도면이다. 도 2는 종래 UHD의 액정표시장치의 제j 게이트 라인에 공급되는 게이트 펄스와 제k 데이터 라인에 공급되는 데이터 전압들을 보여주는 일 예시도면이다. 도 1 및 도 2를 참조하면, 화소들 각각은 박막 트랜지스터(T)를 통해 게이트 라인과 데이터 라인에 접속된다. 게이트 펄스(GPj)는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙하고, 데이터 전압(DVk)은 공통 전압(Vcom)을 기준으로 정극성(+) 또는 부극성(-)으로 공급된다. 박막 트랜지스터는 게이트 펄스의 게이트 하이 전압(VGH)에 의해 턴-온되고, 게이트 로우 전압(VGL)에 의해 턴-오프된다. 따라서, 박막 트랜지스터는 제1 기간(t1) 동안 게이트 하이 전압(VGH)의 게이트 펄스(GPj)에 응답하여 제k 데이터 라인(Dk)의 데이터 전압(DVk)을 화소 전극에 공급하고, 제2 기간(t2)부터는 게이트 로우 전압(VGL)의 게이트 펄스(GPj)에 의해 턴-오프된다. 화소 전극은 스토리지 캐패시터로 인하여 제1 기간(t1)에 공급받은 데이터 전압을

1 프레임 기간 동안 유지할 수 있다.

[0006] 한편, UHD의 액정표시장치의 경우 화소의 개수 증가로 인하여 게이트 펄스의 로드가 증가하기 때문에, 도 2와 같이 게이트 펄스의 폴링(falling)이 지연될 수 있다. 이 경우, 게이트 펄스의 폴링이 완료되기 전에 데이터 전압이 변동되므로, 제1 기간(t1) 동안 화소 전극에 공급되는 데이터 전압은 제2 기간(t2)의 데이터 전압에 영향을 받게 된다. 이때, 도 2와 같이 제1 기간(t1)의 데이터 전압이 피크 화이트 계조 전압이고, 제2 기간(t2)의 데이터 전압이 피크 블랙 계조 전압인 경우와 같이, 제1 기간(t1)의 데이터 전압과 제2 기간(t2)의 데이터 전압 간의 차이(d)가 클수록 제1 기간(t1) 동안 화소 전극에 공급되는 데이터 전압이 제2 기간(t2)의 데이터 전압에 의해 받는 영향을 커진다. 이 경우, 화소가 원래 표현하고자 하는 계조를 표현하지 못하므로, 액정표시장치의 표시 품질이 낮아지는 문제가 있다.

[0007] 한편, 도 2에서는 노멀리 블랙(normally black) 모드인 것을 중심으로 설명하였으며, 이 경우 피크 블랙 계조 전압은 화소가 피크 블랙 계조(peak black gray scale)를 표현할 수 있도록 하는 전압으로 공통 전압(Vcom)과 실질적으로 동일한 전압으로 구현되고, 피크 화이트 계조 전압은 화소가 피크 화이트 계조(peak white gray scale)를 표현할 수 있도록 하는 전압으로 공통 전압(Vcom) 대비 가장 차이가 큰 전압으로 구현될 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 게이트 펄스의 폴링 지연에도 표시 품질 저하를 개선할 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0009] 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 및 상기 데이터 라인들과 상기 게이트 라인들에 의해 정의되는 교차 영역에 배열되는 다수의 서브 픽셀들이 형성된 화소 어레이를 포함하는 액정표시패널; 디지털 비디오 데이터를 데이터 전압들로 변환하여 상기 데이터 라인들에 공급하는 데이터 구동회로; 및 게이트 펄스들을 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동회로를 구비하고, 상기 서브 픽셀들 사이에는 두 개의 데이터 라인들이 배치되며, 어느 한 서브 픽셀이 그 서브 픽셀의 일측에 배치된 데이터 라인에 접속되는 경우, 그 서브 픽셀에 이웃하는 서브 픽셀들 각각은 그 서브 픽셀들 각각의 타측에 배치된 데이터 라인에 접속되는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명은 게이트 펄스를 1 수평 기간 동안 게이트 하이 전압으로 공급하고, 동일한 데이터 전압을 2 수평 기간 동안 공급하도록 액정표시패널의 화소 어레이를 설계한다. 이로 인해, 본 발명은 게이트 펄스의 라이징부터 폴링까지 화소 전극에 동일한 데이터 전압을 일정하게 공급할 수 있다. 그 결과, 본 발명은 게이트 펄스의 폴링 지연에도 화소가 원래 표현하고자 하는 계조를 정확하게 표현할 수 있으므로, 표시 품질 저하를 개선할 수 있다.

도면의 간단한 설명

[0011] 도 1은 종래 UHD의 액정표시장치의 표시패널의 화소들을 보여주는 일 예시도면.

도 2는 종래 UHD의 액정표시장치의 제j 게이트 라인에 공급되는 게이트 펄스와 제k 데이터 라인에 공급되는 데이터 전압들을 보여주는 일 예시도면.

도 3은 본 발명의 실시 예에 따른 액정표시장치를 보여주는 일 예시도면.

도 4는 도 3의 화소 어레이의 서브 픽셀들의 일부를 상세히 보여주는 일 예시도면.

도 5는 본 발명의 제1 실시 예에 따른 게이트 펄스와 데이터 전압들을 보여주는 파형도.

도 6은 도 5의 제j 게이트 라인에 공급되는 게이트 펄스와 제k 데이터 라인에 공급되는 데이터 전압들을 보여주는 일 예시도면.

도 7은 본 발명의 제2 실시 예에 따른 게이트 펄스와 데이터 전압들을 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

[0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0013] 도 3은 본 발명의 실시 예에 따른 액정표시장치를 보여주는 일 예시도면이다. 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(PA)가 형성된 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로, 및 게이트 구동회로(13) 등을 구비한다.

[0014] 액정표시패널(10)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 액정표시패널에는 화소 어레이(PA)가 형성된다. 화소 어레이(PA)는 데이터 라인들과 게이트 라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 이용하여 비디오 데이터를 표시한다. 픽셀들 각각은 복수의 서브 픽셀들을 포함하며, 예를 들어 픽셀들 각각은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함할 수 있다. 화소 어레이(PA)의 하부 기판에는 데이터 라인들, 게이트 라인들, TFT(Thin Film Transistor)들, TFT에 접속된 서브 픽셀의 화소 전극, 및 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등이 형성된다. 화소 어레이(PA)의 서브 픽셀들 각각은 TFT를 통해 데이터전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극 사이의 전계에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다. 한편, 액정표시장치가 UHD(Ultra High Definition)로 구현되는 경우, 화소 어레이(P)는 3840×2160의 해상도를 표현하기 위해 3840×2160 개의 픽셀을 포함하도록 구현될 수 있다. 화소 어레이(PA)의 구체적인 구조에 대하여는 도 4를 결부하여 상세히 설명하기로 한다.

[0015] 액정표시패널의 상부 기판상에는 블랙 매트릭스(black matrix)와 컬러 필터들(color filters)이 형성된다. 공통 전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 기판상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 기판상에 형성된다. 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 액정표시패널의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0016] 액정표시패널(10)의 아래에는 액정표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛(미도시)이 배치될 수 있다. 백라이트 유닛은 직하형(direct type) 또는 에지형(edge type)으로 구현될 수 있다.

[0017] 데이터 구동회로는 다수의 소스 드라이브 직접회로(Integrated Circuit, 이하 'IC'라 칭함)(12)들을 포함한다. 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널의 하부 유리기판에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 또는, 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리기판상에 접착될 수도 있다. 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다.

[0018] 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기판에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 하부 유리기판상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 3과 같이 화소 어레이(PA)의 양측에 배치되거나 화소 어레이(PA)의 일측에 배치될 수 있다. 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다.

[0019] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직동기신호, 수평동기신호, 데이터

인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 게이트 구동회로(13)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결된다.

[0020] 도 4는 도 3의 화소 어레이의 서브 픽셀들의 일부를 상세히 보여주는 일 예시도면이다. 도 4에서는 설명의 편의를 위해 제 j (j 는 자연수) 내지 제 $j+3$ 게이트 라인들($G_j, G_{j+1}, G_{j+2}, G_{j+3}$)과 제 $2k-1$ (k 는 자연수) 내지 제 $2k+6$ 데이터 라인들($D_{2k-1}, D_{2k}, D_{2k+1}, D_{2k+2}, D_{2k+3}, D_{2k+4}, D_{2k+5}, D_{2k+6}, D_{2k+7}$)과 그에 둘러싸인 서브 픽셀들만을 예시하였음에 주의하여야 한다. 또한, 도 4에서 제 j 수평 라인의 제 i (i 는 자연수) 서브 픽셀($P(i, j)$)은 제 j 수평 라인에 배치된 서브 픽셀들 중 i 번째 위치한 서브 픽셀을 지시하는 것을 중심으로 설명하였다.

[0021] 도 4를 참조하면, 서브 픽셀들 사이에는 두 개의 데이터 라인들이 배치된다. 또한, 어느 한 서브 픽셀이 그 서브 픽셀의 일측에 배치된 데이터 라인에 접속되는 경우, 그 서브 픽셀에 이웃하는 서브 픽셀들 각각은 그 서브 픽셀들 각각의 타측에 배치된 데이터 라인에 접속된다. 예를 들어, 제 $j+1$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+1)$)은 그의 좌측에 배치된 제 $2k+1$ 데이터 라인(D_{2k+1})에 접속되므로, 제 $j+1$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+1)$)에 수평 방향(x 축 방향)으로 이웃하는 제 $j+1$ 수평 라인의 제 i 서브 픽셀($P(i, j+1)$)은 그의 우측에 배치된 제 $2k$ 데이터 라인(D_{2k})에 접속될 수 있다. 또한, 제 $j+1$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+1)$)에 수평 방향(x 축 방향)으로 이웃하는 또 다른 서브 픽셀인 제 $j+1$ 수평 라인의 제 $i+2$ 서브 픽셀($P(i+2, j+1)$)도 그의 우측에 배치된 제 $2k+4$ 데이터 라인(D_{2k+4})에 접속될 수 있다. 또한, 제 $j+1$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+1)$)에 수직 방향(y 축 방향)으로 이웃하는 서브 픽셀인 제 j 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j)$)도 그의 우측에 배치된 제 $2k+2$ 데이터 라인(D_{2k+2})에 접속될 수 있다. 또한, 제 $j+1$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+1)$)에 수직 방향(y 축 방향)으로 이웃하는 또 다른 서브 픽셀인 제 $j+2$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+2)$)도 그의 우측에 배치된 제 $2k+2$ 데이터 라인(D_{2k+2})에 접속될 수 있다.

[0022] 또한, 어느 한 서브 픽셀에 공급되는 데이터 전압의 극성은 그 서브 픽셀에 이웃하는 서브 픽셀들 각각에 공급되는 데이터 전압의 극성과 서로 반대된다. 예를 들어, 제 $j+1$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+1)$)에 공급되는 데이터 전압의 극성은 정극성(+인 반면에, 제 $j+1$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+1)$)에 수평 방향(x 축 방향)으로 이웃하는 제 $j+1$ 수평 라인의 제 i 서브 픽셀($P(i, j+1)$) 및 제 $j+1$ 수평 라인의 제 $i+2$ 서브 픽셀($P(i+2, j+1)$), 수직 방향(y 축 방향)으로 이웃하는 제 j 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j)$) 및 제 $j+2$ 수평 라인의 제 $i+1$ 서브 픽셀($P(i+1, j+2)$)에 공급되는 데이터 전압의 부극성(-)이다.

[0023] 또한, 어느 한 수평 라인에 배치된 서브 픽셀들은 동일한 게이트 라인에 접속된다. 예를 들어, 제 j 수평 라인에 배치된 서브 픽셀들은 제 j 게이트 라인에만 접속되고, 제 $j+1$ 수평 라인에 배치된 서브 픽셀들은 제 $j+1$ 게이트 라인에만 접속될 수 있다.

[0024] 도 5는 본 발명의 제1 실시 예에 따른 게이트 펄스와 데이터 전압들을 보여주는 파형도이다. 도 5에는 제 j 게이트 라인(G_j)에 공급되는 제 j 게이트 펄스(GP_j), 제 $j+1$ 게이트 라인(G_{j+1})에 공급되는 제 $j+1$ 게이트 펄스(GP_{j+1}), 제 $j+2$ 게이트 라인(G_{j+2})에 공급되는 제 $j+2$ 게이트 펄스(GP_{j+2})가 나타나 있다. 또한, 도 5에는 제 $2k-1$ 데이터 라인(D_{2k-1})에 공급되는 제 $2k-1$ 데이터 전압(DV_{2k-1}), 제 $2k$ 데이터 라인(D_{2k})에 공급되는 제 $2k$ 데이터 전압(DV_{2k}), 제 $2k+1$ 데이터 라인(D_{2k+1})에 공급되는 제 $2k+1$ 데이터 전압(DV_{2k+1}), 제 $2k+2$ 데이터 라인(D_{2k+2})에 공급되는 제 $2k+2$ 데이터 전압(DV_{2k+2})가 나타나 있다.

[0025] 도 5를 참조하면, 게이트 구동회로(13)는 게이트 펄스들을 게이트 라인들에 순차적으로 공급한다. 이로 인해, 어느 한 수평 라인에 배치된 서브 픽셀들은 동시에 데이터 전압들을 공급받게 된다. 즉, 서브 픽셀들은 수평 라인 단위로 데이터 전압들을 공급받는다.

[0026] 구체적으로, 게이트 구동회로(13)는 도 5와 같이 게이트 펄스를 1 수평 기간(1H) 동안 게이트 하이 전압으로 공급한다. 또한, 게이트 구동회로(13)는 게이트 라인들 각각에 하나의 게이트 펄스를 공급하고, 게이트 펄스를 소정의 기간만큼 쉬프트하면서 게이트 라인들에 공급한다. 예를 들어, 게이트 구동회로(13)는 도 5와 같이 1

수평 기간(1H)만큼 쉬프트하면서 게이트 라인들에 게이트 펄스들을 공급할 수 있다. 이 경우, 어느 한 게이트 라인에 공급되는 게이트 펄스의 위상은 그 게이트 라인에 이웃하는 게이트 라인들 각각에 공급되는 게이트 펄스의 위상과 1 수평 기간(1H)만큼 차이가 나게 된다. 예를 들어, 게이트 구동회로(13)는 제1 기간(t1) 동안 제j 게이트 펄스(GPj)를 게이트 하이 전압(VGH)으로 공급하고, 제2 기간(t2) 동안 제j+1 게이트 펄스(GPj+1)를 게이트 하이 전압(VGH)으로 공급하며, 제3 기간(t3) 동안 제j+2 게이트 펄스(GPj+2)를 게이트 하이 전압(VGH)으로 공급한다. 제1 내지 제3 기간들(t1, t2, t3) 각각은 1 수평 기간(1H)에 해당하고, 제2 기간(t2)은 제1 기간(t1)에 연속하고, 제3 기간(t3)은 제2 기간(t2)에 연속한다. 한편, 1 수평 기간(1H)은 1 수평 라인에 배치된 서브 픽셀들에 데이터 전압들을 공급하는 기간으로, 1 라인 스캐닝 기간을 지시한다.

[0027]

소스 드라이브 IC들(12)은 데이터 라인들에 동시에 데이터 전압들을 공급한다. 소스 드라이브 IC들(12)은 도 5와 같이 데이터 라인들 각각에 2 수평 기간(2H) 동안 동일한 데이터 전압을 공급한다. 이때, 어느 한 데이터 라인에 공급되는 데이터 전압의 위상은 그 데이터 라인과 인접하여 이웃하는 데이터 라인에 공급되는 데이터 전압의 위상과 1 수평 기간(1H)만큼 차이가 난다. 이 경우, 어느 한 데이터 라인에 공급되는 데이터 전압의 위상은 그 데이터 라인과 타측으로 이웃하는 데이터 라인에 공급되는 데이터 전압의 위상과 실질적으로 동일하게 구현될 수 있다. 예를 들어, 제2k 데이터 라인(D2k)에 공급되는 제2k 데이터 전압(DV2k)의 위상은 제2k 데이터 라인(D2k)에 좌측으로 이웃하는 제2k-1 데이터 라인(D2k-1)에 공급되는 제2k-1 데이터 전압(DV2k-1)의 위상과 1 수평 기간(1H)만큼 차이가 난다. 하지만, 제2k 데이터 라인(D2k)에 공급되는 제2k 데이터 전압(DV2k)의 위상은 제2k 데이터 라인(D2k)에 우측으로 이웃하는 제2k+1 데이터 라인(D2k+1)에 공급되는 제2k+1 데이터 전압(DV2k+1)의 위상과 실질적으로 동일하다. 또한, 제2k+1 데이터 라인(D2k+1)에 공급되는 제2k+1 데이터 전압(DV2k+1)의 위상은 제2k+1 데이터 라인(D2k+1)에 우측으로 이웃하는 제2k+2 데이터 라인(D2k+2)에 공급되는 제2k+2 데이터 전압(DV2k+2)의 위상과 1 수평 기간(1H)만큼 차이가 난다. 하지만, 제2k+1 데이터 라인(D2k+1)에 공급되는 제2k+1 데이터 전압(DV2k+1)의 위상은 제2k+1 데이터 라인(D2k+1)에 좌측으로 이웃하는 제2k 데이터 라인(D2k)에 공급되는 제2k 데이터 전압(DV2k)의 위상과 실질적으로 동일하다. 즉, 본 발명의 제1 실시 예에서는 제2k-1 데이터 전압(DV2k-1)의 위상과 제2k+2 데이터 전압(DV2k+2)의 위상은 실질적으로 동일하고, 제2k 데이터 전압(DV2k)의 위상과 제2k+1 데이터 전압(DV2k+1)의 위상은 실질적으로 동일하다. 다만, 제2k-1 데이터 전압(DV2k-1)의 위상과 제2k+2 데이터 전압(DV2k+2)의 위상은 제2k 데이터 전압(DV2k)의 위상과 제2k+1 데이터 전압(DV2k+1)의 위상과 1 수평 기간(1H)만큼 차이가 난다.

[0028]

또한, 소스 드라이브 IC들(12)은 컬럼 인버전(column inversion) 방식으로 데이터 전압들을 출력한다. 컬럼 인버전 방식은 수평 방향(x축 방향)으로 이웃하는 데이터 라인들에 서로 상반된 극성의 데이터 전압들을 공급하고, 데이터 라인들 각각에 공급되는 데이터 전압들의 극성을 소정의 기간 동안 동일하게 유지하는 방식을 의미한다. 예를 들어, 도 5와 같이 제2k 데이터 라인(D2k)에는 부극성(-)의 데이터 전압(DV2k)이 공급되고, 제2k 데이터 라인(D2k)에 수평 방향(x축 방향)으로 이웃하는 제2k-1 데이터 라인(D2k-1)과 제2k+1 데이터 라인(D2k+1)에는 정극성(+)의 데이터 전압(DV2k-1, DV2k+1)이 공급된다. 즉, 본 발명의 실시 예는 소스 드라이브 IC(12)들 각각이 컬럼 인버전 방식으로 데이터 라인들에 데이터 전압들을 공급함에도, 도 4와 같이 서브 픽셀들을 데이터 라인들과 접속시킴으로써, 서브 픽셀들 각각이 이웃하는 서브 픽셀들과 서로 상반된 극성의 데이터 전압으로 충전되는 도트 인버전 방식과 유사한 방식으로 구동된다. 이로 인해, 본 발명의 실시 예는 컬럼 인버전 방식으로 소비전력을 현저히 감소시킬 수 있음과 동시에, 도트 인버전 방식과 유사한 방식으로 구동됨으로써 액정의 직류화 잔상, 플리커(flicker) 등을 억제할 수 있는 장점이 있다.

[0029]

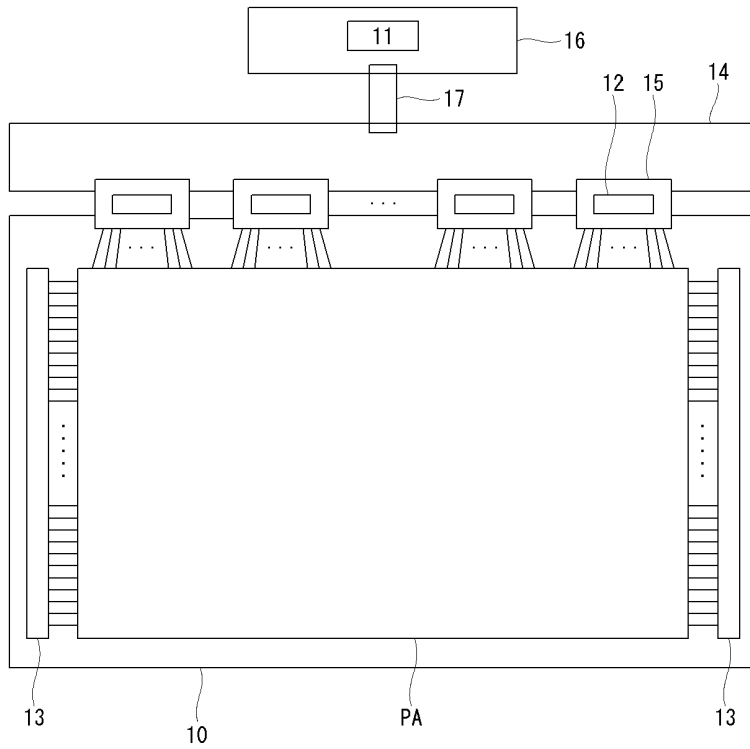
도 6은 도 5의 제j 게이트 라인에 공급되는 게이트 펄스와 제2k-1 데이터 라인에 공급되는 데이터 전압들을 보여주는 일 예시도면이다. 도 6을 참조하면, UHD의 액정표시장치의 경우 화소의 개수 증가로 인하여 게이트 펄스의 로드가 증가하기 때문에, 도 6과 같이 게이트 펄스의 폴링(falling)이 지연될 수 있다.

[0030]

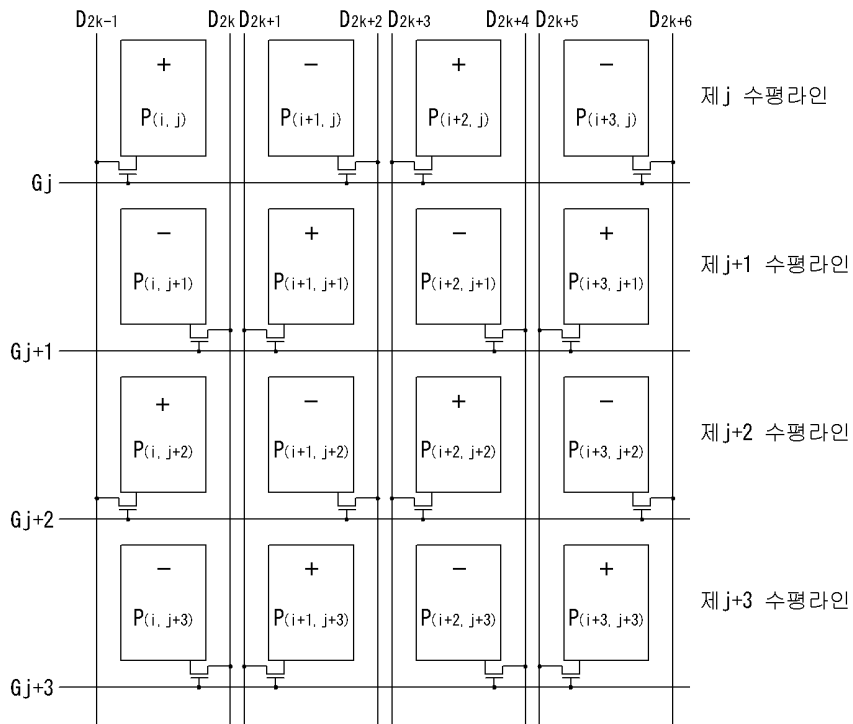
하지만, 본 발명의 실시 예에서는 게이트 펄스가 1 수평 기간(1H) 동안 게이트 하이 전압으로 공급되는 반면 데이터 전압은 2 수평 기간(2H) 동안 유지되므로, 게이트 펄스의 폴링이 완료되기 전에 데이터 전압이 변동되지 않는다. 즉, 도 6과 같이 제1 및 제2 기간(t1, t2)의 데이터 전압이 피크 화이트 계조 전압이고 제3 및 제4 기간(t3, t4)의 데이터 전압이 피크 블랙 계조 전압인 경우, 제1 및 제2 기간(t1, t2)의 데이터 전압과 제3 및 제4 기간(t3, t4)의 데이터 전압 간의 차이(d)가 크더라도 화소 전극에 공급되는 데이터 전압은 게이트 펄스의 라이징부터 폴링까지 일정하다. 따라서, 화소가 원래 표현하고자 하는 계조를 정확하게 표현할 수 있으므로, 액정표시장치의 표시 품질 저하를 개선할 수 있다.

- [0031] 한편, 도 6에서는 노멀리 블랙(normally black) 모드인 것을 중심으로 설명하였으며, 이 경우 피크 블랙 계조 전압은 화소가 피크 블랙 계조(peak black gray scale)를 표현할 수 있도록 하는 전압으로 공통 전압(Vcom)과 실질적으로 동일한 전압으로 구현되고, 피크 화이트 계조 전압은 화소가 피크 화이트 계조(peak white gray scale)를 표현할 수 있도록 하는 전압으로 공통 전압(Vcom) 대비 가장 차이가 큰 전압으로 구현될 수 있다.
- [0032] 도 7은 본 발명의 제2 실시 예에 따른 게이트 펄스와 데이터 전압들을 보여주는 파형도이다. 도 7에는 제j 게이트 라인(Gj)에 공급되는 제j 게이트 펄스(GPj), 제j+1 게이트 라인(Gj+1)에 공급되는 제j+1 게이트 펄스(GPj+1), 제j+2 게이트 라인(Gj+2)에 공급되는 제j+2 게이트 펄스(GPj+2)가 나타나 있다. 또한, 도 7에는 제2k-1 데이터 라인(D2k-1)에 공급되는 제2k-1 데이터 전압(DV2k-1), 제2k 데이터 라인(D2k)에 공급되는 제2k 데이터 전압(DV2k), 제2k+1 데이터 라인(D2k+1)에 공급되는 제2k+1 데이터 전압(DV2k+1), 제2k+2 데이터 라인(D2k+2)에 공급되는 제2k+2 데이터 전압(DV2k+2)가 나타나 있다.
- [0033] 도 7을 참조하면, 게이트 구동회로(13)는 게이트 펄스들을 게이트 라인들에 순차적으로 공급한다. 특히, 게이트 구동회로(13)는 이웃하는 두 개의 게이트 라인들에 게이트 펄스들을 동시에 공급한다. 이로 인해, 이웃하는 두 개의 수평 라인에 배치된 서브 픽셀들은 동시에 데이터 전압들을 공급받게 된다. 즉, 서브 픽셀들은 두 개의 수평 라인 단위로 데이터 전압들을 공급받는다.
- [0034] 구체적으로, 게이트 구동회로(13)는 도 7과 같이 게이트 펄스를 1 수평 기간(1H) 동안 게이트 하이 전압으로 공급하며, 게이트 라인들 각각에 하나의 게이트 펄스를 공급한다. 또한, 게이트 구동회로(13)는 이웃하는 두 개의 게이트 라인들에 공급되는 게이트 펄스의 위상은 상기 이웃하는 두 개의 게이트 라인들에 이웃하는 또 다른 이웃하는 두 개의 게이트 라인들에 공급되는 게이트 펄스의 위상과 2 수평 기간(2H)만큼 차이가 나도록 게이트 펄스들을 공급한다. 예를 들어, 게이트 구동회로(13)는 제1 기간(t1) 동안 제j 게이트 펄스(GPj)와 제j+1 게이트 펄스(GPj+1)를 게이트 하이 전압(VGH)으로 공급하고, 제3 기간(t3) 동안 제j+2 게이트 펄스(GPj+2)와 제j+3 게이트 펄스(GPj+3)를 게이트 하이 전압(VGH)으로 공급한다. 이로 인해, 제j 및 제j+1 게이트 펄스들(GPj, GPj+1) 각각의 위상은 제j+2 및 제j+3 게이트 펄스들(GPj+2, GPj+3) 각각의 위상과 2 수평 기간(2H)만큼 차이가 난다. 한편, 제1 내지 제3 기간들(t1, t2, t3) 각각은 1 수평 기간(1H)에 해당하고, 제2 기간(t2)은 제1 기간(t1)에 연속하고, 제3 기간(t3)은 제2 기간(t2)에 연속한다. 한편, 1 수평 기간(1H)은 1 수평 라인에 배치된 서브 픽셀들에 데이터 전압들을 공급하는 기간으로, 1 라인 스캐닝 기간을 지시한다.
- [0035] 소스 드라이브 IC들(12)은 데이터 라인들에 동시에 데이터 전압들을 공급한다. 소스 드라이브 IC들(12)은 도 5와 같이 데이터 라인들 각각에 2 수평 기간(2H) 동안 동일한 데이터 전압을 공급한다. 이때, 어느 한 데이터 라인에 공급되는 데이터 전압의 위상은 그와 양측으로 이웃하는 데이터 라인들 각각에 공급되는 데이터 전압의 위상과 동일하다. 예를 들어, 제2k 데이터 라인(D2k)에 공급되는 제2k 데이터 전압(DV2k)의 위상은 제2k 데이터 라인(D2k)에 좌측으로 이웃하는 제2k-1 데이터 라인(D2k-1)에 공급되는 제2k-1 데이터 전압(DV2k-1)의 위상과 실질적으로 동일하다. 또한, 제2k 데이터 라인(D2k)에 공급되는 제2k 데이터 전압(DV2k)의 위상은 제2k 데이터 라인(D2k)에 우측으로 이웃하는 제2k+1 데이터 라인(D2k+1)에 공급되는 제2k+1 데이터 전압(DV2k+1)의 위상과 실질적으로 동일하다. 즉, 본 발명의 제2 실시 예에서는 화소 어레이(PA)의 데이터 라인들 각각에 공급되는 데이터 전압들 각각의 위상은 실질적으로 동일하다.
- [0036] 또한, 소스 드라이브 IC들(12)은 컬럼 인버전(column inversion) 방식으로 데이터 전압들을 출력한다. 컬럼 인버전 방식은 수평 방향(x축 방향)으로 이웃하는 데이터 라인들에 서로 상반된 극성의 데이터 전압들을 공급하고, 데이터 라인들 각각에 공급되는 데이터 전압들의 극성을 소정의 기간 동안 동일하게 유지하는 방식을 의미한다. 예를 들어, 도 7과 같이 제2k 데이터 라인(D2k)에는 부극성(-)의 데이터 전압(DV2k)이 공급되고, 제2k 데이터 라인(D2k)에 수평 방향(x축 방향)으로 이웃하는 제2k-1 데이터 라인(D2k-1)과 제2k+1 데이터 라인(D2k+1)에는 정극성(+)의 데이터 전압(DV2k-1, DV2k+1)이 공급된다. 즉, 본 발명의 실시 예는 소스 드라이브 IC(12)들 각각이 컬럼 인버전 방식으로 데이터 라인들에 데이터 전압들을 공급함에도, 도 4와 같이 서브 픽셀들을 데이터 라인들과 접속시킴으로써, 서브 픽셀들 각각이 이웃하는 서브 픽셀들과 서로 상반된 극성의 데이터 전압으로 충전되는 도트 인버전 방식과 유사한 방식으로 구동된다. 이로 인해, 본 발명의 실시 예는 컬럼 인버전 방식으로 소비전력을 현저히 감소시킬 수 있음과 동시에, 도트 인버전 방식과 유사한 방식으로 구동됨으로써 액정의 직류화 잔상, 플리커(flicker) 등을 억제할 수 있는 장점이 있다.
- [0037] 이상에서 살펴본 바와 같이, 본 발명의 제2 실시 예에서는 게이트 펄스가 1 수평 기간(1H) 동안 게이트 하이 전압으로 공급되는 반면 데이터 전압은 2 수평 기간(2H) 동안 유지되므로, 게이트 펄스의 폴링이 완료되기 전에

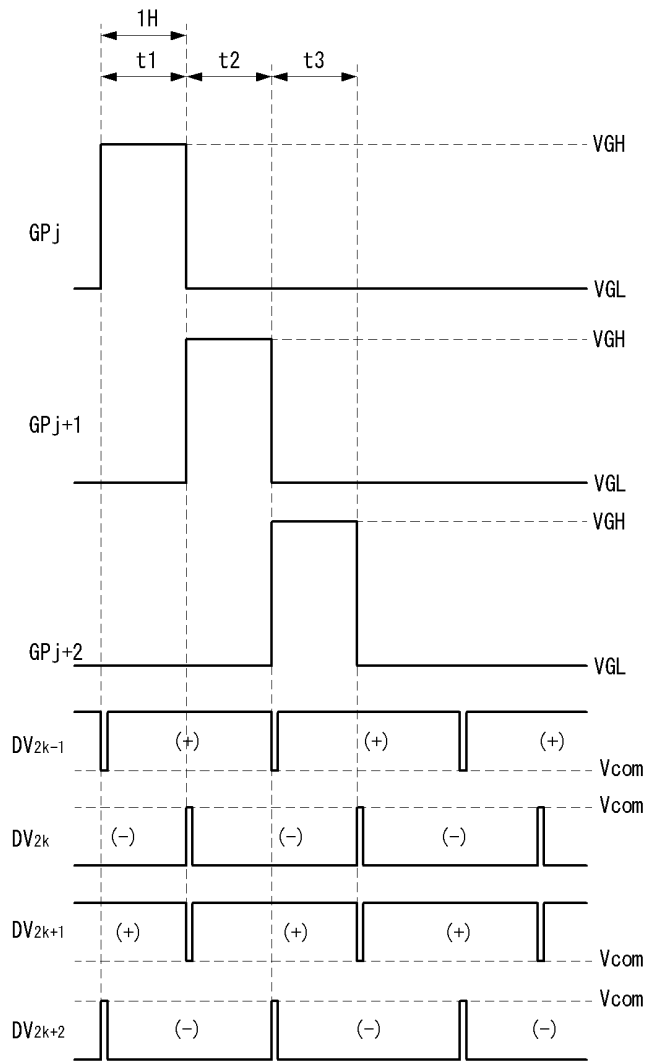
도면3



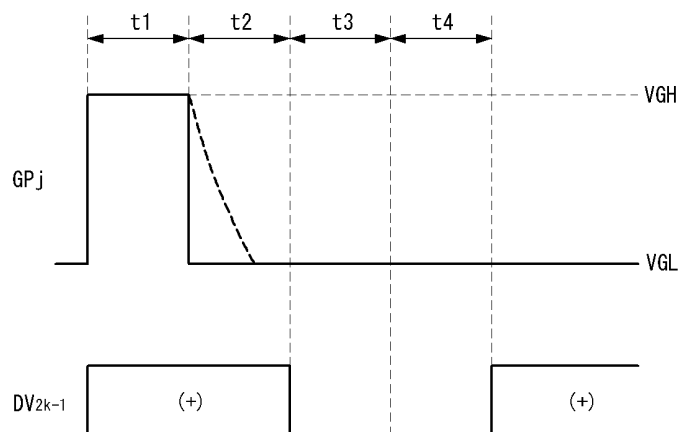
도면4



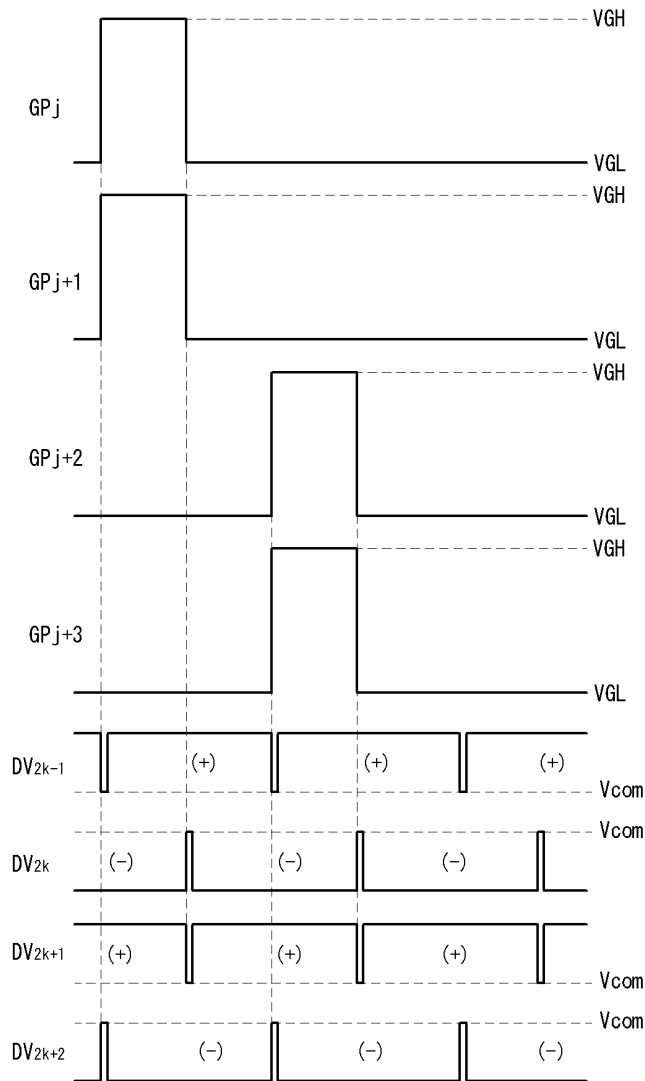
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020150003053A	公开(公告)日	2015-01-08
申请号	KR1020130076034	申请日	2013-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG DISPLAY CO. LTD.		
当前申请(专利权)人(译)	LG DISPLAY CO. LTD.		
[标]发明人	JO YOUNG JIK		
发明人	JO YOUNG JIK		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2300/0823 G09G2320/02 G09G3/3648 G09G2310/0213		
其他公开文献	KR102013378B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示装置，其可以减轻显示质量的劣化，包括：液晶显示面板，包括数据线，与数据线交叉的栅极线，以及具有多个子像素的像素阵列 - 布置在由数据线和栅极线限定的交叉区域中的像素；数据驱动电路，用于将数字视频数据转换为数据电压，并将数据电压提供给数据线；栅极驱动电路，用于向栅极线依次提供栅极脉冲，其中，两条数据线设置在子像素之间，当一个子像素连接到排列在其一侧的数据线时，每个子像素邻近子像素连接到布置在子像素的另一侧的数据线。

