



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0010214  
(43) 공개일자 2013년01월28일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/1345 (2006.01)  
G02F 1/133 (2006.01)  
(21) 출원번호 10-2011-0070870  
(22) 출원일자 2011년07월18일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
정용채  
대구광역시 달서구 한들로 36, 106동 1509호 (장기동, 영남네오빌파크)  
(74) 대리인  
특허법인네이트

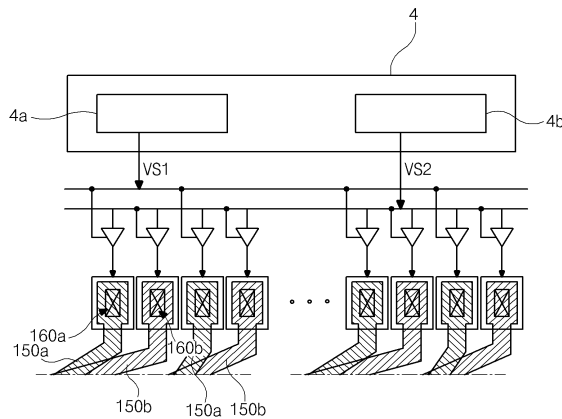
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은, 수평 방향으로 연장된 다수의 게이트배선과 수직 방향으로 연장된 다수의 데이터배선이 서로 교차하여 다수의 화소를 정의하는 표시영역과, 상기 다수의 데이터배선과 연결되는 다수의 데이터 링크 배선과, 상기 다수의 데이터 링크 배선과 연결되는 다수의 데이터 패드가 형성되는 비표시영역으로 구분되는 어레이 기판과; 상기 다수의 데이터 패드 및 상기 다수의 데이터 링크 배선을 경유하여 대응되는 상기 다수의 데이터배선에 데이터전압을 출력하는 소스IC를 포함하고, 상기 소스IC는, 상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 홀수 번째에 위치하는 오드 데이터 링크 배선 및 오드 데이터 패드에 제 1 슬루 레이트를 갖는 상기 데이터전압의 오드 데이터전압을 출력하는 오드 출력부와, 상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 짝수 번째에 위치하는 이븐 데이터 링크 배선 및 이븐 데이터 패드에 상기 제 1 슬루 레이트와 상이한 제 2 슬루 레이트를 갖는 상기 데이터전압의 이븐 데이터전압을 출력하는 이븐 출력부를 포함하는 액정표시장치를 제공한다.

대표도 - 도7



## 특허청구의 범위

### 청구항 1

수평 방향으로 연장된 다수의 게이트배선과 수직 방향으로 연장된 다수의 데이터배선이 서로 교차하여 다수의 화소를 정의하는 표시영역과,

상기 다수의 데이터배선과 연결되는 다수의 데이터 링크 배선과, 상기 다수의 데이터 링크 배선과 연결되는 다수의 데이터 패드가 형성되는 비표시영역으로 구분되는 어레이 기판과;

상기 다수의 데이터 패드 및 상기 다수의 데이터 링크 배선을 경유하여 대응되는 상기 다수의 데이터배선에 데이터전압을 출력하는 소스IC를 포함하고,

상기 소스IC는,

상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 홀수 번째에 위치하는 오드 데이터 링크 배선 및 오드 데이터 패드에 제 1 슬루 레이트를 갖는 상기 데이터전압의 오드 데이터전압을 출력하는 오드 출력부와,

상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 짝수 번째에 위치하는 이븐 데이터 링크 배선 및 이븐 데이터 패드에 상기 제 1 슬루 레이트와 상이한 제 2 슬루 레이트를 갖는 상기 데이터전압의 이븐 데이터전압을 출력하는 이븐 출력부를 포함하는

액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 오드 데이터 패드 및 상기 오드 데이터 링크 배선은 상기 게이트배선과 동일층, 동일물질과 상기 데이터배선과 동일층, 동일물질 중 어느 하나로 형성되고,

상기 이븐 데이터 패드 및 상기 이븐 데이터 링크 배선은 상기 게이트배선과 동일층, 동일물질과 상기 데이터배선과 동일층, 동일물질 중 다른 하나로 형성되는

액정표시장치.

### 청구항 3

제 2 항에 있어서,

상기 오드 출력부는, 상기 오드 데이터 링크 배선 및 상기 오드 데이터 패드의 제 1 비저항에 대응하여 상기 제 1 슬루 레이트의 상기 오드 데이터전압을 생성하고,

상기 이븐 출력부는, 상기 이븐 데이터 링크 배선 및 상기 이븐 데이터 패드의 제 2 비저항에 상기 제 2 슬루 레이트의 상기 이븐 데이터전압을 생성하는

액정표시장치.

### 청구항 4

제 3 항에 있어서,

상기 제 1 비저항은 상기 제 2 비저항보다 크고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 크거나,

상기 제 1 비저항은 상기 제 2 비저항보다 작고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 작은

액정표시장치.

#### 청구항 5

제 1 항에 있어서,  
상기 오드 출력부 및 상기 이븐 출력부는 연산 증폭기로 구성되는  
액정표시장치.

#### 청구항 6

제 1 항에 있어서,  
상기 소스IC는,  
소스 스타트 펄스와 소스 쉬프트 클럭에 응답하여 샘플링 신호를 생성하는 쉬프트 레지스터와,  
영상데이터를 상기 샘플링 신호에 따라 순차적으로 샘플링하고, 소스 출력 인에이블 신호에 응답하여 샘플링 된  
상기 영상데이터를 래치하는 래치부와,  
래치된 상기 영상데이터를 상기 데이터전압으로 변환하는 DAC를 포함하는  
액정표시장치.

#### 청구항 7

다수의 게이트배선과 다수의 데이터배선이 서로 교차하여 다수의 화소를 정의하는 표시영역과, 상기 다수의 데  
이터배선과 연결되는 다수의 데이터 링크 배선과 상기 다수의 데이터 링크 배선과 연결되는 다수의 데이터 패드  
가 형성되는 비표시영역으로 구분되는 어레이 기판을 포함하는 액정표시장치의 구동방법에 있어서,  
상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 홀수 번째에 위치하는 오드 데이터 링크 배선 및  
오드 데이터 패드에 제 1 슬루 레이트를 갖는 오드 데이터전압을 출력하는 단계와;  
상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 짝수 번째에 위치하는 이븐 데이터 링크 배선 및  
이븐 데이터 패드에 상기 제 1 슬루 레이트와 상이한 제 2 슬루 레이트를 갖는 이븐 데이터전압을 출력하는 단  
계를 포함하는  
액정표시장치 구동방법.

#### 청구항 8

제 7 항에 있어서,  
상기 오드 데이터전압의 제 1 슬루 레이트는 상기 오드 데이터 링크 배선 및 상기 오드 데이터 패드의 제 1 비  
저항에 대응하여 생성되고,  
상기 이븐 데이터전압의 제 2 슬루 레이트는 상기 이븐 데이터 링크 배선 및 상기 이븐 데이터 패드의 제 2 비  
저항에 대응하여 생성되는  
액정표시장치 구동방법.

#### 청구항 9

제 8 항에 있어서,

상기 제 1 비저항은 상기 제 2 비저항보다 크고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 크거나, 상기 제 1 비저항은 상기 제 2 비저항보다 작고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 작은 액정표시장치 구동방법.

## 명세서

### 기술분야

[0001] 본발명은 액정표시장치에 관한 것으로서, 보다 상세하게는, 액정표시장치 및 그 구동방법에 관한 것이다.

### 배경기술

- [0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display), 플라즈마표시장치(PDP : plasma display panel), 유기전계발광소자 (OLED : organic light emitting diode)와 같은 여러 가지 평판표시장치(FPD : flat panel display)가 활용되고 있다.
- [0003] 여기서 액정표시장치는 액정의 광학적 이방성과 분극 성질을 이용하여 화상을 표시하는 액정표시장치용 어레이 기판과, 영상데이터에 대응되는 데이터전압을 생성하여 어레이 기판에 출력하는 소스IC를 포함할 수 있다.
- [0004] 먼저, 어레이 기판은 데이터배선과, 게이트배선과, 데이터배선 및 게이트배선 교차지점에 형성되는 박막트랜지스터를 포함하여 실질적으로 화상이 표시되는 표시영역과, 화상이 표시되지 않는 비표시영역으로 구분 될 수 있다.
- [0005] 여기서 비표시영역에는 소스IC와 연결되어 소스IC로부터 데이터전압을 전달받는 데이터 패드와, 데이터 패드 및 데이터배선 사이를 연결하여 데이터전압을 대응되는 데이터배선에 전달하는 데이터 링크 배선이 형성된다.
- [0006] 이때, 데이터 패드 사이의 간격 및 데이터 링크 배선 사이의 간격을 줄임으로써 비표시 영역을 효율적으로 줄이고자, 홀수 번째 데이터 패드 및 홀수 번째 데이터 링크 배선(이하, 홀수 번째 배선)과, 짝수 번째 데이터 패드 및 짝수 번째 데이터 링크 배선(이하, 짝수 번째 배선)은 서로 다른 층, 다른 물질로 형성한다. 예를 들면 홀수 번째 배선은 게이트배선과 동일 층, 동일물질로, 짝수 번째 배선은 데이터배선과 동일 층, 동일물질로 형성된다.
- [0007] 소스IC는, 영상데이터에 대응하여 데이터전압을 생성하고 출력하게 된다. 이와 같이 소스IC로부터 출력된 데이터전압은 데이터 패드 및 데이터 링크 배선을 통해 대응되는 데이터배선으로 공급된다.
- [0008] 이와 같은 소스IC에 대해서 도 1을 참조하여 설명한다. 도 1은 일반적인 소스IC를 개략적으로 도시한 도면이다.
- [0009] 소스IC는 쉬프트레지스터(SR)와, 래치부(LT)와, DAC(DC)와, 출력부(OT)를 포함할 수 있다.
- [0010] 쉬프트 레지스터(SR)는, 소스 스타트 펄스(SSP)와 소스 쉬프트 클럭(SSC)에 응답하여 샘플링 신호(SAM)을 생성하여 래치부(LT)에 공급한다.
- [0011] 래치부(LT)는, 영상데이터(Data)를 샘플링 신호(SAM)에 따라 순차적으로 샘플링한다. 그리고, 샘플링된 데이터를 저장하고 소스 출력 인에이블 신호(SOE)에 응답하여 래치된 영상데이터(RData)를 DAC(DC)로 동시에 출력한다.
- [0012] DAC(DC)는, 감마전압(Vgamma)을 입력 받고, 입력된 디지털 영상데이터(RData)에 대응되는 감마전압을 선택하여, 이를 아날로그 영상데이터(AData)로서 출력한다.
- [0013] 출력부(OT)는, DAC(DC)로부터 입력 받은 아날로그 영상 데이터(AData)가 데이터배선의 부하(load)에 따라 왜곡되는 것을 방지하기 위해, 입력된 아날로그 영상 데이터(AData)를 증폭하여 영상 신호를 데이터배선에 공급한다. 즉, 입력된 데이터전압을 버퍼링하여 데이터배선에 출력한다. 이때, 출력부(OT)는 동일한 슬루 레이트(slew rate)를 가진 데이터전압을 대응되는 데이터배선에 출력한다.
- [0014] 그러나 이와 같은 액정표시장치는 아래와 같은 문제점이 있다.
- [0015] 먼저, 홀수 번째 배선과 짝수 번째 배선은 서로 다른 층에 서로 다른 물질로 형성되는 바, 각 층에 형성되는 물

질에 따라 비저항 값이 달라지게 되고 이에 따라 비저항차가 발생하게 된다.

- [0016] 이때 홀수 번째 배선과 짝수 번째 배선의 비저항차가 있음에도 불구하고, 홀수 번째 배선과 짝수 번째 배선에 출력되는 데이터전압은 소스IC의 출력부(OT)로부터 동일한 슬루 레이트 값을 가지고 출력된다.
- [0017] 이에 따라, 동일한 슬루 레이트 값을 가지고 홀수 번째 배선과 짝수 번째 배선을 각각 통과하게 되는 데이터전압은 비저항이 큰 배선 예를 들면 홀수 번째 배선에서는 짝수 번째 배선에서보다 데이터전압이 느리게 전달되고 이에 따라 대응되는 데이터배선에도 늦게 인가되는 문제점이 있다.
- [0018] 이와 같이 홀수 번째 및 짝수 번째 배선에서의 데이터전압의 지연 시간 차이에 따라 어레이 기판의 표시영역에는 홀수 번째 데이터배선과 짝수 번째 데이터배선에 대응하여 영상이 밝거나 흐리게 표현되는 뎀(dim) 현상이 발생하는 문제점이 있다.
- [0019] 이에 따라 액정표시장치의 어레이 기판의 표시영역의 화질이 저하되는 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

- [0020] 오드 배선과 이븐 배선에 출력되는 데이터전압의 슬루 레이트를 조절하여 뎀 현상을 제거하여 화질이 개선된 액정표시장치 및 그 구동방법을 제공하는데 그 목적이 있다.

#### 과제의 해결 수단

- [0021] 전술한 바와 같은 과제를 달성하기 위해, 수평 방향으로 연장된 다수의 게이트배선과 수직 방향으로 연장된 다수의 데이터배선이 서로 교차하여 다수의 화소를 정의하는 표시영역과, 상기 다수의 데이터배선과 연결되는 다수의 데이터 링크 배선과, 상기 다수의 데이터 링크 배선과 연결되는 다수의 데이터 패드가 형성되는 비표시영역으로 구분되는 어레이 기판과; 상기 다수의 데이터 패드 및 상기 다수의 데이터 링크 배선을 경유하여 대응되는 상기 다수의 데이터배선에 데이터전압을 출력하는 소스IC를 포함하고, 상기 소스IC는, 상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 홀수 번째에 위치하는 오드 데이터 링크 배선 및 오드 데이터 패드에 제 1 슬루 레이트를 갖는 상기 데이터전압의 오드 데이터전압을 출력하는 오드 출력부와, 상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 짝수 번째에 위치하는 이븐 데이터 링크 배선 및 이븐 데이터 패드에 상기 제 1 슬루 레이트와 상이한 제 2 슬루 레이트를 갖는 상기 데이터전압의 이븐 데이터전압을 출력하는 이븐 출력부를 포함하는 액정표시장치를 제공한다.
- [0022] 상기 오드 데이터 패드 및 상기 오드 데이터 링크 배선은 상기 게이트배선과 동일층, 동일물질과 상기 데이터배선과 동일층, 동일물질 중 어느 하나로 형성되고, 상기 이븐 데이터 패드 및 상기 이븐 데이터 링크 배선은 상기 게이트배선과 동일층, 동일물질과 상기 데이터배선과 동일층, 동일물질 중 다른 하나로 형성된다.
- [0023] 상기 오드 출력부는, 상기 오드 데이터 링크 배선 및 상기 오드 데이터 패드의 제 1 비저항에 대응하여 상기 제 1 슬루 레이트의 상기 오드 데이터전압을 생성하고, 상기 이븐 출력부는, 상기 이븐 데이터 링크 배선 및 상기 이븐 데이터 패드의 제 2 비저항에 상기 제 2 슬루 레이트의 상기 이븐 데이터전압을 생성한다.
- [0024] 상기 제 1 비저항은 상기 제 2 비저항보다 크고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 크거나, 상기 제 1 비저항은 상기 제 2 비저항보다 작고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 작다.
- [0025] 상기 오드 출력부 및 상기 이븐 출력부는 연산 증폭기로 구성된다.
- [0026] 상기 소스IC는, 소스 스타트 펄스와 소스 쉬프트 클럭에 응답하여 샘플링 신호를 생성하는 쉬프트 레지스터와, 영상데이터를 상기 샘플링 신호에 따라 순차적으로 샘플링하고, 소스 출력 인에이블 신호에 응답하여 샘플링 된 상기 영상데이터를 래치하는 래치부와, 래치된 상기 영상데이터를 상기 데이터전압으로 변환하는 DAC를 포함한다.
- [0027] 다수의 게이트배선과 다수의 데이터배선이 서로 교차하여 다수의 화소를 정의하는 표시영역과, 상기 다수의 데이터배선과 연결되는 다수의 데이터 링크 배선과 상기 다수의 데이터 링크 배선과 연결되는 다수의 데이터 패드가 형성되는 비표시영역으로 구분되는 어레이 기판을 포함하는 액정표시장치의 구동방법에 있어서, 상기 다수의

데이터 링크 배선 및 상기 다수의 데이터 패드 중 홀수 번째에 위치하는 오드 데이터 링크 배선 및 오드 데이터 패드에 제 1 슬루 레이트를 갖는 오드 데이터전압을 출력하는 단계와; 상기 다수의 데이터 링크 배선 및 상기 다수의 데이터 패드 중 짝수 번째에 위치하는 이븐 데이터 링크 배선 및 이븐 데이터 패드에 상기 제 1 슬루 레이트와 상이한 제 2 슬루 레이트를 갖는 이븐 데이터전압을 출력하는 단계를 포함하는 액정표시장치 구동방법을 제공한다.

[0028] 상기 오드 데이터전압의 제 1 슬루 레이트는 상기 오드 데이터 링크 배선 및 상기 오드 데이터 패드의 제 1 비저항에 대응하여 생성되고, 상기 이븐 데이터전압의 제 2 슬루 레이트는 상기 이븐 데이터 링크 배선 및 상기 이븐 데이터 패드의 제 2 비저항에 대응하여 생성된다.

[0029] 상기 제 1 비저항은 상기 제 2 비저항보다 크고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 크거나, 상기 제 1 비저항은 상기 제 2 비저항보다 작고, 상기 제 1 슬루 레이트는 상기 제 2 슬루 레이트보다 작다.

### 발명의 효과

[0030] 오드 배선과 이븐 배선에 전달되는 데이터전압의 슬루 레이트를 조절함으로써 표시영역의 뒹 현상을 개선할 수 있는 효과가 있다.

[0031] 또한, 오븐 배선과 이븐 배선을 다른 층에 형성하는 바 어레이 기관의 비표시 영역을 효율적으로 줄일 수 있는 효과가 있다.

### 도면의 간단한 설명

[0032] 도 1은 종래 소스IC를 나타낸 개략적인 단면도.

도 2는 본발명의 실시예에 따른 액정표시장치용 어레이 기관을 개략적으로 나타낸 단면도.

도 3은 도 2의 B부분의 일예로서, B부분을 확대한 단면도.

도 4는 도 3의 IV-IV선으로 자른 단면도.

도 5는 도 3의 V-V선으로 자른 단면도.

도 6은 본발명의 실시예에 따른 소스IC를 개략적으로 나타낸 단면도.

도 7은 본발명의 실시예에 따른 소스IC부와 데이터패드 및 데이터 링크 배선의 연결관계를 개략적으로 나타낸 단면도.

도 8a 및 도 8b는 슬루 레이트가 다른 데이터전압의 파형도.

### 발명을 실시하기 위한 구체적인 내용

[0033] 이하, 도면을 참조하여 본발명의 실시예에 따른 액정표시장치를 보다 상세하게 설명한다.

[0034] 도 2는 본발명의 실시예에 따른 액정표시장치용 어레이 기관을 개략적으로 도시한 도면이다.

[0035] 도시한 바와 같이, 본발명의 실시예에 따른 액정표시장치용 어레이 기관(100)은 화상을 구현하는 표시 영역(A)과 화상을 구현하지 않는 비표시 영역(NAA)으로 구분된다.

[0036] 어레이 기관(100) 상의 표시 영역(A)에는 일 방향으로 스캔 신호를 인가 받는 제 1 내지 제 m 게이트배선(GL1 내지 GLm)과, 제 1 내지 제 m 게이트배선(GL1 내지 GLm)과 수직 교차하여 다수의 화소 영역(P)을 정의하며, 데이터전압을 인가 받는 제 1 내지 제 n 데이터배선(DL1 내지 DLn)이 매트릭스(matrix) 형태로 배치된다.

[0037] 제 1 내지 제 m 게이트배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터배선(DL1 내지 DLn)의 교차지점에는 스위칭 (switching) 역할을 하는 다수의 박막트랜지스터(T)가 구성되고, 박막트랜지스터(T)는 화소 영역(P)에 대응하여

구성된 화소 전극(180)과 접촉된다.

- [0038] 한편, 어레이 기관(100) 상의 비표시 영역(NAA)의 제 1 면에는 상기 제 1 내지 제 m 게이트배선(GL1 내지 GLm)에 연결된 제 1 내지 제 m 게이트 링크 배선(GLL1 내지 GLLm)과 제 1 내지 제 m 게이트 패드(GP1 내지 GPm)를 구성한다. 또한, 제 1 면과 인접한 제 2 면에는 제 1 내지 제 n 데이터배선(DL1 내지 DLn)에 연결된 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)과 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)를 각각 구성한다.
- [0039] 여기서 설명의 편의를 위하여, 제 1 내지 제 n 데이터배선(DL1 내지 DLn), 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn) 및 제 1 내지 제 n 데이터 패드(DP1 내지 DPn) 중 홀수 번째 위치하는 라인(line)을 오드(odd)라고 칭하고, 짝수 번째 위치하는 라인을 이븐(even)이라고 칭한다.
- [0040] 여기서, 비표시영역(NAA)의 제 1 면에는 게이트패드가 형성되는 것을 일례로서 설명하였으나, GIP 타입으로 형성될 수도 있으며 이 경우 게이트패드가 생략 될 수 있음은 당업자에게 자명하다.
- [0041] 이때, 본 발명의 실시예에서는 오드 데이터 링크 배선과 이븐 데이터 링크 배선을 서로 다른 층에서 교차되도록 설계함으로써 데이터 링크 영역의 면적을 축소할 수 있다.
- [0042] 이에 대해서는, 도 3 내지 도 5를 더욱 참조하여 상세히 설명하도록 한다.
- [0043] 도 3은 도 2의 B 부분의 일례로서 B 부분을 확대한 도면이고, 도 4 및 도 5는 도 3의 IV-IV선 및 V-V선을 따라 각각 절단하여 나타낸 단면도이다.
- [0044] 도 3에 도시한 바와 같이, 어레이 기관(100) 상의 표시 영역(AA)에는 일 방향 예를 들면 수평 방향으로 오드 및 이븐 게이트배선(120a, 120b)이 연장되고, 오드 및 이븐 게이트배선(120a, 120b)과 수직 교차하는 방향으로 오드 및 이븐 데이터배선(130a, 130b)이 구성된다.
- [0045] 이때, 오드 및 이븐 게이트배선(120a, 120b)과 오드 및 이븐 데이터배선(130a, 130b)의 교차지점에 대응하여 박막트랜지스터(T)가 구성된다.
- [0046] 박막트랜지스터(T)는 이븐 게이트배선(120b)에서 연장된 게이트 전극(125)과, 게이트 전극(125) 상에 위치하는 반도체층(미도시)과, 반도체층 상에서 서로 이격 구성된 소스 및 드레인 전극(132, 134)을 포함한다.
- [0047] 이때, 반도체층은 순수 비정질 실리콘(a-Si:H)으로 이루어진 액티브층(140)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 오믹 콘택층(미도시)을 포함한다. 또한, 드레인 전극(134)을 노출하는 드레인 콘택홀(CH1)을 통해 드레인 전극(134)과 접촉된 화소 전극(180)을 화소 영역(P)에 대응하여 구성한다.
- [0048] 이때, 화소 전극(180)은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속 그룹 중 선택된 하나로 구성된다.
- [0049] 화소 전극(180)은 오드 게이트배선(120a)과 중첩되도록 연장 구성하여 오드 게이트배선(120a)을 제 1 전극으로 하고, 오드 게이트배선(120a)과 중첩된 화소 전극(180)을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극 사이에 개재된 유전체층(미도시)을 포함하는 스토리지 커패시터(Cst)를 구성한다.
- [0050] 한편, 비표시 영역(NAA)에는 오드 및 이븐 데이터 링크 배선(150a, 150b)과, 오드 및 이븐 데이터 링크 배선(150a, 150b)과 동일 패턴으로 연장된 오드 및 이븐 데이터 패드(160a, 160b)가 각각 위치한다. 이때, 비표시 영역(NAA)은 오드 및 이븐 데이터 링크 배선(150a, 150b)이 구성된 데이터 링크 영역(DLA)과, 오드 및 이븐 데이터 패드(160a, 160b)가 구성된 데이터 패드 영역(DPA)으로 구분된다.
- [0051] 이때, 오드 데이터배선(130a)은 이븐 데이터 링크 배선 및 이븐 데이터 패드(150b, 160b)에 연결되고, 이븐 데이터배선(130b)은 오드 데이터 링크 배선 및 오드 데이터 패드(150a, 160a)에 각각 연결한다.
- [0052] 여기서, 데이터 링크 영역(DLA)에 대응된 오드 데이터 링크 배선(150a)과 이븐 데이터 링크 배선(150b)은 서로

다른 층, 서로 다른 물질로 형성되어에서 교차된다.

- [0053] 구체적으로 예를 들면, 오드 데이터 링크 배선(150a)은 데이터배선과 동일 층, 동일물질로 구성될 수 있으며, 이븐 데이터 링크 배선(150b)은 게이트배선과 동일 층, 동일물질로 구성될 수 있다. 이와 반대로, 오드 데이터 링크 배선(150a)은 게이트배선과 동일 층, 동일물질로 구성될 수 있으며, 이븐 데이터 링크 배선(150b)은 데이터배선과 동일 층, 동일물질로 구성될 수 있다.
- [0054] 이하 설명의 편의를 위하여 이븐 데이터 링크 배선(150b)이 게이트배선과 동일층, 동일물질로 구성되고, 오드 데이터 링크 배선(150a)이 데이터배선과 동일 층, 동일물질로 구성되는 것을 예를 들어 설명한다.
- [0055] 먼저, 도 4를 참조하여 이븐 데이터 링크 배선(150b)이 형성되는 층에 대해서 살펴본다.
- [0056] 도 4에 도시한 바와 같이, 어레이 기판(100) 상부 표면에는 오드 게이트배선(120a)과 이븐 데이터 링크 배선(150b)과, 이븐 데이터 링크 배선과 연결된 이븐 데이터 패드(160b)가 형성된다.
- [0057] 구체적으로, 오드 게이트배선(120a)은 어레이 기판(100) 상부의 표시영역(AA)에, 이븐 데이터 링크 배선(150b)은 어레이 기판(100) 상부의 데이터 링크 영역(DLA)에, 이븐 데이터 패드(160b)는 어레이 기판(100) 상부의 데이터 패드 영역(DPA)에 형성된다.
- [0058] 오드 게이트배선(120a)과 이븐 데이터 링크 배선(150b) 및 이븐 데이터 패드(160b) 상부 전면에는 예를 들면 산화 실리콘( $\text{SiO}_2$ )과 질화실리콘( $\text{SiNx}$ )을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(145)이 형성된다.
- [0059] 이때, 표시 영역(AA)에는 오드 게이트배선(120a)과 게이트 절연막(145)을 사이에 두고 일부의 면적이 중첩된 오드 데이터배선(130a)이 구성된다. 여기서, 오드 데이터배선(130a)의 끝단은 예를 들면 데이터 링크 영역(DLA)에 위치 할 수 있다. 또한, 데이터 링크 영역(DLA)에는 이븐 데이터 링크 배선(150b)과 게이트 절연막(145)을 사이에 두고 일부의 면적이 중첩된 오드 데이터 링크 배선(150a)이 위치한다. 여기서 오드 데이터 링크 배선(150a)은 이븐 데이터 링크 배선(150b)과 교차되는 부분이 된다.
- [0060] 오드 데이터배선(130a)과 오드 데이터 링크 배선(150a)의 상부에는 오드 데이터배선(130a)과 이븐 데이터 링크 배선(150b) 각각의 일부를 노출하는 제 1 및 제 2 콘택홀(BH1, BH2)을 포함하는 보호막(155)이 형성된다.
- [0061] 여기서, 보호막(155)은 예를 들면 산화 실리콘( $\text{SiO}_2$ )과 질화실리콘( $\text{SiNx}$ )을 포함하는 무기절연물질 그룹 또는 벤조싸이클로부텐(benzocyclobutene)과 포토 아크릴(photo acryl)을 포함하는 유기절연물질 그룹 중 선택된 하나로 구성된다.
- [0062] 이때 제 1 콘택홀(BH1)은 오드 데이터배선(130a)의 끝단 예를 들면 데이터 링크 영역(DLA)에 형성된 부분의 상부에 형성되고, 제 2 콘택홀(BH2)은 이븐 데이터 링크 배선(150b)의 상부 중 오드 데이터배선(130a)에 인접하는 끝단에 형성된다.
- [0063] 제 1 및 제 2 콘택홀(BH1, BH2)에 의해 노출된 오드 데이터배선(130a)과 이븐 데이터 링크 배선(150b)은 화소 전극(도 3의 180)과 동일층 동일 물질로 구성된 오드 브리지 패턴(190a)을 통해 전기적으로 연결된다.
- [0064] 또한, 이븐 데이터 패드(160b)는 이의 일부를 노출하는 이븐 데이터 패드 콘택홀(DPH4)을 통해 이븐 데이터 패드 전극(170b)과 접촉된다.
- [0065] 이하, 도 5를 참조하여 오드 데이터 링크 배선(150a)이 형성되는 층에 대해서 살펴본다.
- [0066] 도 5에 도시한 바와 같이, 어레이 기판(100) 상부 표면에는 오드 게이트배선(120a)과 이븐 데이터 링크 배선(150b)이 형성된다.
- [0067] 구체적으로, 오드 게이트배선(120a)은 어레이 기판(100) 상부의 표시영역(AA)에, 이븐 데이터 링크 배선(150b)은 어레이 기판(100) 상부의 데이터 링크 영역(DLA)에 형성된다. 여기서 이븐 데이터 링크 배선(150b)은 오드 데이터 링크 배선(150a)과 교차되는 부분이다.
- [0068] 오드 게이트배선(120a)과 이븐 데이터 링크 배선(150b) 상부 전면에는 예를 들면 산화 실리콘( $\text{SiO}_2$ )과 질화실리

콘(SiNx)을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(145)이 형성된다.

- [0069] 게이트 절연막(145) 상부에는 이븐 데이터배선(130b)와, 오드 데이터 링크 배선(150a)와, 오드 데이터 링크 배선(150a)과 연결된 오드 데이터 패드(160a)가 형성된다.
- [0070] 구체적으로, 이븐 데이터배선(130b)은 표시 영역(AA)에, 오드 데이터 링크 배선(150a)은 데이터 링크 영역(DLA)에, 오드 데이터 패드(160a)는 데이터 패드 영역(DPA)에 형성된다. 여기서, 이븐 데이터배선(130b)의 끝단은 예를 들면 데이터 링크 영역(DLA)에 위치 할 수 있다.
- [0071] 이븐 데이터배선(130b), 오드 데이터 링크 배선(150a) 및 오드 데이터 패드(160a)의 상부에는 이븐 데이터배선(130b)과 오드 데이터 링크 배선(150a) 각각의 일부를 노출하는 제 3 및 제 4 콘택홀(BH3, BH4)을 포함하는 보호막(155)이 형성된다.
- [0072] 여기서, 보호막(155)은 예를 들면 산화 실리콘(SiO<sub>2</sub>)과 질화실리콘(SiNx)을 포함하는 무기절연물질 그룹 또는 벤조싸이클로부텐(benzocyclobutene)과 포토 아크릴(photo acryl)을 포함하는 유기절연물질 그룹 중 선택된 하나로 구성된다.
- [0073] 이때 제 3 콘택홀(BH3)은 이븐 데이터배선(130b)의 끝단 예를 들면 데이터 링크 영역(DLA)에 형성된 부분의 상부에 형성되고, 제 4 콘택홀(BH4)은 오드 데이터 링크 배선(150a)의 상부 중 이븐 데이터배선(130b)에 인접하는 끝단에 형성된다.
- [0074] 이때, 상기 제 3 및 제 4 콘택홀(BH3, BH4)에 의해 노출된 이븐 데이터배선(130b)과 오드 데이터 링크 배선(150a)은 화소 전극(180)과 동일층 동일 물질로 이루어진 이븐 브리지 패턴(190b)을 통해 전기적으로 연결된다.
- [0075] 여기서, 이븐 데이터배선(130b)과 오드 데이터 링크 배선(150a) 및 오드 데이터 패드(160a)는 동일층에서 동일 물질로 구성되지만, 오드 데이터배선(130a)과 이븐 데이터 링크 배선 및 패드(150b, 160b)와의 동일한 저항을 갖도록 하기 위해 제 3 및 제 4 콘택홀(BH3, BH4)을 형성하고 이븐 브리지 패턴(190b)으로 이븐 데이터배선(130b)과 오드 데이터 링크 배선(150a)을 전기적으로 연결 구성한다.
- [0076] 또한, 오드 데이터 패드(160a)는 이의 일부를 노출하는 이븐 데이터 패드 콘택홀(DPH4)을 통해 오드 데이터 패드 전극(170a)과 접촉된다.
- [0077] 진술한 바와 같이, 본 발명의 실시예에서는 데이터 링크 영역(DLA)에 대응된 오드 데이터 링크 배선(150a)과 이븐 데이터 링크 배선(150b)이 게이트 절연막(145)을 사이에 두고 서로 다른 층에서 교차된다. 이와 같은 구성은 오드 및 이븐 데이터 링크 배선(150a, 150b)을 평면적으로 서로 중첩되도록 설계하더라도 쇼트 불량 발생될 염려가 없으므로 디자인 룰(design rule)에 따른 최소 선폰에 제한 받지 않고 밀접하게 설계할 수 있다. 따라서, 비표시 영역을 줄일 수 있다.
- [0078] 또한, 본발명의 실시예에서는 오드 데이터 링크 배선(150a)과 이븐 데이터 링크 배선(150b)은 소스IC에 구성된 서로 다른 출력부로부터 각각 데이터전압을 공급 받는다.
- [0079] 구체적으로 설명하면, 도시하지는 않았으나 어레이 기판(도 3의 100)의 일측에는 소스IC(source integrated chip)가 장착된 TCP(tape carrier package)필름이 연결되어 있다.
- [0080] TCP필름은 외부 예를 들면 타이밍 컨트롤러로부터 전달 받은 소스제어신호와 영상데이터를 소스IC에 전달하게 된다. 소스IC는, 이와 같은 소스제어신호와 영상데이터에 응답하여 데이터전압을 출력하게 된다(이때, 영상데이터는 디지털 영상데이터이며, 데이터전압은 아날로그 영상데이터이다). 이와 같이 소스IC로부터 출력된 데이터 전압은 TCP필름을 통해 대응되는 데이터배선(도 2의 DL1 내지 DLn)으로 공급된다.
- [0081] 이때, 데이터전압은 각각의 데이터배선(도 2의 DL1 내지 DLn)에 대응되는 데이터 패드(도 2의 DP1 내지 DPm) 및 데이터 링크 배선(DLL1 내지 DLLn)을 경유하여 대응되는 데이터배선(도 2의 DL1 내지 DLn)에 전달된다.
- [0082] 여기서, 본발명의 실시예에서는 오드 데이터 패드(도 3의 160a) 및 오드 데이터 링크 배선(도 3의 150a)에 전달되는 데이터전압과 이븐 데이터 패드(도 3의 160b) 및 이븐 데이터 링크 배선(도 3의 150b)에 전달되는 데이터 전압은 소스IC의 대응되는 출력부로부터 각각 출력된다.

- [0083] 이하, 도 6 및 도 7을 더욱 참조하여 본발명의 실시예에 따른 소스IC 및 소스IC와 데이터 패드의 연결관계를 보다 상세하게 살펴본다.
- [0084] 도 6은 본발명의 실시예에 따른 소스IC를 개략적으로 도시한 도면이고, 도 7은 본발명의 실시예에 따른 소스IC와 데이터 패드의 연결을 개략적으로 나타낸 도면으로서, 두 개의 오드 데이터 패드와 두 개의 이븐 데이터 패드를 일예로서 도시한 도면이다.
- [0085] 먼저 도 6을 참조하면, 본발명의 실시예에 따른 소스IC(S-IC)는 쉬프트레지스터(1)와, 래치부(2)와, DAC(3)와, 출력부(4)를 포함할 수 있다. 여기서, 출력부(4)는 오드 출력부(4a)와 이븐 출력부(4b)를 포함할 수 있다.
- [0086] 쉬프트 레지스터(1)는, 소스 스타트 펄스(SSP)와 소스 쉬프트 클럭(SSC)에 응답하여 샘플링 신호(SAM)을 생성한다. 구체적으로, 쉬프트 레지스터(1)는 소스 쉬프트 클럭(SSC)에 따라 소스 스타트 펄스(SSP)를 쉬프트시켜 샘플링 신호(SAM)를 발생하여 래치부(2)에 순차적으로 공급한다.
- [0087] 래치부(2)는, 영상데이터(Data)를 쉬프트 레지스터(1)로부터 공급되는 샘플링 신호(SAM)에 따라 순차적으로 샘플링한다. 그리고, 샘플링된 데이터를 저장하고 소스 출력 인에이블 신호(SOE)에 응답하여 래치된 영상데이터(RData)를 DAC(3)로 동시에 출력한다.
- [0088] DAC(3)는, 감마전압공급부(미도시)로부터 감마전압(Vgamma)을 입력 받고, 입력된 디지털 영상데이터(RData)에 대응되는 감마전압을 선택하여, 이를 아날로그 영상데이터(ADData)로서 출력한다.
- [0089] 출력부(4)는, DAC(3)로부터 입력 받은 아날로그 영상 데이터(ADData)가 데이터배선의 저항값에 따라 왜곡되는 것을 방지하기 위해, 입력된 아날로그 영상 데이터(ADData)를 증폭하여 영상 신호를 데이터배선(도 3의 DL1 내지 DLn)에 공급한다. 즉, 입력된 데이터전압을 버퍼링하여 데이터배선(도 3의 DL1 내지 DLn)에 출력한다.
- [0090] 이때, 출력부(4)는 오드 데이터 링크 배선(도 3의 150a)과 이븐 데이터 링크 배선(도 3의 150b)에 대응하여 각각 슬루 레이트(slew rate)가 조정된 데이터전압을 각각 오드 데이터 링크 배선(도 3의 150a)과 이븐 데이터 링크 배선(150b)각각에 출력한다. 여기서, 슬루 레이트는 전압이나 전류의 일시적인 변화 속도를 의미한다. 슬루 레이트에 대해서는 차후에 도 8a 및 도 8b를 더욱 참조하여 보다 상세하게 설명한다.
- [0091] 이를 위하여 출력부(4)는 오드 출력부(4a)와 이븐 출력부(4b)를 포함할 수 있다.
- [0092] 오드 출력부(4a)는 오드 데이터 패드(도 3의 160a)와 오드 데이터 패드(도3의 160a)와 연결된 오드 데이터 링크 배선(도 3의 150a)에 대응하여 데이터전압의 제 1 슬루 레이트를 조절하여 대응되는 데이터배선 예를 들면 이븐 데이터배선(도 3의 130b)에 오드 데이터전압(VS1)을 출력한다. 이때, 도시하지는 않았으나 오드 출력부(4a)는 오드 데이터 링크 배선(도 3의 150a)과 연결된 데이터배선 예를 들면 이븐 데이터배선(도 3의 130b)에 출력되는 데이터전압을 DAC(3)로부터 전달 받을 수 있다.
- [0093] 이븐 출력부(4b)는 이븐 데이터 패드(도 3의 160b)와 이븐 데이터 패드(도3의 160b)와 연결된 이븐 데이터 링크 배선(도 3의 150b)에 대응하여 데이터전압의 제 2 슬루 레이트를 조절하여 대응되는 데이터배선 예를 들면 오드 데이터배선(도 3의 130a)에 이븐 데이터전압(VS2)을 출력한다. 이때, 도시하지는 않았으나 이븐 출력부(4b)는 이븐 데이터 링크 배선(도 3의 150b)과 연결된 데이터배선 예를 들면 오드 데이터배선(도 3의 130a)에 출력되는 데이터전압을 DAC(3)로부터 전달 받을 수 있다.
- [0094] 도 7을 더욱 참조하여 출력부와 데이터 패드의 연결관계에 대해서 설명한다.
- [0095] 전술한 바와 같이, 출력부(4)는 오드 출력부(4a)와 이븐 출력부(4b)를 포함한다.
- [0096] 오드 출력부(4a)는 두 개의 오드 데이터 패드(160a)와 연결되어 있으며, 이븐 출력부(4b)는 두 개의 이븐 데이터 패드(160b)와 연결되어 있다.
- [0097] 이를 통하여 오드 출력부(4a)는 오드 출력부(4a)에 연결된 오드 데이터 패드(160a)와 오드 데이터 링크 배선(150a)에 대응하여 제 1 슬루 레이트의 오드 데이터전압(VS1)을 출력한다.
- [0098] 이븐 출력부(4b)는 이븐 출력부(4b)에 연결된 이븐 데이터 패드(160b)와 이븐 데이터 링크 배선(150b)에 대응하여 제 2 슬루 레이트의 이븐 데이터전압(VS2)을 출력한다.

- [0099] 이때, 오드 출력부(4a)와 이븐 출력부(4b)는 예를 들면 연산증폭기(OP-AMP, operational amplifier)로 구성될 수 있다.
- [0100] 여기서, 출력부(4)를 오드 출력부(4a)와 이븐 출력부(4b)로 구분하여 각각 대응하는 오드 데이터 패드(160a) 및 오드 데이터 링크 배선(150a)과, 이븐 데이터 패드(160b) 및 이븐 데이터 링크 배선(150a)에 각각 출력하는 이유는 오드 데이터 패드(160a) 및 오드 데이터 링크 배선(150a)과 이븐 데이터 패드(160b) 및 이븐 데이터 링크 배선(150a)은 각각 다른 물질로 형성되기 때문이다.
- [0101] 다시 도 4 및 도 5를 참조하여 구체적으로 예를 들면, 이븐 데이터 패드(도 7의 160b) 및 이븐 데이터 링크 배선(도 7의 150b)는 게이트배선이 형성되는 층에 형성(도 4 참조)되고, 오드 데이터 패드(도 7의 160a) 및 오드 데이터 링크 배선(도 7의 150a)은 데이터배선이 형성되는 층에 형성(도 5 참조)된다.
- [0102] 이때, 게이트배선과 동일물질 층과 데이터배선과 동일물질 층은, 각각의 층 형성 물질이 다름에 따라 각 층의 비저항 값이 달라지게 되고 이에 따라 비저항차가 생긴다.
- [0103] 예를 들면, 게이트배선은 비저항 값이 약  $3.5E-02$ 인 알루미늄(Al)으로 형성될 수 있고, 데이터배선은 비저항 값이 약  $2.5E-02$ 인 구리(Cu)로 형성될 수 있다.
- [0104] 여기서 발생된 비저항차에 의해, 이븐 데이터배선(도 3의 130b)과 오드 데이터배선(도 3의 130a)에 전달되는 데이터전압은 이븐 데이터 링크 배선(도 7의 150b)과 오드 데이터 링크 배선(도 7의 150a)을 경유하는 동안 지연 시간 편차가 발생하게 된다.
- [0105] 이를 보상하기 위하여, 비저항이 큰 값으로 형성되는 예를 들면 게이트배선과 동일 층, 동일물질로 형성되는 이븐 데이터 패드(도 7의 160b)와 이븐 데이터 링크 배선(도 7의 150b)을 경유하는 이븐 데이터전압(도 7의 VS2)의 제2 슬루 레이트를, 오드 데이터 패드(도 7의 160a)와 오드 데이터 링크 배선(도 7의 150a)을 경유하는 오드 데이터전압(도 7의 VS1)의 제1 슬루 레이트보다 큰 값이 되도록 조절한다.
- [0106] 즉, 오드 출력부(도 7의 4a)에서 출력되는 오드 데이터전압(VS1)은 이븐 출력부(도 7의 4b)에서 출력되는 이븐 데이터전압(VS2)보다 더 작은 슬루 레이트 값을 갖게 된다. 여기서 슬루 레이트의 조절은 게이트배선 물질 및 데이터배선 물질의 비저항차를 고려하여 설계 할 수 있다.
- [0107] 이하, 도 8a 및 도 8b를 더욱 참조하여 설명한다.
- [0108] 도 8a 및 도 8b는 데이터전압의 파형도를 나타낸 것으로서, 도 8a는 데이터전압의 상승 에지(edge) 부분을 나타낸 것이고, 도 8b는 데이터전압의 하강 에지 부분을 나타낸 것이다.
- [0109] 도 8a 및 도 8b에서는 슬루 레이트가 다른 3가지 데이터전압이 나타난다.
- [0110] 여기서 슬루 레이트는 일정 시간 동안 데이터전압의 변화량을 나타내는 것으로서 데이터전압의 상승 및 하강 에지 부분의 기울기가 클수록 슬루 레이트가 큰 것을 나타낸다.
- [0111] 이때 슬루 레이트가 크다는 것은 짧은 시간 동안 많은 전압 변화가 큰 것일 의미 하고, 슬루 레이트가 작다는 것은 짧은 시간 동안 전압 변화가 작은 것을 의미한다. 즉, 슬루 레이트는 전압의 급격한 변화 여부를 결정하는 것이고, 슬루 레이트가 크다는 것은 그 만큼 전압의 출력 지연이 작다는 것을 의미한다. 따라서, 저항이 큰 배선에는 반응이 빠른 높은 슬루 레이트를 적용하여, 저항이 작은 배선의 지연과 동일하게 해주는 것이다.
- [0112] 여기서, 슬루 레이트가 하이(high)인 데이터전압은 비저항이 큰 배선 예를 들면 오드 데이터 패드(도 7의 160a) 및 오드 데이터 링크 배선(도 7의 150a)를 경유하는 오드 데이터전압(도 7의 VS1)에 적용될 수 있다.
- [0113] 반면에, 슬루 레이트가 로우(low)인 데이터전압은 비저항이 작은 배선 예를 들면 이븐 데이터 패드(도 7의 160b) 및 이븐 데이터 링크 배선(도 7의 150b)를 경유하는 이븐 데이터전압(도 7의 VS2)에 적용될 수 있다.
- [0114] 여기서 슬루 레이트의 비율은 데이터 패드 및 데이터 링크 배선의 구성 물질의 비저항 차에 대응하여 다양하게 설계 될 수 있음은 당업자에게 자명하다.
- [0115] 예를 들면, 알루미늄(Al)의 비저항은  $3.5E-02$ 이고, 구리(Cu)의 비저항은  $2.50E-02$ 이고, 크롬(Cr)의 비저항은

2.20E-01이고, 몰리브덴(Mo)의 비저항은 1.5E-01이다. 이 경우, 슬루 레이트의 순서는 알루미늄, 구리, 크롬, 몰리브덴 순으로 작게 되도록 설계할 수 있다.

[0116] 전술한 바와 같이, 본발명의 실시예에서는 이븐 데이터 패드 및 이븐 데이터 링크 배선(이하, 이븐 배선)과, 오드 데이터 패드 및 오드 데이터 링크 배선(이하, 오드 배선)에 각각 슬루 레이트가 다른 데이터전압을 인가한다.

[0117] 이에 따라, 이븐 배선과 오드 배선 중 비저항이 더 큰 배선에서 발생하던 데이터전압의 지연 편차를 방지할 수 있다.

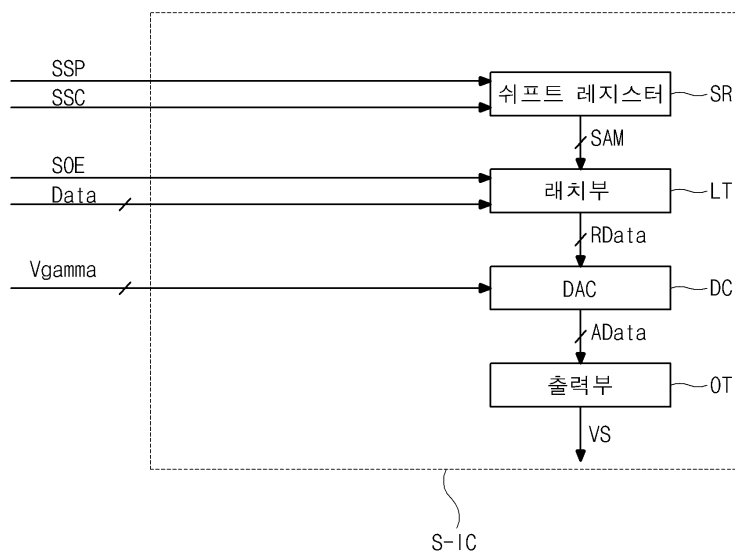
[0118] 전술한 본발명의 실시예는 본발명의 일예로서, 본발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본발명의 변형을 포함한다.

**부호의 설명**

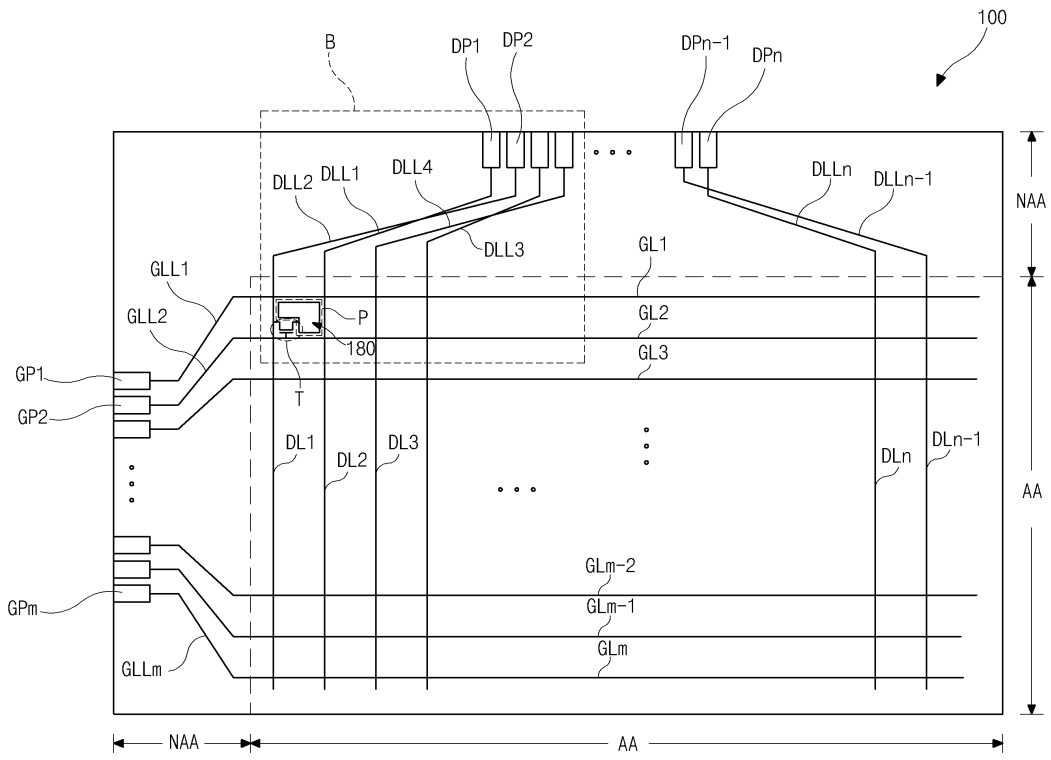
- [0119] 100 : 기판
- 120a : 이븐 게이트 배선
- 120b : 이븐 게이트 배선
- 130a : 오드 데이터 배선
- 150a : 오드 데이터 링크 배선
- 150b : 이븐 데이터 링크 배선
- 160a : 오드 데이터 패드
- 160b : 이븐 데이터 패드
- 170a : 오드 데이터 패드 전극
- 170b : 이븐 데이터 패드 전극
- BH1 내지 BH4 : 제 1 내지 제 4 콘택홀
- DPH3 : 오드 데이터 패드 콘택홀
- DPH4 : 이븐 데이터 패드 콘택홀
- S-IC : 소스IC
- 4 : 출력부
- 4a : 오드 출력부
- 4b : 이븐 출력부
- VS1 : 오드 데이터전압
- VS2 : 이븐 데이터전압

**도면**

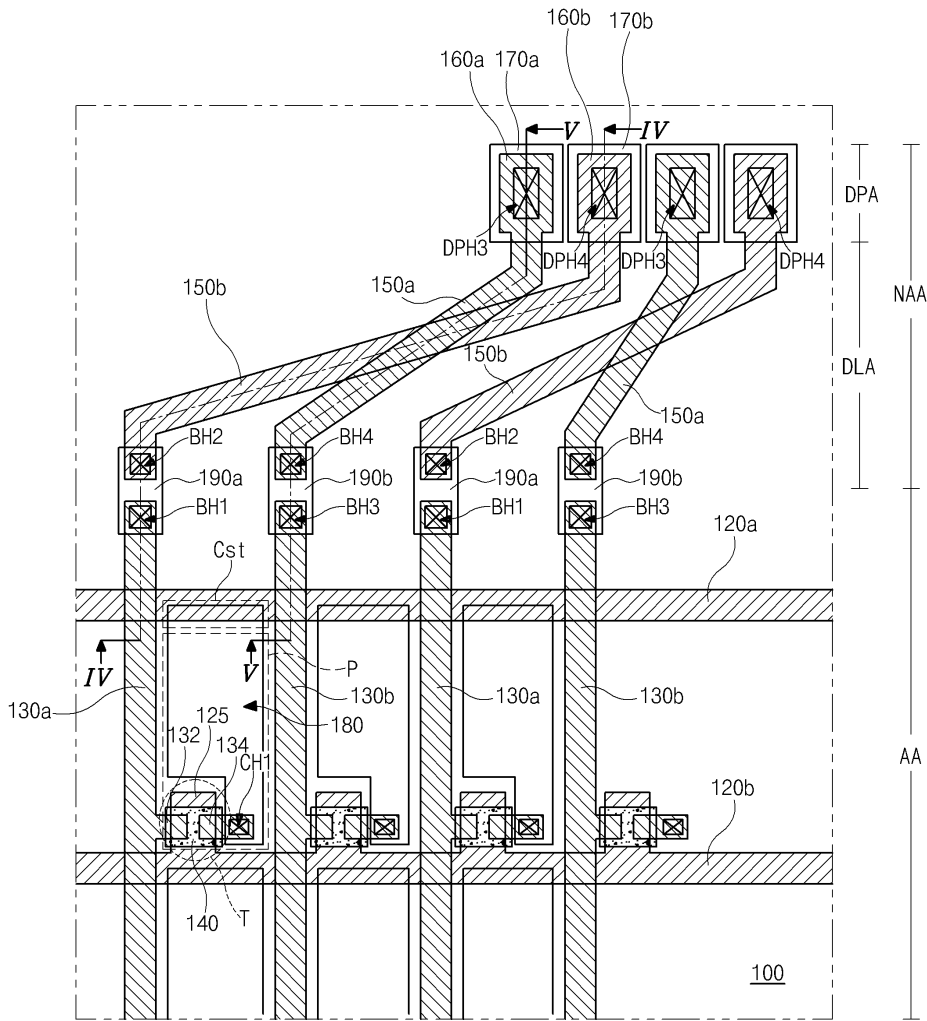
**도면1**



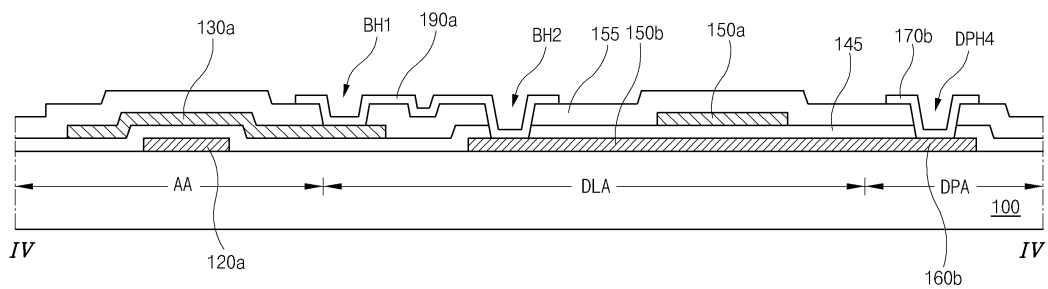
도면2



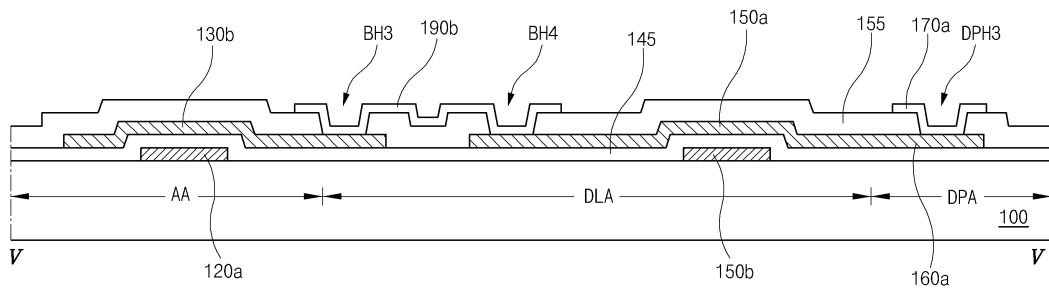
도면3



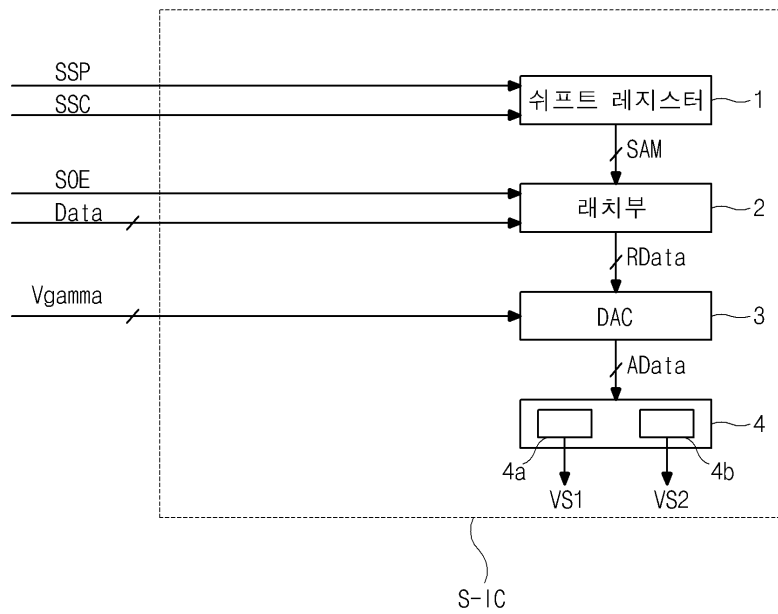
도면4



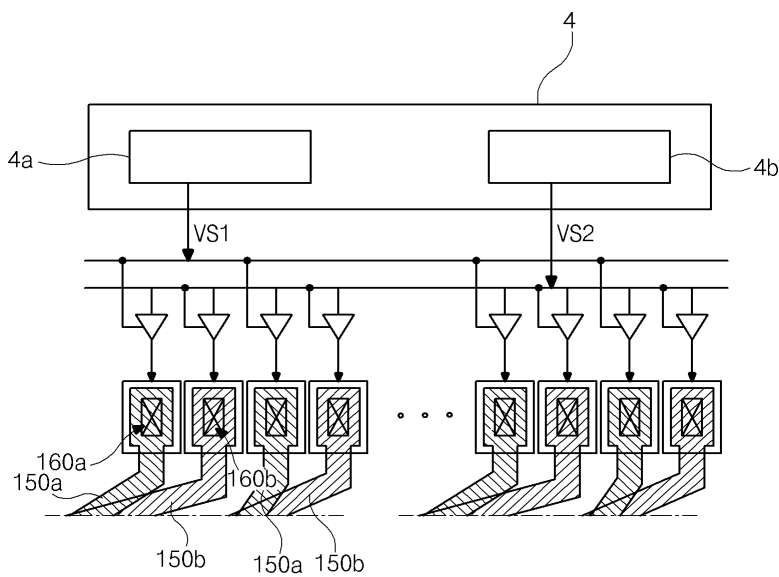
도면5



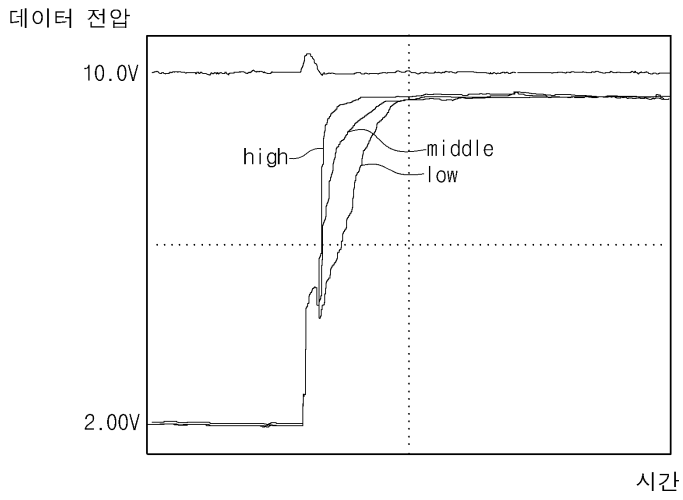
도면6



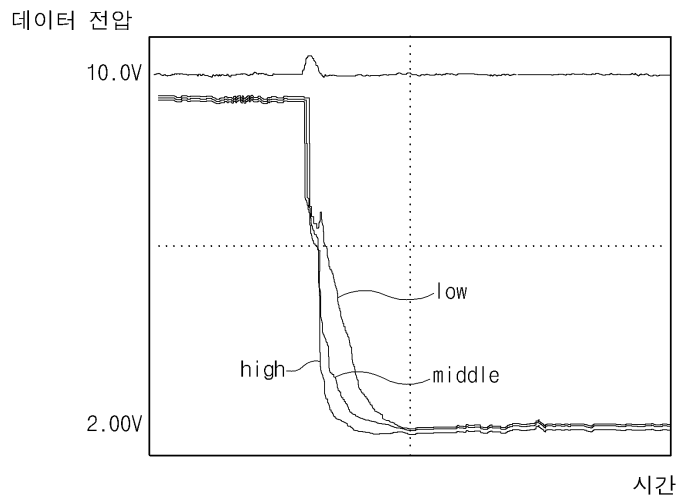
도면7



도면8a



도면8b



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020130010214A</a>	公开(公告)日	2013-01-28
申请号	KR1020110070870	申请日	2011-07-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG YONG CHAE		
发明人	JUNG, YONG CHAE		
IPC分类号	G09G3/36 G02F1/1345 G02F1/133		
CPC分类号	G09G3/3688 G02F1/136286 G09G2310/0224 G09G2310/0283 G09G2310/0286 G09G2320/02 H03F2203/45248		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种包括奇数输出单元的液晶显示器，其中源IC输出具有第一转换速率的数据电压的奇数数据电压，该数据电压位于奇数数据链路布线中，位于奇数和奇数数据垫中数据链路布线和多个数据焊盘延伸到垂直方向多条数据线包括定义多个图像元素的显示区域，分类为非显示区域的阵列面板连接到连接到多条数据线的多条数据链路布线，源IC通过多个数据焊盘和多个数据链路布线输出数据电压到多条数据线，多条栅极布线延伸到水平方向，多条数据线交叉，偶数输出单元输出数据电压的偶数数据电压具有与位于其中的偶数数据链路布线中的第一转换速率不同的第二转换速率在多个数据链路布线和多个数据焊盘之间偶数编号转向和偶数数据焊盘。对于分类为非显示区域的阵列面板，该非显示区域连接到连接到多条数据线的多条数据链路布线，并且形成连接到多条数据链路布线的多个数据焊盘。

