



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0133181
(43) 공개일자 2012년12월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0051721

(22) 출원일자 2011년05월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

남경진

경기도 파주시 교하읍 월드메르디앙아파트 706동 904호

백정선

경기도 파주시 쇠재로 30, 서원마을아파트 708동 905호 (금촌동)

(74) 대리인

서교준

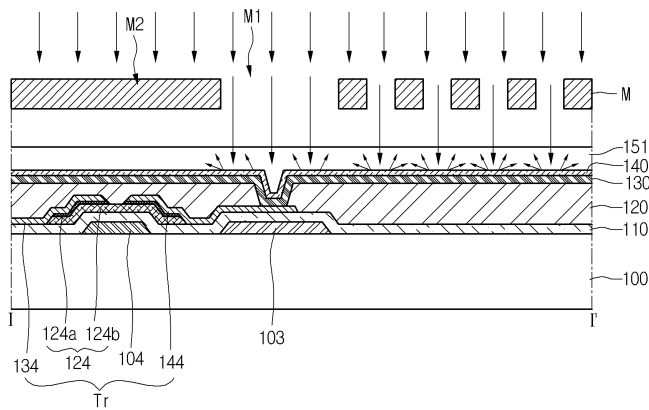
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 액정표시장치 어레이 기판의 제조 방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 포토레지스트층 하부에 희생 반사층을 구비한 후 노광 및 현상 공정을 거침에 따라 미세 패턴을 갖는 포토레지스트 패턴을 형성하여 미세 선폭을 갖는 전극의 형성이 가능해지므로 광 투과율을 개선할 수 있는 액정표시장치 어레이 기판의 제조 방법을 개시한다.

대표도 - 도5



특허청구의 범위

청구항 1

다수의 화소를 갖는 기판 상의 각 화소에 일정 간격을 가지며 다수개로 구비된 전극을 갖는 액정표시장치 어레이 기판의 제조 방법에 있어서,

상기 전극을 형성하는 단계는

상기 기판 상에 도전층을 형성하는 단계;

상기 도전층 상에 희생 광반사층을 형성하는 단계;

상기 희생 광반사층 상에 포토 레지스트층을 형성하는 단계;

상기 포토레지스트층 상에 마스크를 이용한 노광 및 현상 공정을 수행하여 포토레지스트 패턴을 형성하는 단계;

상기 포토 레지스트 패턴을 식각 마스크로 사용하여 희생 광반사층과 도전층을 패터닝하는 단계; 및

상기 포토레지스트 패턴과 상기 희생 광반사층을 제거하는 단계;

를 포함하는 액정표시장치 어레이 기판의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 기판 상에 도전층을 형성하는 단계와 상기 도전층 상에 희생 광반사층을 형성하는 단계 사이에,

상기 도전층과 상기 희생 광반사층 사이에 접합 보조층을 형성하는 단계를 더 포함하는 액정표시장치 어레이 기판의 제조 방법.

청구항 3

제 2 항에 있어서,

상기 접합 보조층은 상기 희생 광반사층과 동일한 에천트에 의해 식각되는 재질로 형성된 액정표시장치 어레이 기판의 제조 방법.

청구항 4

제 2 항에 있어서,

상기 접합 보조층은 Mo로 형성하는 액정표시장치 어레이 기판의 제조 방법.

청구항 5

제 2 항에 있어서,

상기 접합 보조층은 50Å 내지 100Å의 두께 범위로 형성하는 액정표시장치 어레이 기판의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 희생 반사층은 Al, AlNd 및 AlPaCu 중 어느 하나로 형성된 액정표시장치 어레이 기판의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 도전막은 ITO, IZO 및 MoTi 중 어느 하나로 형성된 단일층 또는 둘 이상의 적층으로 형성된 액정표시장치 어레이 기판의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 전극은 2 μ m 내지 3 μ m의 선폭을 갖는 액정표시장치 어레이 기판의 제조 방법.

청구항 9

제 1 항에 있어서,

상기 전극은 화소전극 및 공통전극 중 적어도 어느 하나인 액정표시장치 어레이 기판의 제조 방법.

청구항 10

제 1 항에 있어서,

상기 희생 광반사층 상에 엠보싱 패턴을 더 구비하는 액정표시장치 어레이 기판의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 엠보싱 패턴은 상기 마스크의 개구부와 대응된 상기 희생 광반사층상에 형성되는 액정표시장치 어레이 기판의 제조 방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 전극의 미세 패턴화로 인해 광투과율을 개선할 수 있는 액정표시장치 어레이 기판의 제조 방법에 관한 것이다.

배경기술

[0002] 일반적으로 액정표시장치는 저소비 전력으로 구동될 뿐만 아니라 박형화의 가능성으로 최근 디스플레이 산업분야에서 널리 이용되고 있다.

[0003] 이와 같은 액정표시장치는 액정을 사이에 두고 서로 대응된 컬러필터 기판과 박막트랜지스터 기판을 포함한다. 여기서, 컬러필터 기판과 박막트랜지스터 기판에 각각 배치된 전극에 전압이 인가될 경우, 인가된 전압 차에 의해 형성된 상하의 수직적 전기장이 액정 분자의 방향을 제어한다. 이때, 액정 분자의 방향에 따라, 액정을 투과하는 광의 투과율이 조절되어 액정표시장치는 영상을 표시하게 된다.

[0004] 여기서, 액정표시장치가 상하의 수직적 전기장에 의해 액정을 구동하는 방식을 채택할 경우, 시야각 특성이 저

하되는 문제점이 있었다. 이를 해결하기 위해, 수평적 전기장을 이용하는 횡전계(In-Plane Switching ; IPS)에 의한 액정 구동 방법이 제안되었다.

- [0005] 이와 같은 횡전계형 액정표시장치는 각 화소에 바(bar) 형태를 갖는 화소전극과 공통전극을 일정간격을 두고 교대로 배치한다. 여기서, 화소전극에 데이터 전압을 인가하고 공통전극에 공통 전압을 인가할 경우, 횡전계형 액정표시장치는 기관에 대해 수평한 방향의 횡전계를 형성한다. 이때, 횡전계에 의해 액정은 구동되어 좌우 대칭적인 시야각 특성이 우수한 영상을 제공할 수 있다.
- [0006] 하지만, 횡전계형 액정표시장치는 다른 방식에 비해 시야각 특성을 향상시킬 수 있었지만, 화소전극의 상부와 공통전극의 상부에 대응된 액정이 구동되지 않아 액정표시장치를 투과하는 광 투과율이 저하되는 문제점이 있었다.
- [0007] 더욱이 공통전극과 화소전극 중 적어도 하나의 전극이 광을 투과할 수 없는 재질로 형성될 경우, 액정표시장치의 광투과율이 더욱 감소될 수 있었다.

발명의 내용

해결하려는 과제

- [0008] 따라서, 본 발명은 액정표시장치에서 발생될 수 있는 문제점을 해결하기 위하여 창안된 것으로서, 구체적으로 전극의 미세 패터닝을 통해 광투과율을 개선할 수 있는 액정표시장치 어레이 기관의 제조 방법을 제공함에 그 목적이 있다.

과제의 해결 수단

- [0009] 본 발명에 따른 해결 수단의 액정표시장치 어레이 기관의 제조 방법을 제공한다. 상기 제조 방법은 다수의 화소를 갖는 기관 상의 각 화소에 일정 간격을 가지며 다수개로 구비된 전극을 갖는 액정표시장치 어레이 기관의 제조 방법에 있어서,
- [0010] 상기 전극을 형성하는 단계는, 상기 기관 상에 도전층을 형성하는 단계; 상기 도전층 상에 희생 광반사층을 형성하는 단계; 상기 희생 광반사층 상에 포토 레지스트층을 형성하는 단계; 상기 포토레지스트층 상에 마스크를 이용한 노광 및 현상 공정을 수행하여 포토레지스트 패턴을 형성하는 단계; 상기 포토 레지스트 패턴을 식각 마스크로 사용하여 희생 광반사층과 도전층을 패터닝하는 단계; 및 상기 포토레지스트 패턴과 상기 희생 광반사층을 제거하는 단계;를 포함할 수 있다.
- [0011] 여기서, 상기 기관 상에 도전층을 형성하는 단계와 상기 도전층 상에 희생 광반사층을 형성하는 단계 사이에, 상기 도전층과 상기 희생 광반사층 사이에 접합 보조층을 형성하는 단계를 더 포함할 수 있다.
- [0012] 또한, 상기 접합 보조층은 상기 희생 광반사층과 동일한 에천트에 의해 식각되는 재질로 형성될 수 있다.
- [0013] 또한, 상기 접합 보조층은 Mo로 형성할 수 있다.
- [0014] 또한, 상기 접합 보조층은 50Å 내지 100Å의 두께 범위로 형성할 수 있다.
- [0015] 또한, 상기 희생 반사층은 Al, AlNd 및 AlPaCu 중 어느 하나로 형성될 수 있다.
- [0016] 또한, 상기 도전막은 ITO, IZO 및 MoTi 중 어느 하나로 형성된 단일층 또는 둘 이상의 적층으로 형성될 수 있다.
- [0017] 또한, 상기 전극은 2 μ m 내지 3 μ m의 선폭을 가질 수 있다.
- [0018] 또한, 상기 전극은 화소전극 및 공통전극 중 적어도 어느 하나일 수 있다.
- [0019] 또한, 상기 희생 광반사층 상에 엠보싱 패턴을 더 구비할 수 있다.
- [0020] 또한, 상기 엠보싱 패턴은 상기 마스크의 개구부와 대응된 상기 희생 광반사층상에 형성될 수 있다.

발명의 효과

[0021] 본 발명의 실시예에 따른 액정표시장치 어레이 기판은 포토레지스트층 하부에 희생 반사층을 구비한 후 노광 및 현상 공정을 거침에 따라 미세 패턴을 갖는 포토레지스트 패턴을 형성할 수 있다. 이에 따라, 포토레지스트 패턴의 미세 패턴화로 인해, 미세 선폭을 갖는 전극의 형성이 가능해지므로, 액정표시장치의 광 투과율을 향상시킬 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치 어레이 기판을 개략적으로 도시한 평면도이다.
 도 2는 도 1에 도시된 I-I'선을 따라 절단한 단면도이다.
 도 3 내지 도 8은 본 발명의 제 2 실시예에 따른 액정표시장치 어레이 기판의 제조 공정을 설명하기 위해 도시한 단면도들이다.
 도 9 내지 도 12는 본 발명의 제 3 실시예에 따른 액정표시장치 어레이 기판의 제조 공정을 설명하기 위해 도시한 단면도들이다.
 도 13은 비교예에 따른 포토레지스트 패턴의 측면을 보여주는 사진이다.
 도 14 및 도 15는 실험예 1 및 2에 따른 포토레지스트 패턴의 측면을 보여주는 사진이다.
 도 16은 실험예 3에 따른 포토레지스트 패턴, Mo 패턴, AlNd 및 ITO 패턴의 측면을 보여주는 사진이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명의 실시예들은 액정표시장치 어레이 기판의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다.

[0024] 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0025] 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치 어레이 기판을 개략적으로 도시한 평면도이다.

[0026] 도 2는 도 1에 도시된 I-I'선을 따라 절단한 단면도이다.

[0027] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치 어레이 기판은 기판(100), 게이트 배선(101), 데이터 배선(102), 공통배선(103), 박막트랜지스터(Tr), 화소전극(132) 및 공통전극(136)을 포함할 수 있다.

[0028] 구체적으로, 기판(100)은 광을 투과할 수 있는 투명 기판으로 이루어질 수 있다. 본 발명의 실시예에서 기판(100)의 재질 및 형태를 한정하는 것은 아니다. 예컨대, 기판(100)의 재질은 유리 또는 수지일 수 있다. 또한, 기판(100)의 형태는 플레이트 또는 필름의 형태일 수 있다.

[0029] 기판(100) 상에 다수의 화소 영역이 정의되어 있을 수 있다. 여기서, 다수의 화소 영역은 기판(100) 상에 서로 교차하며 배치된 게이트 배선(101)과 데이터 배선(102)에 의해 정의될 수 있다. 여기서, 게이트 배선(101)과 데이터 배선(102)은 그 사이에 개재된 게이트 절연막(110)에 의해 서로 절연되어 있을 수 있다.

[0030] 공통배선(103)은 게이트 배선(101)과 이격되며 기판(100)상에 배치되어 있을 수 있다. 이때, 게이트 배선(101)과 공통배선(103)은 동일한 도전물질로 형성되어 있을 수 있다.

[0031] 기판(100)의 각 화소 영역에 박막트랜지스터(Tr)가 배치되어 있을 수 있다. 여기서, 박막트랜지스터(Tr)는 게이트 전극(104), 게이트 절연막(110), 반도체 패턴(124), 소스 및 드레인 전극(134, 144)을 포함할 수 있다.

[0032] 게이트 전극(104)은 게이트 배선(101)과 전기적으로 연결되어 있을 수 있다. 여기서, 게이트 전극(104)은 게이트 배선(101)의 일부가 돌출되어 형성되어 있을 수 있다. 즉, 게이트 전극(104)과 게이트 배선(101)은 일체로 형성되어 있을 수 있다.

[0033] 게이트 절연막(110)은 게이트 전극(104)을 포함하는 기판(100) 상에 배치되어 있다. 여기서, 게이트 절연막

(110)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있으며, 본 발명의 실시예에서 이를 한정하는 것은 아니다.

- [0034] 반도체 패턴(124)은 활성 패턴(124a)과 오믹 콘택 패턴(124b)을 포함할 수 있다. 여기서, 오믹 콘택 패턴(124b)은 활성 패턴(124a)과 소스 전극(134) 사이와 활성 패턴(124a)과 드레인 전극(144) 사이에 개재될 수 있다. 여기서, 활성 패턴(124a)은 비정질 실리콘으로 형성될 수 있다. 또한, 오믹 콘택 패턴(124b)은 불순물이 도핑된 비정질 실리콘으로 형성될 수 있다.
- [0035] 소스 및 드레인 전극(134, 144)은 반도체 패턴(124) 상에서 서로 일정 간격 이격된 공간, 즉 채널 영역을 사이에 두고 배치될 수 있다. 여기서, 소스 전극(134)은 반도체 패턴(124)상에 배치되며 데이터 배선(102)과 전기적으로 연결되어 있다. 여기서, 소스 전극(134)은 데이터 배선(102)의 일부가 돌출되어 형성될 수 있다. 즉, 소스 전극(134)과 데이터 배선(102)은 일체로 형성될 수 있다. 이때, 소스 전극(134)은 드레인 전극(144)의 적어도 삼면을 둘러싸도록 형성될 수 있다. 여기서, 소스 전극(134)은 'U'자형의 형태를 가질 수 있다. 이에 따라, 소스 전극(134)과 드레인 전극(144) 사이의 채널 영역의 표면적이 증대될 수 있어, 박막트랜지스터(Tr)의 전기적 특성이 향상될 수 있다.
- [0036] 박막트랜지스터(Tr)를 포함한 기판(100) 상에 보호막(120)이 배치되어 있을 수 있다. 여기서, 보호막(120)은 절연물질로 이루어질 수 있다.
- [0037] 화소전극(132)과 공통전극(136)은 각 화소 영역에 배치되어 액정 구동을 위한 전계를 형성할 수 있다. 여기서, 화소전극(132)과 공통전극(136)은 보호막(120) 상에 배치될 수 있다. 여기서, 화소전극(132)은 보호막(120)에 형성된 콘택홀을 통해 박막트랜지스터(Tr)의 드레인 전극(144)과 전기적으로 접속할 수 있다.
- [0038] 화소전극(132)은 광을 투과할 수 있는 투명한 도전물질로 형성될 수 있다. 예를 들어, 화소전극(132)은 ITO 또는 IZO로 형성될 수 있다. 또는, 화소전극(132)은 MoTi, ITO와 MoTi의 이중층 및 IZO와 MoTi의 이중층 중 어느 하나로 형성될 수도 있다.
- [0039] 그러나, 본 발명의 실시예에서 화소전극(132)의 배치 형태를 한정하는 것은 아니며, 다른 예로 화소전극(132)은 게이트 절연막(110) 상에 배치되며, 드레인 전극(144)과 일체로 형성될 수도 있다.
- [0040] 화소전극(132)은 제 1 및 제 2 화소전극(132a, 132b)을 포함할 수 있다. 여기서, 제 1 화소전극(132a)은 화소영역에서 이격 공간을 가지며 다수개로 배치될 수 있다. 제 1 화소전극(132a)은 바형태를 가질 수 있다. 이때, 제 1 화소전극(132a)은 시야각을 더욱 향상시키기 위해 꺾인 구조를 가질 수 있다. 또한, 제 2 화소전극(132b)은 다수의 제 1 화소전극(132a)들을 서로 전기적으로 연결하는 역할을 할 수 있다. 제 2 화소전극(132b)은 제 1 화소전극(132a)들과 일체로 이루어질 수 있다. 제 2 화소전극(132b)의 일부는 박막트랜지스터(Tr)의 드레인 전극(144)과 전기적으로 연결되어 있을 수 있다. 또한, 제 2 화소전극(132b)은 공통배선(103)과 절연막, 예컨대 게이트 절연막(110) 및 보호막(120)을 사이에 두고 중첩되어 스토리지 캐패시턴스를 형성할 수도 있다.
- [0041] 공통전극(136)은 보호막(120) 상에 배치될 수 있다. 여기서, 공통전극(136)은 광을 투과할 수 있는 투명한 도전체로 형성될 수 있다. 예를 들어, 공통전극(136)은 ITO 또는 IZO로 형성될 수 있다. 또는, 공통전극(136)은 MoTi, ITO와 MoTi의 이중층 및 IZO와 MoTi의 이중층 중 어느 하나로 형성될 수도 있다.
- [0042] 공통전극(136)은 제 1 및 제 2 공통전극(136a, 136b)을 포함할 수 있다. 여기서, 제 1 공통전극(136a)은 화소영역에서 이격 공간을 가지며 다수개로 배치될 수 있다. 이때, 제 1 공통전극(136a)은 제 1 화소전극(132a)과 교대로 배치될 수 있다. 이에 따라, 제 1 공통전극(136a)들은 제 1 화소전극(132a)과 같이 꺾인 구조를 가질 수 있다. 또한, 제 2 공통전극(136)은 제 1 공통전극(136a)들을 서로 전기적으로 연결시키는 역할을 할 수 있다. 여기서, 제 2 공통전극(136)은 보호막(120) 및 게이트 절연막(110)에 형성된 공통 콘택홀을 통해 공통배선과 전기적으로 연결되어 있을 수 있다.
- [0043] 본 발명의 실시예에서 공통전극(136)은 보호막 상에 배치되는 것으로 설명하였으나, 이를 한정하는 것은 아니며, 다른 예로 공통전극(136)은 기판(100) 상에 배치되며, 게이트 전극(104)과 동일한 재질로 형성될 수도 있다.
- [0044] 또한, 본 발명의 실시예에서, 액정표시장치는 서로 교대로 배치된 화소전극과 공통전극이 구비되는 것으로 설명하였으나 이에 한정되는 것은 아니며, 액정표시장치는 프린지 필드를 형성하기 위해 화소전극과 공통전극 중 어느 하나의 전극은 이격 공간을 가지며 다수개로 배치될 수 있으며, 다른 하나의 전극은 화소 영역의 전영역에 플레이트 형태로 배치될 수도 있다. 이때, 화소전극과 공통전극 사이에 절연막, 예컨대 게이트 절연막 또는 보

호막이 개재될 수 있다.

- [0045] 여기서, 화소전극(132)에 상기 박막트랜지스터(Tr)의 전기적 신호가 인가되고, 공통전극(136)에 공통전압이 인가될 경우, 제 1 공통전극(136a)과 제 1 화소전극(132a) 사이에 횡전계가 형성될 수 있다. 이때, 제 1 공통전극(136a)과 제 1 화소전극(132a) 중 적어도 어느 하나는 종래보다 작은 선폭, 예컨대 2 μ m 내지 3 μ m의 선폭을 가질 수 있다. 여기서, 종래 액정표시장치의 제 1 화소전극이나 제 1 공통전극의 선폭은 공정상의 제약 조건에 의해 3 μ m를 초과하도록 형성될 수밖에 없었다. 이에 따라, 종래와 대비하여 본원 발명의 실시예에서 제 1 공통전극(136a)이나 제 1 화소전극(132a)의 선폭을 줄일 수 있어, 액정표시장치의 광투과율을 증대시킬 수 있다.
- [0046] 도 3 내지 도 8은 본 발명의 제 2 실시예에 따른 액정표시장치 어레이 기관의 제조 공정을 설명하기 위해 도시한 단면도들이다.
- [0047] 도 3을 참조하면, 액정표시장치 어레이 기관을 제조하기 위해, 먼저 기관(100)상에 서로 교차하는 게이트 배선(101)과 데이터 배선(102), 게이트 배선(101)과 이격된 공통배선(103), 그리고 게이트 배선(101)과 데이터 배선(102)의 교차 영역, 즉 화소 영역에 박막트랜지스터(Tr)를 형성한다.
- [0048] 구체적으로, 기관(100) 상에 제 1 도전막을 형성한 후, 제 1 도전막을 일정한 형태로 패터닝하여 게이트 배선(101), 게이트 배선(101)과 연결된 게이트 전극(104), 게이트 배선(101)과 일정 간격 이격된 공통배선(103)을 형성한다.
- [0049] 이후, 게이트 전극(104), 게이트 배선(101) 및 공통배선(103)을 포함하는 기관(100) 상에 게이트 절연막(110)을 형성한다. 여기서, 게이트 절연막(110)은 산화 실리콘막 또는 질화 실리콘막으로 형성될 수 있다. 이때, 게이트 절연막(110)은 화학기상증착법을 통해 형성될 수 있다.
- [0050] 이후, 게이트 전극(104)과 대응된 게이트 절연막(110) 상에 반도체 패턴(124)을 형성한다. 여기서, 반도체 패턴(124)은 비정질 실리콘층과 불순물이 도핑된 비정질 실리콘층을 패터닝하여 형성된 활성 패턴(124a) 및 오믹 콘택 패턴(124b)을 포함할 수 있다.
- [0051] 이후, 반도체 패턴(124)을 포함한 게이트 절연막(110) 상에 제 2 도전막을 형성한 후, 제 2 도전막을 일정한 형태로 패터닝하여 게이트 배선(101)과 교차하는 데이터 배선(102), 데이터 배선(102)과 전기적으로 연결되며 반도체 패턴(124) 상에 배치된 소스 전극(134), 소스 전극(134)과 이격되며 반도체 패턴(124) 상에 배치된 드레인 전극(144)이 형성될 수 있다. 여기서, 소스 및 드레인 전극(134, 144)을 식각 마스크로 사용하여, 오믹 콘택 패턴(124b)을 식각하여 활성 패턴(124a) 상의 소스 및 드레인 전극(134, 144)의 이격 공간, 즉 활성 패턴(124a)의 채널 영역을 노출시킬 수 있다.
- [0052] 도 4를 참조하면, 게이트 배선(101), 데이터 배선(102), 공통배선(103) 및 박막트랜지스터(Tr)를 형성한 후, 게이트 배선(101), 데이터 배선(102), 공통배선(103) 및 박막트랜지스터(Tr)를 포함한 게이트 절연막(110) 상에 박막트랜지스터(Tr)의 드레인 전극(144)을 노출하는 콘택홀(121)을 갖는 보호막(120)을 형성한다.
- [0053] 여기서, 보호막(120)을 형성하기 위해, 게이트 배선(101), 데이터 배선(102), 공통배선(103) 및 박막트랜지스터(Tr)를 포함한 게이트 절연막(110) 상에 무기절연 물질을 증착하여 무기 절연막을 형성한 후, 무기 절연막을 패터닝하여 드레인 전극(144)을 노출하는 콘택홀(121)을 형성할 수 있다. 여기서, 무기절연 물질의 예로서는 질화 실리콘막 또는 산화실리콘막일 수 있다. 이때, 무기 절연막은 화학기상증착법을 통해 형성될 수 있다.
- [0054] 보호막(120)에 드레인 전극(144)을 노출하는 콘택홀(121)을 형성하는 공정에서, 도면에는 도시되지 않았으나, 보호막(120)과 게이트 절연막(110)에 공통배선(103)의 일부를 노출하는 공통 콘택홀이 더 형성될 수 있다.
- [0055] 본 발명의 실시예에서, 보호막을 무기 절연막으로 형성하는 것으로 설명하였으나, 이에 한정되는 것은 아니며, 보호막은 유기 절연막으로 형성할 수도 있다.
- [0056] 도 5를 참조하면, 콘택홀(121)을 구비한 보호막(120)을 형성한 후, 보호막(120) 상에 도전층(130)과 희생 광반사층(140)을 순차적으로 형성한다.
- [0057] 여기서, 도전층(130)은 ITO, IZO, MoTi, ITO와 MoTi의 이중층 및 IZO와 MoTi의 이중층 중 어느 하나로 형성될 수 있다. 또한, 희생 광반사층(140)은 다른 재질에 비해 높은 반사율을 갖는 재질, 예컨대 Al, AlNd 및 AlPaCu 중 어느 하나로 형성될 수 있다.

- [0058] 여기서, 도전층(130)과 희생 광반사층(140)을 형성하는 방법의 예로서는 스퍼터링법 또는 진공증착법을 들 수 있다.
- [0059] 이에 더하여, 도면에는 도시되지 않았으나, 도전층(130)과 희생 광반사층(140) 사이에 접합 보조층이 더 형성될 수 있다. 여기서, 접합 보조층은 포토 공정에서 도전층(130)으로부터 희생 광반사층(140)이 필링되는 것을 방지하는 역할을 할 수 있다. 이때, 접합 보조층은 희생 광반사층(140)과 동일한 에천트를 통해 식각되는 재질로 형성할 수 있다. 이에 따라, 접합 보조층을 형성하더라도 별도의 에천트를 준비해야 하거나 식각 공정 또는 별도의 제거 공정이 추가되는 것을 방지할 수 있다. 예컨대, 접합 보조층은 Mo로 형성될 수 있다.
- [0060] 또한, 접합 보조층은 50Å 내지 100Å의 두께 범위로 형성될 수 있다. 여기서, 접합 보조층이 50Å 미만으로 형성될 경우, 공정 상 균일한 박막을 형성하기 어려울 수 있기 때문이다. 또한, 접합 보조층이 100Å의 두께를 초과하도록 형성할 경우, 접합 보조층에 의한 식각 공정 시간이 증가될 수 있기 때문이다.
- [0061] 도전층(130)과 희생 광반사층(140)을 형성한 후, 희생 광반사층(140)상에 포토레지스트층(151)을 형성한다. 여기서, 포토레지스트층(151)은 일반적인 코팅 공정을 통해 형성될 수 있다.
- [0062] 포토레지스트층(151)을 형성한 후, 개구부(M1)와 차단부(M2)를 갖는 마스크(M)를 제공한다.
- [0063] 이후, 마스크(M)를 포함한 포토레지스트층(151) 상으로 광을 조사하는 노광 공정을 수행한다. 여기서, 광은 마스크(M)의 개구부(M1)와 대응된 포토레지스트층(151) 상으로 조사될 수 있다. 이때, 광은 희생 광반사층(140)에 의해 반사되어 마스크(M)의 차단부(M2)와 대응된 포토레지스트층(151)으로 확산될 수 있다.
- [0064] 도 6을 참조하면, 노광 공정을 수행한 후, 노광된 포토레지스트층(151)을 현상하여 포토레지스트 패턴(152)을 형성한다. 여기서, 포토레지스트 패턴(152)은 희생 광반사층(140)의 광 반사로 인해 개구부보다 작은 CD를 가지도록 형성될 수 있다.
- [0065] 도 7을 참조하면, 포토레지스트 패턴(152)을 식각 마스크로 사용하여 희생 광반사층(140)과 도전층(130)을 순차적으로 식각하여, 희생 광반사 패턴(141)과 화소전극(132) 및 공통전극(136)이 형성될 수 있다. 이때, 화소전극(132)과 공통전극(136) 상에 희생 광반사 패턴(141)이 배치된다.
- [0066] 여기서, 화소전극(132)은 제 1 및 제 2 화소전극(132a, 132b)을 포함할 수 있다. 여기서, 제 1 화소전극(132a)은 화소 영역상에 서로 이격되도록 다수개로 배치될 수 있다. 제 2 화소전극(132b)은 제 1 화소전극(132a)들을 서로 전기적으로 연결하며 박막트랜지스터(Tr)의 드레인 전극(144)과 전기적으로 접속될 수 있다. 또한, 공통전극(136)은 제 1 및 제 2 공통전극(136a, 136b)을 포함할 수 있다. 여기서, 제 1 공통전극(136a)은 제 1 화소전극(132a)과 교대로 배치되며 화소영역에 다수개로 배치될 수 있다. 제 2 공통전극(136)은 제 1 공통전극(136a)들을 서로 전기적으로 연결하며, 공통배선(103)과 전기적으로 연결될 수 있다.
- [0067] 여기서, 식각 공정은 습식 식각 공정에 의해 이루어질 수 있다. 이때, 습식 식각 공정의 특성상 희생 광반사 패턴(141)은 포토레지스트 패턴(152)에 비해 작은 CD를 가지도록 형성될 수 있다. 또한, 희생 광반사 패턴(141)을 형성한 후, 화소전극(132)과 공통전극(136)을 형성하기 위한 식각 공정을 수행함에 따라, 화소전극(132)과 공통전극(136)은 희생 광반사 패턴(141)보다 작은 CD를 가지도록 형성될 수 있다.
- [0068] 이때, 화소전극(132)과 공통전극(136)은 2 μ m 내지 3 μ m의 선폭을 가지도록 형성될 수 있다.
- [0069] 본 발명의 실시예에서, 화소전극(132)과 공통전극(136)은 동일한 마스크 공정을 통해 서로 교대로 배치되도록 형성되는 것으로 설명하였으나, 이에 한정되는 것은 아니다. 예컨대, 화소전극(132)과 공통전극(136) 중 어느 하나의 전극은 게이트 절연막(110) 상에 화소영역의 전 영역에 배치하도록 형성하고, 나머지 하나의 전극은 보호막(120) 상에 이격 간격을 가지도록 다수개 형성될 수 있다. 이에 따라, 액정표시장치는 프린지 필드를 형성할 수 있어 광 투과율을 더욱 증대시킬 수 있다. 이때, 화소영역에 이격공간을 갖는 다수개의 전극을 형성할 때, 희생 광반사층을 이용한 패터닝 공정을 통해 형성될 수 있다.
- [0070] 도 8을 참조하면, 공통전극(136) 및 화소전극(132)을 형성한 후, 포토레지스트 패턴(152)과 희생 광반사 패턴(141)을 제거한다. 여기서, 접합 보조층을 형성할 경우, 희생 광반사 패턴(141)을 제거하는 공정에서 접합 보조층도 제거될 수 있다. 이는 접합 보조층은 희생 광반사 패턴(141)과 동일한 에천트에 의해 식각될 수 있는 재질로 이루어졌기 때문이다.
- [0071] 본 발명의 실시예에서, 공통전극(136) 및 화소 전극(132)의 선폭을 미세하게 형성하기 위해 희생 광반사층(140)을 이용한 포토 공정을 수행하는 것으로 한정하여 설명하였으나, 이에 한정되는 것은 아니다. 예컨대, 희생

광반사층(140)을 이용한 포토 공정은 박막트랜지스터(Tr)와 배선, 예컨대 게이트 배선(101), 데이터 배선(102) 및 공통배선(103)을 형성하기 위한 패터닝 공정에 적용하여, 박막트랜지스터(Tr)나 배선이 미세한 선폭을 가지도록 형성될 수도 있다.

- [0072] 따라서, 본 발명의 실시예에서와 같이, 공통전극(136) 및 화소전극(132)을 형성하는 포토 공정에서 포토레지스트층(151) 하부에 희생 광반사층(140)을 구비함에 따라, 종래와 대비하여 포토레지스트 패턴(152)의 미세 패터닝이 가능해질 수 있다. 이와 더불어 포토레지스트 패턴(152)의 미세화로 인해 미세 선폭을 갖는 공통전극(136)과 화소전극(132)을 형성할 수 있다. 또한, 희생 광반사층(140)을 식각한 후, 공통전극(136)과 화소전극(132)을 식각함에 따라, 희생 광반사층(140)이 없을 때보다 포토레지스트 패턴(152)보다 더욱 작은 CD를 가지도록 형성할 수 있어, 공통전극(136)과 화소전극(132)의 선폭을 더욱 줄일 수 있다.
- [0073] 이와 같이, 종래보다 본원 발명의 실시예에 따라 형성된 화소전극(132) 및 공통전극(136)을 미세 선폭을 가질 수 있어, 액정표시장치의 광 투과율을 더욱 향상시킬 수 있다.
- [0074] 도 9 내지 도 12는 본 발명의 제 3 실시예에 따른 액정표시장치 어레이 기판의 제조 공정을 설명하기 위해 도시한 단면도들이다.
- [0075] 여기서, 희생 반사층에 엠보싱 패턴을 형성하는 것을 제외하고 앞서 설명한 제 2 실시예와 동일한 제조 공정을 포함할 수 있다. 이에 따라, 제 2 실시예와 반복된 설명은 생략하기로 한다.
- [0076] 도 9를 참조하면, 액정표시장치 어레이 기판을 제조하기 위해, 먼저 기판(100)상에 게이트 배선(101), 데이터 배선(102), 공통배선(103) 그리고 게이트 배선(101)과 데이터 배선의 교차 영역에 박막트랜지스터(Tr)를 형성한다.
- [0077] 이후, 박막트랜지스터(Tr)를 포함한 기판(100)상에 박막트랜지스터(Tr)의 드레인 전극(144)을 노출하는 콘택홀을 구비한 보호막(120)을 형성한다.
- [0078] 이후, 보호막(120) 상에 도전층(130)과 희생 광반사층(140)을 형성한다. 후술 될 마스크(M)의 차단부(M2)와 대응된 희생 광반사층(140) 상에 엠보싱 패턴(145)을 더 형성할 수 있다. 여기서, 엠보싱 패턴(145)은 수지의 패터닝 공정 또는 엠보싱 형태의 필름을 부착하여 형성할 수 있다. 엠보싱 패턴(145)을 형성하는 다른 방법으로 희생 광반사층(140)의 표면을 패터닝하여 형성할 수도 있다. 이때, 엠보싱 패턴(145)은 희생 광반사층(140)과 일체로 이루어질 수 있다.
- [0079] 본 발명의 실시예에서, 엠보싱 패턴(145)은 마스크(M)의 차단부(M2)와 대응되도록 배치하는 것으로 설명하였으나, 이에 한정되는 것은 아니며, 엠보싱 패턴(145)은 희생 광반사층(140)의 전면 상에 배치될 수도 있다.
- [0080] 도 10을 참조하면, 엠보싱 패턴(145)을 형성한 후, 엠보싱 패턴(145)을 포함한 희생 광반사층(140) 상에 포토레지스트층(151)을 형성한다.
- [0081] 이후, 포토레지스트층(151) 상에 개구부(M1)와 차단부(M2)를 갖는 마스크(M)를 제공한 후, 노광 공정을 수행한다. 노광공정에서 마스크(M)의 개구부(M1)를 통과한 광은 희생 반사층(140)에 의해 반사되어 마스크(M)의 차단부(M2)와 대응된 포토레지스트층(151)으로 광이 확산될 수 있다. 이때, 엠보싱 패턴(145)에 의해 반사광은 마스크(M)의 차단부(M2)와 대응된 영역으로 더욱 균일하게 확산될 수 있다.
- [0082] 도 11을 참조하며, 포토레지스트층(151)에 노광 공정을 진행한 후, 노광된 포토레지스트층(151)에 현상 공정을 수행하여 포토레지스트 패턴(152)을 형성한다.
- [0083] 이후, 포토레지스트 패턴(152)을 식각 마스크로 하여 희생 광반사층(140)을 식각하여 희생 광반사 패턴(141)을 형성한다. 여기서, 희생 광반사 패턴(141)을 형성하기 위한 식각 공정은 습식 식각 공정일 수 있다.
- [0084] 이후, 포토레지스트 패턴(152) 또는 희생 광반사 패턴(141)을 식각마스크로 사용하여 도전층(130)을 식각하여 제 1 및 제 2 화소전극(132a, 132b)을 포함한 화소전극(132)과 제 1 및 제 2 공통전극(136a, 136b)을 포함한 공통전극(136)을 형성할 수 있다.
- [0085] 도 12를 참조하면, 공통전극(136) 및 화소전극(132)을 형성한 후, 공통전극(136) 및 화소전극(132) 상에 배치된 포토레지스트 패턴(152)과 엠보싱 패턴(145)을 구비한 희생 광반사패턴(141)을 제거한다.
- [0086] 본 발명의 실시예에서와 같이, 희생 광반사층(140)에 마스크의 차단부와 대응된 포토레지스트층으로 광을 균일

하게 확산시킬 수 있는 엠보싱 패턴(145)을 구비함에 따라 더욱 미세한 포토레지스트 패턴(152)을 형성할 수 있다. 이에 따라, 더욱 미세한 선폭을 가진 화소전극(132) 및 공통전극(136)을 형성할 수 있다.

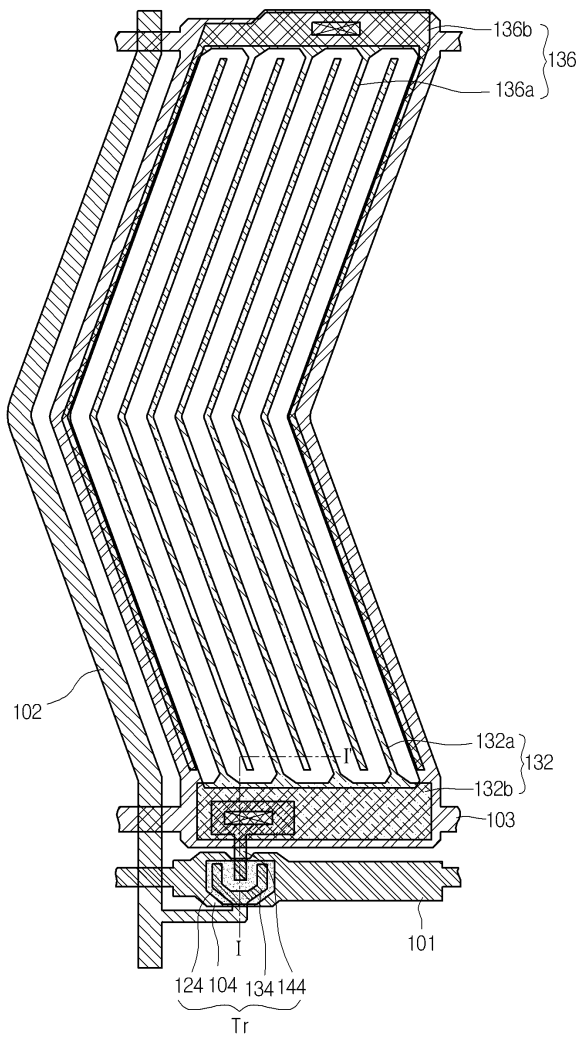
- [0087] 도 13은 비교예에 따른 포토레지스트 패턴의 측면을 보여주는 사진이다.
- [0088] 도 14 및 도 15는 실험예 1 및 2에 따른 포토레지스트 패턴의 측면을 보여주는 사진이다.
- [0089] 여기서, 비교예에 따른 포토레지스트 패턴(PR)은 기판 상에 ITO층 및 포토레지스트층을 순차적으로 형성한 후, 포토레지스트층에 노광공정 및 현상공정을 수행하여 형성할 수 있었다. 이때, 포토레지스트층은 노블락계 수지를 이용하였다. 또한, 노광 공정은 4 μ m 선폭의 개구를 갖는 마스크를 이용하였다.
- [0090] 이후, 포토레지스트 패턴(PR)을 식각마스크로 사용하여, ITO층을 패터닝하였다.
- [0091] 실험예 1은 ITO층과 포토레지스트층 사이에 희생 광반사층을 형성하는 것을 제외하고 비교예와 동일한 공정을 통해 포토레지스트 패턴(PR)을 형성하였다. 여기서, 희생 광반사층은 AlNd를 500Å의 두께로 형성하였다.
- [0092] 실험예 2는 희생 광반사층은 AlNd로 1000Å의 두께로 형성하는 것을 제외하고, 실험예 1과 동일한 공정을 통해 포토레지스트 패턴(PR)을 형성하였다.
- [0093] 도 13에서와 같이, 비교예에 따른 포토레지스트 패턴(PR)의 CD는 4 μ m이었다. 또한, ITO 패턴의 CD는 3.6 μ m이었다. 반면, 도 14에서와 같이, 실시예 1에 따른 포토레지스트 패턴(PR)의 CD는 3.3 μ m이었으며, 도 15에서와 같이, 실시예 2에 따른 포토레지스트 패턴(PR)의 CD는 3.4 μ m이었다.
- [0094] 이에 따라, 포토레지스트층 하부에 희생 광반사층을 구비할 경우에 미세 선폭을 갖는 포토레지스트 패턴(PR)을 형성할 수 있음을 확인할 수 있었다. 또한, 희생 광반사층의 두께는 포토레지스트 패턴(PR)의 CD에 큰 영향을 미치지 않는 것을 확인할 수 있었다.
- [0095] 도 16은 실험예 3에 따른 포토레지스트 패턴, Mo 패턴, AlNd 및 ITO 패턴의 측면을 보여주는 사진이다.
- [0096] 여기서, 실험예 3에서, 포토레지스트 패턴(PR)과 ITO 패턴 기판 상에 ITO층, 접합 보조층, 희생 광반사층 및 포토레지스트층을 순차적으로 형성한 후, 포토레지스트층에 노광공정 및 현상공정을 수행하여, 포토레지스트 패턴(PR)을 형성하였다. 이때, 접합 보조층은 Mo를 100Å의 두께로 형성하였다. 또한, 희생 광반사층은 AlNd를 500Å의 두께로 형성하였다. 또한, 포토레지스트층은 노블락계 수지를 이용하였다. 또한, 노광 공정은 4 μ m 선폭의 개구를 갖는 마스크를 이용하였다.
- [0097] 이후, 포토레지스트 패턴(PR)을 식각 마스크로 사용하여, ITO층, 희생 광반사층 및 포토레지스트층을 습식 식각하여, ITO 패턴, 희생 광반사 패턴을 형성할 수 있었다.
- [0098] 도 16에서와 같이, 접합 보조층을 더 구비할 경우에 3.6 μ m의 CD를 갖는 포토레지스트 패턴을 형성할 수 있었다. 이에 따라, 접합 보조층을 더 구비할 지라도, 포토레지스트 패턴의 CD를 줄이는 효과가 있었다.
- [0099] 또한, 희생 광반사 패턴, 즉 AlNd의 CD는 3 μ m이었으며, ITO 패턴의 CD는 2.6 μ m이었다. 이에 따라, 희생 광반사층을 이용한 포토공정 및 패터닝 공정을 통해 3 μ m이하의 선폭을 가진 ITO 패턴을 형성할 수 있음을 확인할 수 있었다.

부호의 설명

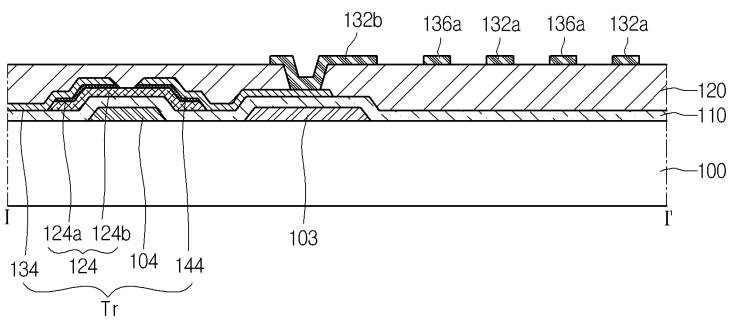
- [0100] 101 : 게이트 배선 102 : 데이터 배선
- 103 : 공통 배선 110 : 게이트 절연막
- 120 : 보호막 132 : 화소전극
- 136 : 공통전극 140 : 희생 광반사층
- 141 : 희생 광반사 패턴 145 : 엠보싱 패턴
- Tr : 박막트랜지스터

도면

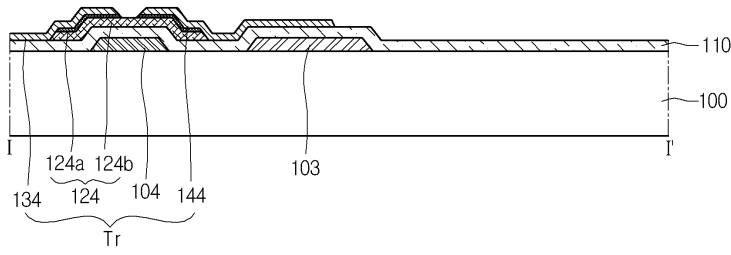
도면1



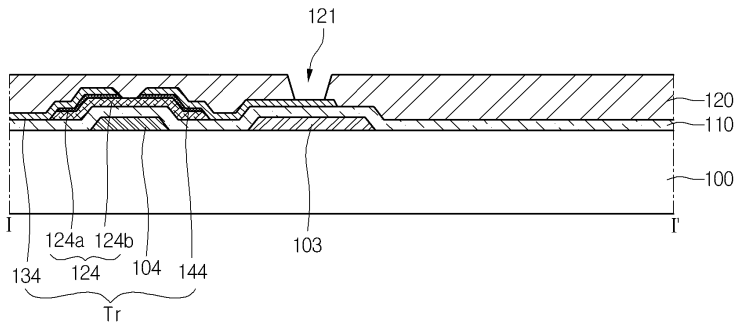
도면2



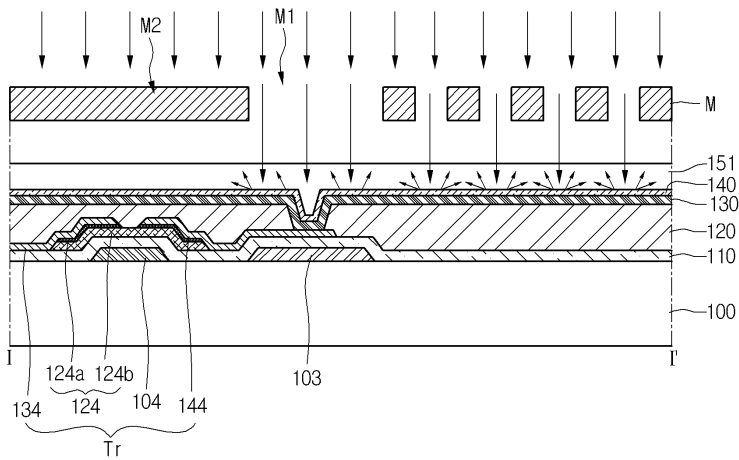
도면3



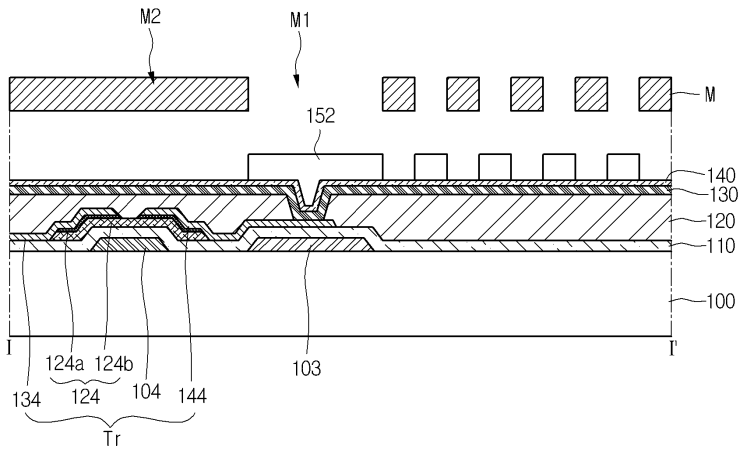
도면4



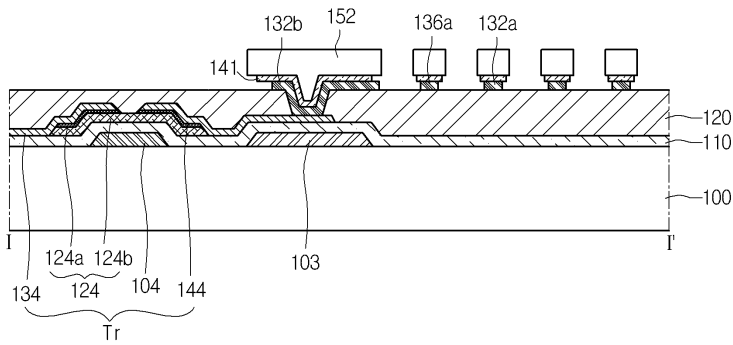
도면5



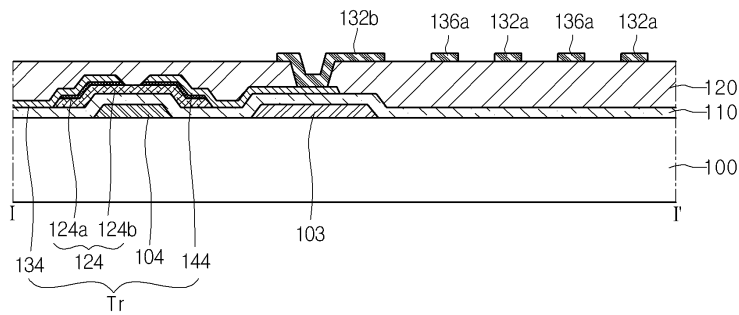
도면6



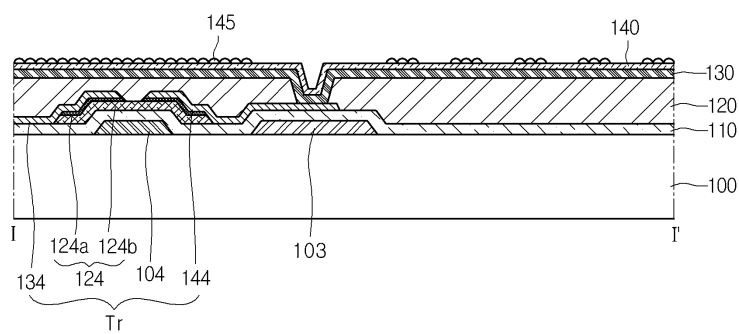
도면7



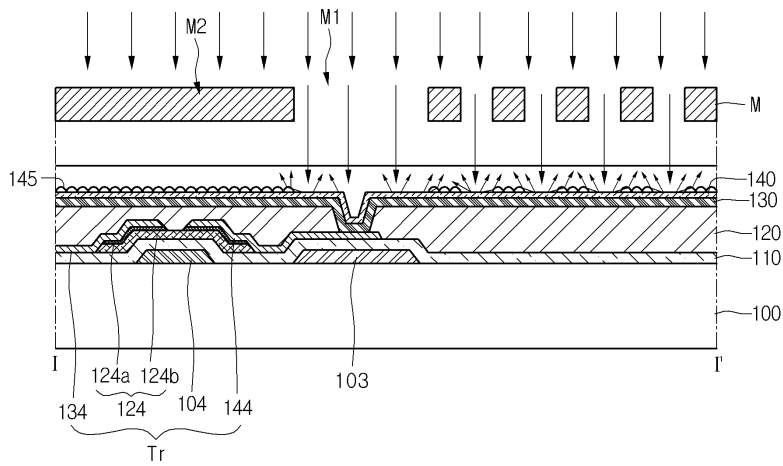
도면8



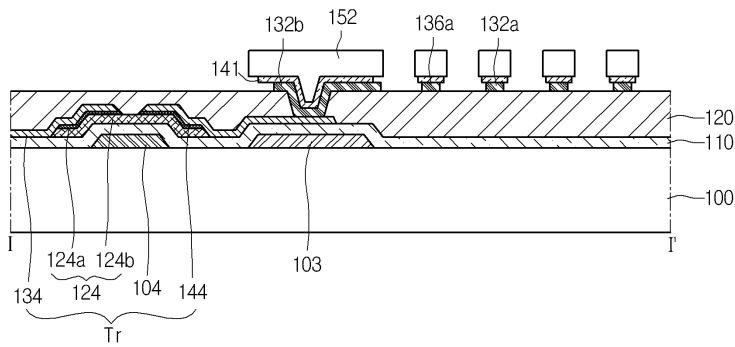
도면9



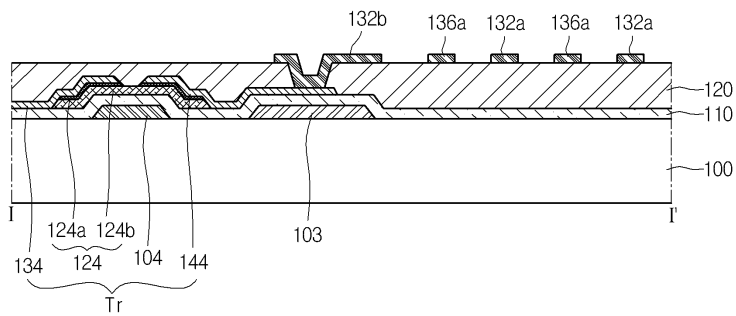
도면10



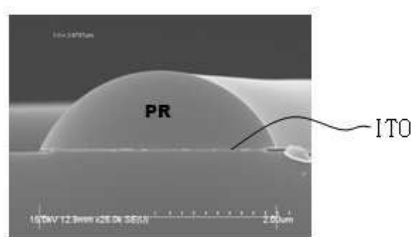
도면11



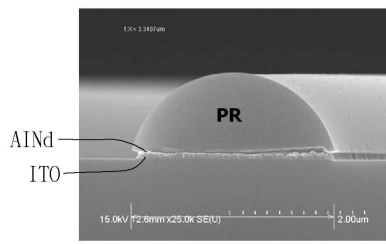
도면12



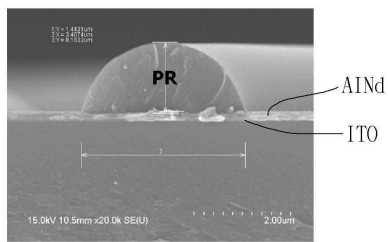
도면13



도면14



도면15



도면16

