



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0071219  
(43) 공개일자 2017년06월23일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/36* (2006.01)  
(52) CPC특허분류  
*G09G 3/3688* (2013.01)  
*G09G 2310/0297* (2013.01)  
(21) 출원번호 10-2015-0179286  
(22) 출원일자 2015년12월15일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
공충식  
경기도 파주시 월롱면 휴암로 449-1 506호  
(74) 대리인  
특허법인인벤투스

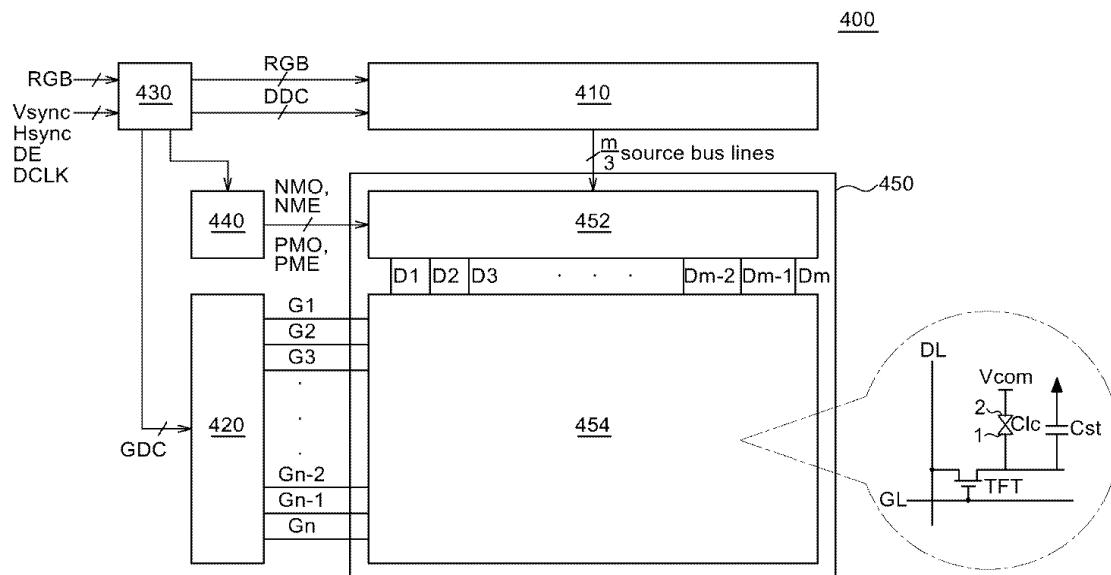
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **액정 표시 장치**

### (57) 요 약

액정 표시 장치가 제공된다. 액정 표시 장치는 복수의 데이터 라인들과 복수의 게이트라인들이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이를 포함한다. 데이터 구동회로는 복수의 데이터 라인에 데이터 전압을 출력하도록 구성된 복수의 출력 채널을 갖는다. 디스플레이 회로는 복수의 출력 채널 각각으로부터 입력되는 데이터 전압 (뒷면에 계속)

### 대 표 도



의 극성(polarity)에 대응하여 복수의 데이터 라인에 데이터 전압을 분배하는 CMOS 스위치를 갖는다. 디멕스 제어부는 데이터 전압의 극성에 대응하여 CMOS 스위치 중 일부의 활성화 여부를 제어하는 디멕스 제어펄스를 디멕스 회로에 공급한다. 디멕스 제어부는 데이터 전압의 극성에 따라 NMOS 디멕스 제어펄스 및 PMOS 디멕스 제어펄스 중 하나를 선택적으로 출력한다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 디멕스 제어부에서 데이터 전압의 극성에 대응하여 선택적으로 공급되는 디멕스 제어펄스를 통해 디멕스 회로에서 소비되는 전력이 크게 감소될 수 있다.

(52) CPC특허분류

G09G 2330/021 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 데이터 라인과 복수의 게이트라인이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이;

상기 복수의 데이터 라인에 데이터 전압을 출력하도록 구성된 복수의 출력 채널을 갖는 데이터 구동회로;

상기 복수의 출력 채널 각각으로부터 입력되는 상기 데이터 전압의 극성(polarity)에 대응하여 상기 복수의 데이터 라인에 상기 데이터 전압을 분배하는 CMOS 스위치를 갖는 디믹스(DeMUX) 회로; 및

상기 데이터 전압의 극성에 대응하여 상기 CMOS 스위치 중 일부의 활성화 여부를 제어하는 디믹스 제어펄스를 상기 디믹스 회로에 공급하는 디믹스 제어부를 포함하고,

상기 디믹스 제어부는 상기 데이터 전압의 극성에 따라 NMOS 디믹스 제어펄스 및 PMOS 디믹스 제어펄스 중 하나를 선택적으로 출력하는, 액정 표시 장치.

#### 청구항 2

제1항에 있어서,

상기 CMOS 스위치는 트랜스미션 게이트(transmission gate) 스위치인, 액정 표시 장치.

#### 청구항 3

제1항에 있어서,

상기 디믹스 회로는 상기 복수의 출력 채널 각각으로부터 입력된 상기 데이터 전압을 3개의 데이터 라인으로 분배하는, 액정 표시 장치.

#### 청구항 4

제1항에 있어서,

상기 복수의 출력 채널 각각은 1 프레임마다 상이한 극성을 갖는 데이터 전압을 출력하는, 액정 표시 장치.

#### 청구항 5

제1항에 있어서,

상기 복수의 출력 채널 중 하나의 출력 채널에서 출력되는 데이터 전압의 극성은 상기 하나의 출력 채널에 인접한 출력 채널에서 출력되는 데이터 전압의 극성과 상이한, 액정 표시 장치.

#### 청구항 6

제1항에 있어서,

상기 출력 채널로부터 입력된 상기 데이터 전압이 기수(odd) 전압인 경우, 상기 디믹스 제어부는 상기 PMOS 디믹스 제어펄스를 출력하고,

상기 출력 채널로부터 입력된 상기 데이터 전압이 우수(even) 전압인 경우, 상기 디믹스 제어부는 상기 NMOS 디믹스 제어펄스를 출력하는, 액정 표시 장치.

#### 청구항 7

적색 서브화소, 녹색 서브화소 및 청색 서브화소로 이루어진 복수의 화소가 배치된 액정 표시 패널;

상기 복수의 화소마다 데이터 전압을 공급하는 데이터 구동회로;

상기 적색 서브화소, 상기 녹색 서브화소 및 상기 청색 서브화소 각각에 상기 데이터 전압을 분배하는 디믹스

회로; 및

상기 디믹스 회로가 상기 데이터 전압을 분배하는 동작을 제어하는 디믹스 제어부를 포함하고,

상기 디믹스 회로는,

상기 적색 서브화소에 연결된 적색 서브화소 데이터 라인, 상기 녹색 서브화소에 연결된 녹색 서브화소 데이터 라인 및 상기 청색 서브화소에 연결된 청색 서브화소 데이터 라인 각각에 연결되고, NMOS 스위치 및 PMOS 스위치로 이루어진 트랜스미션 게이트 스위치;

상기 NMOS 스위치의 게이트에 연결된 NMOS 디믹스 제어라인; 및

상기 PMOS 스위치의 게이트에 연결된 PMOS 디믹스 제어라인을 포함하고,

상기 디믹스 제어부는,

1. 브레이크마다 상기 복수의 화소에 인가되는 상기 데이터 전압의 극성이 반전됨에 따라, 상기 NMOS 스위치 및 상기 PMOS 스위치 중 하나를 선택적으로 활성화시키는, 액정 표시 장치.

#### 청구항 8

제7항에 있어서,

상기 데이터 전압이 기수전압인 경우, 상기 PMOS 디믹스 제어라인을 통해 상기 디믹스 회로에 PMOS 디믹스 제어펄스가 인가되는, 액정 표시 장치.

#### 청구항 9

제8항에 있어서,

상기 PMOS 디믹스 제어라인은,

상기 적색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 PMOS 스위치에 연결된 적색 PMOS 디믹스 제어라인;

상기 녹색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 PMOS 스위치에 연결된 녹색 PMOS 디믹스 제어라인; 및

상기 청색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 PMOS 스위치에 연결된 청색 PMOS 디믹스 제어라인을 포함하는, 액정 표시 장치.

#### 청구항 10

제9항에 있어서,

상기 PMOS 디믹스 제어펄스는,

상기 적색 PMOS 디믹스 제어라인에 인가되는 적색 PMOS 디믹스 제어펄스;

상기 녹색 PMOS 디믹스 제어라인에 인가되는 녹색 PMOS 디믹스 제어펄스; 및

상기 청색 PMOS 디믹스 제어라인에 인가되는 청색 PMOS 디믹스 제어펄스를 포함하고,

상기 적색 PMOS 디믹스 제어펄스, 상기 녹색 PMOS 디믹스 제어펄스 및 상기 청색 PMOS 디믹스 제어펄스 각각은 상기 적색 PMOS 디믹스 제어라인, 상기 녹색 PMOS 디믹스 제어라인 및 상기 청색 PMOS 디믹스 제어라인에 각각 시분할되어 인가되는, 액정 표시 장치.

#### 청구항 11

제7항에 있어서,

상기 데이터 전압이 우수전압인 경우, 상기 NMOS 디믹스 제어라인을 통해 상기 디믹스 회로에 NMOS 디믹스 제어펄스가 인가되는, 액정 표시 장치.

#### 청구항 12

제11항에 있어서,

상기 NMOS 디믹스 제어라인은,

상기 적색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 NMOS 스위치에 연결된 적색 NMOS 디믹스 제어라인;

상기 녹색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 NMOS 스위치에 연결된 녹색 NMOS 디믹스 제어라인; 및

상기 청색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 NMOS 스위치에 연결된 청색 NMOS 디믹스 제어라인을 포함하는, 액정 표시 장치.

### 청구항 13

제12항에 있어서,

상기 NMOS 디믹스 제어펄스는,

상기 적색 NMOS 디믹스 제어라인에 인가되는 적색 NMOS 디믹스 제어펄스;

상기 녹색 NMOS 디믹스 제어라인에 인가되는 녹색 NMOS 디믹스 제어펄스; 및

상기 청색 NMOS 디믹스 제어라인에 인가되는 청색 NMOS 디믹스 제어펄스를 포함하고,

상기 적색 NMOS 디믹스 제어펄스, 상기 녹색 NMOS 디믹스 제어펄스 및 상기 청색 NMOS 디믹스 제어펄스 각각은 상기 적색 NMOS 디믹스 제어라인, 상기 녹색 NMOS 디믹스 제어라인 및 상기 청색 NMOS 디믹스 제어라인에 각각 시분할되어 인가되는, 액정 표시 장치.

## 발명의 설명

### 기술 분야

[0001]

본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 CMOS 스위치를 이용하여 디멀티플렉서 (demultiplexer)에서의 소비전력을 저감시킬 수 있는 액정 표시 장치에 관한 것이다.

### 배경 기술

[0002]

액정 표시 장치(Liquid Crystal Display; LCD)는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 구체적으로, 액정 표시 장치는 복수의 액정 셀들이 매트릭스 형태로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 포함한다. 또한, 액정 표시 패널에서 액정 셀마다 전계 생성 전극이 각각 형성되어 있는 상부기판과 하부기판이 서로 대향되게 배치되고, 두 기판 사이에 광 투과율을 조절하기 위한 액정층이 형성된다.

[0003]

도 1은 액정 표시 패널에 형성된 화소의 등가 회로도이다. 도 2는 데이터 구동회로의 출력 채널들이 종래 디믹스 회로를 통해 데이터 라인들에 1:3으로 접속되는 예시를 나타내는 개략적인 회로도이다. 도 3은 도 2에 도시된 종래 디믹스 회로를 구동하기 위한 디믹스 제어펄스들의 구동 타이밍을 나타내는 파형도이다. 이하, 도 1 내지 도 3을 참조하여 액정 표시 장치의 구동 방식에 대하여 설명한다.

[0004]

액정 표시 패널에서 액정 셀(C1c)은 각각 게이트라인(GL) 및 데이터 라인(DL)이 교차하는 지점에 배치된다. 구체적으로, 도 1에서 보는 바와 같이 게이트라인(GL)과 데이터 라인(DL)이 교차되고 그 게이트라인(GL)과 데이터 라인(DL)의 교차부에 액정 셀(C1c)을 구동하기 위한 박막트랜지스터(Thin Film Transistor; TFT, 이하 "TFT"라 함)가 형성된다. TFT는 게이트라인(GL)을 통해 공급되는 스캔펄스(SP)에 응답하여 데이터 라인을 통해 공급되는 데이터 전압(Vd)을 액정 셀(C1c)의 화소전극(Ep)에 공급한다. TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터 라인(DL)에 접속되며, 드레인전극은 액정 셀(C1c)의 화소전극(Ep)에 접속된다. 액정 셀(C1c)은 화소전극(Ep)에 공급되는 데이터 전압(Vd)과 공통전극(Ec)에 공급되는 공통전압(Vcom)의 전위차에 따라 계조를 표시한다. 공통전극(Ec)은 액정 셀(C1c)에 전계를 인가하는 방식에 따라 액정 표시 패널의 상부 유리기판 또는 하부 유리기판에 형성된다. 스토리지 커패시터(Storage Capacitor; Cst)는 액정 셀(C1c)의 충전 전압을 유지시키기 위해 공통전극(Ec)과 액정 셀(C1c)의 화소전극(Ep) 사이에 배치된다.

- [0005] 액정 표시 장치에서 구동회로는 액정셀(Clc)에 필요한 신호를 인가하여 액정 표시 패널(250)에서 액정층의 광 투과율을 조절하고, 액정 표시 패널(250)의 동작을 제어한다. 이러한 구동회로는 액정 표시 패널(250)의 게이트 라인(GL)에 인가되는 신호를 공급하는 게이트 구동회로 및 액정 표시 패널(250)의 데이터 라인(DL)에 인가되는 신호를 공급하는 데이터 구동회로(210)를 포함한다. 여기서, 데이터 구동회로(210)는 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 액정 표시 패널(250)의 데이터 라인(DL)들에 공급한다.
- [0006] 최근에, 고해상도로 구현된 액정 표시 패널에 대한 요구가 커지고 있다. 그런데, 고해상도 액정 표시 패널은 기존 액정 표시 패널(250) 대비 매우 많은 수의 데이터 라인(DL)들을 필요로 한다. 또한, 이에 대응하는 데이터 구동회로(210)의 출력 채널들 역시 크게 증가하게 되어 고가의 데이터 구동회로가 요구 된다. 그리하여, 데이터 구동회로(210)의 출력 채널들과 액정 표시 패널의 데이터 라인들을 1:2, 1:3, 1:4, 1:5 또는 그 이상의 비율로 접속시켜 데이터 구동회로(210)의 출력 채널수를 줄이기 위한 시도가 계속적으로 이뤄지고 있다.
- [0007] 도 2를 참조하면, 데이터 구동회로(210)의 출력 채널수를 줄이기 위해 디믹스 회로(252)가 데이터 구동회로(210)의 출력 채널들(S1, S2, S3)을 복수의 데이터 라인들(D1-D9)에 연결하도록 구성된다. 디믹스 회로(252)는 1개의 출력 채널을 통해 출력되는 데이터 전압을 시분할하여 3개의 데이터 라인들에 분배한다. 즉, 데이터 구동회로(210)의 출력 채널들(S1, S2, S3)은 각 출력 채널마다 3개의 NMOS 스위치를 사용하는 디믹스 회로(252)를 통해 데이터 라인들(D1-D9)에 1:3으로 접속된다. 데이터 구동회로(210) 내에서의 시분할 동작은, 디믹스 제어펄스들(NM\_R, NM\_G, NM\_B)에 의해 순차적으로 턴 온 되는 디믹스 스위치들(NMTR, NMTG, NMTB)에 의해 이루어진다.
- [0008] 도 3을 참조하면, 'Vdata'는 데이터 라인에 입력되는 데이터 전압으로서, 데이터 구동회로(210)의 출력 채널로부터 전달되는 데이터 출력 신호를 지시한다. Vdata는 데이터신호의 계조 표현을 위해 1 수평기간(1H)동안 크기가 다른 전압으로 표현될 수 있다. 예를 들어, 256계조를 표현하는 액정 표시 장치에서, 흰색을 나타내는 Vdata는 접지(GND)를 기준으로 +5V이고, 검은색을 나타내는 Vdata는 접지(GND)와 동일한 전압을 나타낼 수 있다.
- [0009] 또한, 디믹스 제어펄스들(NM\_R, NM\_G, NM\_B)은 1 수평기간(1H) 내에서 순차적이며 서로 비중첩되도록 발생된다. 그리고, 디믹스 제어펄스들(NM\_R, NM\_G, NM\_B) 각각의 발생 주기는 대략 1 수평기간(1H)이다.
- [0010] 한편, 디믹스 제어펄스들(NM\_R, NM\_G, NM\_B)은 VGL부터 VGH까지 펄스 신호로 나타난다. 예를 들어, 디믹스 제어펄스들(NM\_R, NM\_G, NM\_B)은 -7.5V인 저전위 전압으로부터 +11.5V인 고전위 전압에 이르는 펄스 신호로 스윙(Swing)한다. 이에, 흰색을 나타내는 Vdata에 의한 디믹스 회로의 소비전력은 Vdata의 극성(polarity)에 따라 6.5V의 제곱 또는 16.5V의 제곱에 비례한다.
- [0011] 이에 따라, NMOS 스위치를 사용하는 디믹스 회로(250)에서는 Vdata의 극성에 따라 소비전력이 상이해지고, VGL 및 VGH를 사용하여 소비전력이 커지는 문제점이 있다. PMOS 스위치를 사용하는 디믹스 회로도 NMOS 스위치를 사용하는 디믹스 회로와 유사한 문제점이 존재한다.
- [0012] 이에, 상술한 문제를 해결하기 위해, 소비전력을 크게 저감할 수 있는 디믹스 회로를 포함하는 액정 표시 장치에 대한 필요성이 존재한다.
- [0013] [관련기술문헌]
- [0014] 1. 유기전계발광 표시장치 (한국공개특허번호 제10-2015-0100981호)

## 발명의 내용

### 해결하려는 과제

- [0015] 본 발명의 발명자들은 상술한 바와 같이 데이터 구동회로의 출력 채널수 및 크기를 줄이기 위해 사용하는 디믹스 회로가 큰 소비전력을 발생시키는 문제점을 해결하기 위해, CMOS 스위치를 포함하는 디믹스 회로 및 데이터 신호의 극성에 따라 CMOS 스위치의 일부만 구동시키는 디믹스 제어펄스를 발생하는 디믹스 제어부를 포함하는 액정 표시 장치의 새로운 구조를 발명하였다.
- [0016] 이에, 본 발명이 해결하고자 하는 과제는 디믹스 제어펄스와 데이터신호 사이의 스윙(swing) 폭을 감소시켜 디믹스 회로에서 발생하는 소비전력을 현저하게 감소시킬 수 있는 액정 표시 장치를 제공하는 것이다.
- [0017] 또한, 본 발명이 해결하고자 하는 다른 과제는 데이터신호의 극성에 따라 화소의 충전에 유리한 MOS 스위치만 선택적으로 구동시켜 디믹스 회로의 구동 효율을 극대화할 수 있는 액정 표시 장치를 제공하는 것이다.

[0018] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

- [0019] 본 발명의 일 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 복수의 데이터 라인들과 복수의 계이트라인들이 교차되고, 교차된 영역마다 화소가 배치된 화소 어레이를 포함한다. 데이터 구동회로는 복수의 데이터 라인에 데이터 전압을 출력하도록 구성된 복수의 출력 채널을 갖는다. 디믹스 회로는 복수의 출력 채널 각각으로부터 입력되는 데이터 전압의 극성(polarity)에 대응하여 복수의 데이터 라인에 데이터 전압을 분배하는 CMOS 스위치를 갖는다. 디믹스 제어부는 데이터 전압의 극성에 대응하여 CMOS 스위치 중 일부의 활성화 여부를 제어하는 디믹스 제어펄스를 디믹스 회로에 공급한다. 디믹스 제어부는 데이터 전압의 극성에 따라 NMOS 디믹스 제어펄스 및 PMOS 디믹스 제어펄스 중 하나를 선택적으로 출력한다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 디믹스 제어부에서 데이터 전압의 극성에 대응하여 선택적으로 공급되는 디믹스 제어펄스를 통해 디믹스 회로에서 소비되는 전력이 크게 감소될 수 있다.
- [0020] CMOS 스위치는 트랜스미션 게이트(transmission gate) 스위치일 수 있다.
- [0021] 디믹스 회로는 복수의 출력 채널 각각으로부터 입력된 데이터 전압을 3개의 데이터 라인으로 분배한다.
- [0022] 복수의 출력 채널 각각은 1 프레임마다 상이한 극성을 갖는 데이터 전압을 출력한다.
- [0023] 복수의 출력 채널 중 하나의 출력 채널에서 출력되는 데이터 전압의 극성은 하나의 출력 채널에 인접한 출력 채널에서 출력되는 데이터 전압의 극성과 상이하다.
- [0024] 출력 채널로부터 입력된 데이터 전압이 기수(odd) 전압인 경우, 디믹스 제어부는 PMOS 디믹스 제어펄스를 출력하고, 출력 채널로부터 입력된 데이터 전압이 우수(even) 전압인 경우, 디믹스 제어부는 NMOS 디믹스 제어펄스를 출력한다.
- [0025] 본 발명의 다른 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 적색 서브화소, 녹색 서브화소 및 청색 서브화소로 이루어진 화소를 포함하는 액정 표시 패널을 포함한다. 데이터 구동회로는 화소마다 데이터 전압을 공급한다. 디믹스 회로는 적색 서브화소, 녹색 서브화소 및 청색 서브화소에 각각 데이터 전압을 분배한다. 디믹스 회로가 데이터 전압을 분배하는 동작을 제어하는 디믹스 제어부를 포함한다. 디믹스 회로는 적색 서브화소에 연결된 적색 서브화소 데이터 라인, 녹색 서브화소에 연결된 녹색 서브화소 데이터 라인 및 청색 서브화소에 연결된 청색 서브화소 데이터 라인 각각에 연결되고, NMOS 스위치 및 PMOS 스위치로 이루어진 트랜스미션 게이트 스위치를 포함한다. NMOS 디믹스 제어라인은 NMOS 스위치의 게이트에 연결된다. PMOS 디믹스 제어라인은 PMOS 스위치의 게이트에 연결된다. 디믹스 제어부는 1 프레임마다 복수의 화소에 인가되는 데이터 전압의 극성이 반전됨에 따라, NMOS 스위치 및 PMOS 스위치 중 하나를 선택적으로 활성화시킨다. 본 발명의 다른 실시예에 따른 액정 표시 장치에 의해 불필요한 디믹스 제어펄스를 발생시키지 않음으로써 디믹스 회로의 소비전력을 크게 저감시킬 수 있다.
- [0026] 데이터 전압이 기수전압인 경우, PMOS 디믹스 제어라인을 통해 디믹스 회로에 PMOS 디믹스 제어펄스가 인가된다.
- [0027] PMOS 디믹스 제어라인은, 적색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 PMOS 스위치에 연결된 적색 PMOS 디믹스 제어라인, 녹색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 PMOS 스위치에 연결된 녹색 PMOS 디믹스 제어라인, 및 청색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 PMOS 스위치에 연결된 청색 PMOS 디믹스 제어라인을 포함한다.
- [0028] PMOS 디믹스 제어펄스는, 적색 PMOS 디믹스 제어라인에 인가되는 적색 PMOS 디믹스 제어펄스, 녹색 PMOS 디믹스 제어라인에 인가되는 녹색 PMOS 디믹스 제어펄스, 및 청색 PMOS 디믹스 제어라인에 인가되는 청색 PMOS 디믹스 제어펄스를 포함하고, 적색 PMOS 디믹스 제어펄스, 녹색 PMOS 디믹스 제어펄스 및 청색 PMOS 디믹스 제어펄스 각각은 적색 PMOS 디믹스 제어라인, 녹색 PMOS 디믹스 제어라인 및 청색 PMOS 디믹스 제어라인에 각각 시분할되어 인가된다.
- [0029] 데이터 전압이 우수전압인 경우, NMOS 디믹스 제어라인을 통해 디믹스 회로에 NMOS 디믹스 제어펄스가 인가된다.
- [0030] NMOS 디믹스 제어라인은, 적색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 NMOS 스위치에 연결

된 적색 NMOS 디렉스 제어라인, 녹색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 NMOS 스위치에 연결된 녹색 NMOS 디렉스 제어라인, 및 청색 서브화소 데이터 라인에 연결된 트랜스미션 게이트 스위치의 NMOS 스위치에 연결된 청색 NMOS 디렉스 제어라인을 포함한다.

[0031] NMOS 디렉스 제어펄스는, 적색 NMOS 디렉스 제어라인에 인가되는 적색 NMOS 디렉스 제어펄스, 녹색 NMOS 디렉스 제어라인에 인가되는 녹색 NMOS 디렉스 제어펄스, 및 청색 NMOS 디렉스 제어라인에 인가되는 청색 NMOS 디렉스 제어펄스를 포함하고, 적색 NMOS 디렉스 제어펄스, 녹색 NMOS 디렉스 제어펄스 및 청색 NMOS 디렉스 제어펄스 각각은 적색 NMOS 디렉스 제어라인, 녹색 NMOS 디렉스 제어라인 및 청색 NMOS 디렉스 제어라인에 각각 시분할되어 인가된다.

[0032] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

### 발명의 효과

[0033] 본 발명은 데이터신호의 극성에 따라 디렉스 회로의 CMOS 스위치를 선택적으로 구동시킬 수 있는 디렉스 제어부를 포함하여 효율적으로 디렉스 회로를 제어할 수 있는 액정 표시 장치를 제작할 수 있다.

[0034] 또한, 본 발명은 디렉스 제어펄스와 데이터신호 사이의 전압차를 최소화하고 불필요한 디렉스 제어펄스를 발생시키지 않음으로써 디렉스 회로의 소비전력을 크게 저감시킬 수 있는 액정 표시 장치를 제작할 수 있다.

[0035] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

### 도면의 간단한 설명

[0036] 도 1은 액정 표시 패널에 형성된 화소의 등가 회로도이다.

도 2는 데이터 구동회로의 출력 채널들이 종래 디렉스 회로를 통해 데이터 라인들에 1:3으로 접속되는 예시를 나타내는 개략적인 회로도이다.

도 3은 도 2에 도시된 종래 디렉스 회로를 구동하기 위한 디렉스 제어펄스들의 구동 타이밍을 나타내는 과정도이다.

도 4는 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

도 5는 본 발명의 일 실시예에 따라 데이터 구동회로, 디렉스 회로, 디렉스 제어라인 및 액정 표시 패널 사이의 접속 관계를 보여주는 회로도이다.

도 6은 본 발명의 일 실시예에 따라 기수 프레임 동안 디렉스 제어라인에 공급되는 디렉스 제어펄스들의 구동 타이밍을 나타내는 과정도이다.

도 7은 본 발명의 일 실시예에 따라 우수 프레임 동안 디렉스 제어라인에 공급되는 디렉스 제어펄스들의 구동 타이밍을 나타내는 과정도이다.

도 8은 본 발명의 다른 실시예에 따라 데이터 구동회로, 디렉스 회로, 디렉스 제어라인 및 액정 표시 패널 사이의 접속 관계를 보여주는 회로도이다.

도 9는 종래기술 및 본 발명의 일 실시예에 따른 디렉스 회로에 인가되는 디렉스 제어펄스 및 데이터 전압의 과정도이다.

도 10은 종래기술 및 본 발명의 일 실시예에 따른 디렉스 회로의 소비전력 및 특성을 비교한 표이다.

### 발명을 실시하기 위한 구체적인 내용

[0037] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0038] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발

명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0039] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0040] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0041] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0042] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0043] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0044] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0045] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0046] 이하, 도 4 내지 도 8을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0047] 도 4는 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다. 도 4를 참조하면, 액정 표시 장치(400)는 데이터 구동회로(410), 게이트 구동회로(420), 타이밍 제어부(430), 디믹스 제어부(440) 및 액정 표시 패널(450)을 포함한다.

[0048] 도 4를 참조하면, 액정 표시 패널(450)은 디믹스 회로(452) 및 화소 어레이(454)를 포함한다.

[0049] 액정 표시 패널(450)의 화소 어레이(454)는 복수의 화소를 포함한다. 도 4를 참조하면, 각각의 액정셀(Cl<sub>c</sub>)마다 서로 대향하는 기판 사이에 액정분자들이 배치되고, 각각의 액정셀(Cl<sub>c</sub>)은 화소 어레이(454)에서 하나의 화소를 구성한다.

[0050] 도 4를 참조하면, 화소 어레이(454)에는 데이터 라인들(D<sub>1</sub> 내지 D<sub>m</sub>)과 게이트라인들(G<sub>1</sub> 내지 G<sub>n</sub>)의 교차 구조에 의해 매트릭스 형태로  $m \times n$  ( $m, n$ 은 양의 정수)개의 액정셀들(Cl<sub>c</sub>)이 배치된다. 구체적으로, 액정 표시 패널(450)의 하부 기판에는  $m$ 개의 데이터 라인들(D<sub>1</sub> 내지 D<sub>m</sub>),  $n$ 개의 게이트라인들(G<sub>1</sub> 내지 G<sub>n</sub>), 데이터 라인과 게이트라인에 연결된 TFT들, TFT들에 각각 접속된 액정셀(Cl<sub>c</sub>)의 화소전극(1), 및 스토리지 커패시터(Cst)를 포함한 화소 어레이(454)가 형성된다. 액정 표시 패널(450)의 상부 기판에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 몇몇 실시예에서 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 기판 상에 형성될 수 있다.

[0051] 또한, 일반적으로 액정 표시 패널(450)의 상부 기판과 하부 기판 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.

[0052] 도 4를 참조하면, 디믹스 회로(452)는  $m/3$ 개의 소스 버스 라인들과  $m$ 개의 데이터 라인들(D<sub>1</sub> 내지 D<sub>m</sub>)을 연결하도록 구성될 수 있다. 즉, 디믹스 회로(452)는 1개의 소스 버스 라인에 3개의 데이터 라인들이 접속되도록 구성된다. 이에 따라, 디믹스 회로(452)는 소스 버스 라인들로부터 입력되는 데이터 전압을 시분할하여 1:3의 비율로 데이터 라인들(D<sub>1</sub> 내지 D<sub>m</sub>)에 분배한다. 몇몇 실시예에서 디믹스 회로(452)에서 소스 버스 라인들과 데이터 라인들이 접속되는 비율은 상이해질 수 있다.

[0053] 디믹스 회로(452)는 소스 버스 라인들과 데이터 라인들을 연결하고 데이터 라인들에 공급되는 신호를 제어할 수

있는 스위치를 포함한다. 예를 들어, 디믹스 회로(452)는 CMOS 스위치를 포함한다. 바람직하게 디믹스 회로(452)에서 CMOS 스위치는 트랜스미션 게이트(transmission gate) 스위치이다.

[0054] 디믹스 회로(452) 내에서 소스 버스 라인들과 데이터 라인들이 스위치를 통해 접속되는 구체적인 구성에 대해서는 도 5 및 도 7을 참조하여 후술한다.

[0055] 도 4를 참조하면, 데이터 구동회로(410)는 화소마다 데이터 전압을 출력하도록 구성된다. 데이터 구동회로(410)는 타이밍 제어부(430) 및 디믹스 회로(452)와 연결된다. 데이터 구동회로(410)는 소스 버스 라인들 각각에 연결되는 출력 채널들을 포함한다. 즉, 데이터 구동회로(410)는 복수의 출력 채널들 각각에 소스 버스 라인들이 연결되고, 소스 버스 라인들을 통해 디믹스 회로(452)에 신호를 공급한다.

[0056] 이에 따라, 데이터 구동회로(410)는 타이밍 제어부(430)로부터 받은 데이터를 변환하여 디믹스 회로(452)로 공급한다. 구체적으로, 데이터 구동회로(410)는 타이밍 제어부(430)로부터 입력되는 디지털 비디오 데이터(R, G, B)를 아날로그 데이터 전압으로 변환한다. 데이터 구동회로(410)는 아날로그 데이터 전압을  $m/3$  개의 출력 채널들을 통해  $m/3$  개의 소스 버스 라인들에 공급한다. 본 발명의 실시예에서는 출력 채널들 및 소스 버스 라인들이 각각  $m/3$  개인 경우에 한해 설명하고 있으나, 몇몇 실시예에서 출력 채널들 및 소스 버스 라인들의 수는 소스 버스 라인들과 데이터 라인들이 접속되는 비율에 따라 상이해질 수 있다.

[0057] 게이트 구동회로(420)는 스캔 펄스를 순차적으로 발생하는 쉬프트 레지스터(shift register) 및 스캔 펄스의 전압을 액정셀의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터(level shifter)를 포함한다. 게이트 구동회로(420)의 쉬프트 레지스터는 액정 표시 패널(450)에서 화소 어레이(454)를 둘러싸는 비 표시영역에 직접 형성될 수 있다. 레벨 쉬프터는 타이밍 제어부(430)와 함께 인쇄회로기판(미도시)에 실장될 수 있다.

[0058] 게이트 구동회로(420)는 타이밍 제어부(430)의 제어를 통해 일정 기간(예를 들어, 1 수평기간(H))의 펄스폭을 갖는 스캔 펄스를 발생한다. 게이트 구동회로(420)는 쉬프트 레지스터를 통해 스캔 펄스를 일정 기간 간격을 갖고 순차적으로  $n$ 개의 게이트라인들 각각에 공급한다.

[0059] 도 4를 참조하면, 게이트 구동회로(420)는 타이밍 제어부(430) 및 화소 어레이(454)와 연결된다. 구체적으로, 게이트 구동회로(420)는  $n$ 개의 게이트라인들(G1, G2, G3, G4, ..., Gn-1, Gn)을 통해 화소 어레이(454)와 연결된다. 이에 따라, 게이트 구동회로(420)는 화소 어레이(454)에 연결된  $n$ 개의 게이트라인들 각각에 일정 기간마다 쉬프트된 스캔 펄스를 공급하고, 하나의 게이트라인에 공급된 스캔 펄스는 게이트라인에 연결된 화소마다 배치된 TFT를 구동한다. 즉, 게이트 구동회로(420)는 게이트라인들에 각각 시분할하여 스캔 펄스 신호를 공급하여 데이터 전압이 공급되는 화소를 구동시킨다.

[0060] 도 4를 참조하면, 타이밍 제어부(430)는 데이터 구동회로(410), 게이트 구동회로(420) 및 디믹스 제어부(440)와 연결된다. 이에 따라, 타이밍 제어부(430)는 시스템(미도시)으로부터 입력되는 디지털 비디오 데이터(RGB)를 데이터 구동회로(410)에 공급한다.

[0061] 또한, 타이밍 제어부(430)는 시스템(미도시)으로부터 공급되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(DE) 및 클럭신호(DCLK) 등을 이용하여 데이터 구동회로(410), 게이트 구동회로(420) 및 디믹스 제어부(440)의 동작 타이밍을 제어한다. 즉, 타이밍 제어부(430)는 데이터 구동회로(410)를 제어하기 위한 데이터 제어신호(DDC) 및 게이트 구동회로(420)를 제어하기 위한 게이트 제어신호(GDC)를 생성할 수 있다.

[0062] 이에 따라, 타이밍 제어부(430)는 데이터 구동회로(410)를 제어하기 위한 데이터 제어신호(DDC)를 데이터 구동회로(410)에 공급한다. 여기서, 데이터 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse; SSP), 소스 쉬프트 클럭(Source Shift Clock; SSC), 소스 출력 인이에이블신호(Source Output Enable; SOE) 및 극성제어신호(Polarity; POL)를 포함한다. 또한, 타이밍 제어부(430)는 게이트 구동회로(420)를 제어하기 위한 게이트 제어신호(GDC)를 게이트 구동회로(420)에 공급한다. 여기서, 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse; GSP), 게이트 쉬프트 클럭(Gate Shift Clock; GSC) 및 게이트 출력인에이블신호(Gate Output Enable; GOE)를 포함한다.

[0063] 또한, 타이밍 제어부(430)는 도 4와 같이 디믹스 제어부(440)의 동작을 제어하도록 다양한 신호를 공급할 수 있다.

[0064] 도 4를 참조하면, 액정 표시 장치(400)는 디믹스 회로(452)를 통해 데이터 라인들(D1 내지 Dm)에 순차적으로 데이터 전압을 공급하기 위해 디믹스 제어부(440)를 포함한다. 구체적으로, 디믹스 제어부(440)는 데이터 구동회로(410)의 출력 채널들을 통해 출력되는 신호를 데이터 라인들(D1 내지 Dm)로 분배할 수 있도록 제어펄스를 디

디스크 회로(452)에 전송한다.

[0065] 디스크 제어부(440)는 출력 채널들에 입력되는 데이터 전압의 극성에 대응하여 CMOS 스위치의 활성화여부를 제어하는 디스크 제어펄스를 디스크 회로(452)에 공급한다. 디스크 제어부(440)는 디스크 회로(452)의 동작을 제어하도록 타이밍 제어부(430)의 제어신호에 의해 디스크 제어펄스들(NMO, NME, PMO, PME)을 발생시킨다. 여기서, 디스크 제어펄스들(NMO, NME, PMO, PME)은 디스크 제어부(440)에 포함된 스위치들(예를 들어, CMOS 스위치)의 턴-온(turn-on) 시간을 제어한다.

[0066] 구체적으로, 디스크 제어펄스들(NMO, NME, PMO, PME)은 기수 디스크 제어펄스(NMO, PMO) 및 우수 디스크 제어펄스(NME, PME)를 포함한다. 여기서, 기수 디스크 제어펄스(NMO, PMO)는 기수 디스크 스위치를 제어하기 위한 신호이고, 우수 디스크 제어펄스(NME, PME)는 우수 디스크 스위치를 제어하기 위한 신호이다. 기수 디스크 제어펄스(NMO, PMO) 및 우수 디스크 제어펄스(NME, PME)의 구체적인 신호 특성에 대해서는 도 5 및 도 8을 참조하여 후술한다.

[0067] 또한, 디스크 제어펄스들(NMO, NME, PMO, PME)은 디스크 회로(452)의 NMOS 스위치를 제어하는 NMOS 제어펄스(NMO, NME) 및 PMOS 스위치를 제어하는 PMOS 제어펄스(PMO, PME)로 구분될 수 있으며, NMOS 제어펄스(NMO, NME) 및 PMOS 제어펄스(PMO, PME)의 구체적인 신호 특성에 대해서는 도 5 내지 도 8을 참조하여 후술한다.

[0068] 본 발명의 일 실시예에 따른 액정 표시 장치(400)는 데이터 구동회로(410)와 화소 어레이(454) 사이에 배치된 디스크 회로(452)를 포함한다. 디스크 회로(452)는 데이터 구동회로(410)에 포함된 출력 채널에 연결된 소스 버스 라인들로부터 입력되는 데이터 전압을 m개의 데이터 라인들(D1 내지 Dm)에 분배한다. 이에 따라, 데이터 구동회로(410)의 출력 채널 개수가 감소하고 데이터 구동회로(410)의 크기도 소형화될 수 있다.

[0069] 이러한 디스크 회로(452)는 CMOS 스위치, 바람직하게는 CMOS 스위치를 이용한 트랜스미션 게이트 스위치를 통해 효율적으로 디스크 회로(452)가 제어될 수 있다. 이와 같이 디스크 회로(452)를 제어하도록 디스크 제어부(440)는 디스크 제어펄스를 생성한다. 특히, 디스크 제어부(440)는 경우에 따라 기수 디스크 제어펄스(NMO, PMO) 및 우수 디스크 제어펄스(NME, PME)의 발생여부를 제어하여 디스크 회로(452)를 보다 효율적으로 제어할 수 있다. 디스크 제어부(440)의 구체적인 동작 및 디스크 회로(452)의 구체적인 구성에 대해서는 도 5 내지 도 8을 참조하여 후술한다.

[0070] 도 5는 본 발명의 일 실시예에 따라 데이터 구동회로, 디스크 회로, 디스크 제어라인 및 액정 표시 패널 사이의 접속 관계를 보여주는 회로도이다. 도 6은 본 발명의 일 실시예에 따라 기수 프레임 동안 디스크 제어라인에 공급되는 디스크 제어펄스들의 구동 타이밍을 나타내는 과정도이다. 도 7은 본 발명의 일 실시예에 따라 우수 프레임 동안 디스크 제어라인에 공급되는 디스크 제어펄스들의 구동 타이밍을 나타내는 과정도이다. 도 5에서는 설명의 편의를 위해 4개의 출력 채널들을 포함하는 데이터 구동회로(410), 4개의 출력 채널들에 연결된 4개의 소스 버스 라인들과 디스크 회로(452) 및 D1 내지 D12의 데이터 라인들을 도시하였으며, 화소 어레이(454) 중 데이터 라인들에 연결된 서브화소 일부만을 도시하였다. 또한, 도 5에서는 설명의 편의를 위해 디스크 제어부(440)는 도시하지 않았다.

[0071] 도 5를 참조하면, 데이터 구동회로(410)는 데이터 라인에 데이터 전압을 출력하도록 구성된 복수의 출력 채널들(S1, S2, S3 및 S4)을 포함한다. 복수의 출력 채널들(S1, S2, S3 및 S4) 각각은 3개의 데이터 라인과 연결된다.

[0072] 도 5를 참조하면, 액정 표시 패널(450)에서 화소 어레이(454)는 복수의 화소를 포함하고, 각각의 화소는 적색(R) 광을 구현하는 적색 서브화소(R1, R2, R3 및 R4), 녹색(G) 광을 구현하는 녹색 서브화소(G1, G2, G3 및 G4) 및 청색(B) 광을 구현하는 청색 서브화소(B1, B2, B3 및 B4)를 포함한다. 제1 적색 서브화소(R1)는 제1 데이터 라인(D1), 제1 녹색 서브화소(G1)는 제2 데이터 라인(D2), 제1 청색 서브화소(B1)는 제3 데이터 라인(D3)에 각각 연결된다. 마찬가지로, 제2 적색 서브화소(R2)는 제4 데이터 라인(D4), 제2 녹색 서브화소(G2)는 제5 데이터 라인(D5), 제2 청색 서브화소(B2)는 제6 데이터 라인(D6)에 각각 연결되고, 제3 적색 서브화소(R3)는 제7 데이터 라인(D7), 제3 녹색 서브화소(G3)는 제8 데이터 라인(D8), 제3 청색 서브화소(B3)는 제9 데이터 라인(D9)에 각각 연결되고, 제4 적색 서브화소(R4)는 제10 데이터 라인(D10), 제4 녹색 서브화소(G4)는 제11 데이터 라인(D11), 제4 청색 서브화소(B4)는 제12 데이터 라인(D12)에 각각 연결된다. 여기서, 설명의 편의를 위해 적색 서브화소(R1, R2, R3 및 R4)에 연결된 데이터 라인(D1, D4, D7 및 D10)은 적색 서브화소 데이터 라인, 녹색 서브화소(G1, G2, G3 및 G4)에 연결된 데이터 라인(D2, D5, D8 및 D11)은 녹색 서브화소 데이터 라인, 청색 서브화소(B1, B2, B3 및 B4)에 연결된 데이터 라인(D3, D6, D9 및 D12)은 청색 서브화소 데이터 라인으로 명명한다.

- [0073] 도 5를 참조하면, 디믹스 회로(452)는 데이터 구동회로(410)의 출력 채널들(S1, S2, S3 및 S4)마다 3개의 데이터 라인들을 선택적으로 연결시키기 위한 스위치를 포함한다. 여기서, 스위치는 CMOS 스위치로 구성될 수 있다. 바람직하게 스위치는 트랜스미션 케이트 스위치이다. 즉, 트랜스미션 케이트 스위치는 적색 서브화소(R1, R2, R3 및 R4)에 연결된 적색 서브화소 데이터 라인, 녹색 서브화소(G1, G2, G3 및 G4)에 연결된 녹색 서브화소 데이터 라인 및 청색 서브화소(B1, B2, B3 및 B4)에 연결된 청색 서브화소 데이터 라인 각각에 배치되고, NMOS 스위치 및 PMOS 스위치로 이루어진다.
- [0074] 적색 서브화소 제어 NMOS 스위치(이하, 적색 NMOS; NMTR) 및 적색 서브화소 제어 PMOS 스위치(이하, 적색 PMOS; PMTR)는 적색 서브화소 데이터 라인에 연결되고, 녹색 서브화소 제어 NMOS 스위치(이하, 녹색 NMOS; NMTG) 및 녹색 서브화소 제어 PMOS 스위치(이하, 녹색 PMOS; PMTG)는 녹색 서브화소 데이터 라인에 연결되고, 청색 서브화소 제어 NMOS 스위치(이하, 청색 NMOS; NMTB) 및 청색 서브화소 제어 PMOS 스위치(이하, 청색 PMOS; PMTB)는 청색 서브화소 데이터 라인에 연결된다.
- [0075] 도 5를 참조하면, 디믹스 회로(452)는 NMOS 스위치의 케이트에 연결된 NMOS 디믹스 제어라인 및 PMOS 스위치의 케이트에 연결된 PMOS 디믹스 제어라인을 포함한다. 즉, 디믹스 회로(452)는 6개의 NMOS 디믹스 제어라인 및 6개의 PMOS 디믹스 제어라인을 포함하여, 총 12개의 디믹스 제어라인을 포함한다.
- [0076] 도 5를 참조하면, 기수 출력 채널들(S1 및 S3)에 연결된 스위치들은 동일한 NMOS 디믹스 제어라인 및 PMOS 디믹스 제어라인에 연결된다. 마찬가지로, 우수 출력 채널들(S2 및 S4)에 연결된 스위치들은 동일한 NMOS 디믹스 제어라인 및 PMOS 디믹스 제어라인에 연결된다. 다만, 기수 출력 채널들(S1 및 S3)에 연결된 스위치들과 우수 출력 채널들(S2 및 S4)에 연결된 스위치들은 서로 상이한 디믹스 제어라인에 연결된다. 예를 들어, 기수 출력 채널들(S1 및 S3)에 연결된 데이터 라인들 중 적색 서브화소 데이터 라인(D1, D7)은 동일한 디믹스 제어라인에 연결되고, 녹색 서브화소 데이터 라인(D2, D8)은 동일한 디믹스 제어라인에 연결되고, 청색 서브화소 데이터 라인(D3, D9)은 동일한 디믹스 제어라인에 연결된다. 마찬가지로, 우수 출력 채널들(S2 및 S4)에 연결된 적색, 녹색 및 청색 서브화소 데이터 라인들도 각각 동일한 디믹스 제어라인에 연결된다.
- [0077] 도 6에서 기수 프레임(frame)은 하나의 출력 채널을 기준으로 기수 데이터 전압이 인가되는 프레임을 의미한다. 도 5 및 도 6을 참조하면, 컬럼 반전 방식의 액정 표시 패널에서는 기수 출력 채널과 우수 출력 채널에 기수 데이터 전압 및 우수 데이터 전압이 교번하여 인가된다. 예를 들어, 컬럼 반전 방식의 액정 표시 패널에서 출력 채널 각각은 1프레임마다 상이한 극성을 갖는 데이터 전압을 출력한다.
- [0078] 이하에서는 도 5를 참조하여, 기수 출력 채널들(S1 및 S3)에 기수 데이터 전압이 인가되는 프레임이 기수 프레임인 것을 기준으로 설명한다.
- [0079] 도 6을 참조하면, 1 수평기간(1H)동안 케이트 출력인에이블신호가 N-1번째 케이트라인에 인가되고, 그 다음 1 수평기간(1H)동안 케이트 출력인에이블신호가 N번째 케이트라인에 인가된다. 이에 따라, 하나의 기수 프레임동안 n개의 케이트라인들 각각에 케이트 출력인에이블신호가 1 수평기간(1H)동안 순차적으로 인가된다.
- [0080] 도 5 및 도 6을 참조하면, 케이트 출력인에이블신호가 N-1번째 케이트라인에 1 수평기간(1H)동안 인가되는 경우, 제1 출력 채널(S1) 및 제3 출력 채널(S3)에 기수 데이터 전압( $V_{data}$ )이 입력된다. 즉, 기수 출력 채널에 1 수평기간(1H)동안 기수 데이터 전압( $V_{data}$ )이 인가된다. 여기서, 기수 데이터 전압( $V_{data}$ )은 데이터 전압의 극성이 양(positive)인 것을 의미하고, 기수 데이터 전압( $V_{data}$ )의 최대 값은 접지(GND)로부터 +5V일 수 있다.
- [0081] 기수 출력 채널인 제1 출력 채널(S1) 및 제3 출력 채널(S3)에 기수 데이터 전압( $V_{data}$ )이 인가되는 경우, 기수 출력 채널에 연결된 NMOS 스위치들은 모두 비활성화되고, PMOS 스위치들은 1 수평기간(1H)동안 시분할되어 구동된다. 구체적으로, 기수 출력 채널에 연결된 NMOS 스위치들(NMTR, NMTG, NMTB)에는 NMOS 디믹스 제어라인을 통해 AVDDN 전압이 인가되고, PMOS 스위치들(PMTR, PMTG, PMTB)에는 PMOS 디믹스 제어라인을 통해 적색 PMOS 디믹스 제어펄스(PMO\_R), 녹색 PMOS 디믹스 제어펄스(PMO\_G) 및 청색 PMOS 디믹스 제어펄스(PMO\_B)가 일정한 간격을 갖고 순차적으로 인가된다. 즉, 기수 출력 채널에 기수 데이터 전압( $V_{data}$ )이 인가되는 경우에는 NMOS 디믹스 제어펄스가 디믹스 회로(452)에 인가되지 않고, PMOS 디믹스 제어펄스(PMO\_R, PMO\_G, PMO\_B)만 1 수평기간(1H)동안 시분할되어 인가된다.
- [0082] 여기서, AVDDN은 디믹스 회로(452)를 제어하는 전압의 최저값으로, PMOS 스위치를 턴-온(turn-on)시키고 NMOS 스위치를 턴-오프(turn-off)시킬 수 있는 전압이다. AVDDH는 디믹스 회로(452)를 제어하는 전압의 최대값으로, PMOS 스위치를 턴-오프시키고 NMOS 스위치를 턴-온시킬 수 있는 전압이다. 예를 들어, AVDDN은 접지(GND)로부터

-5.7V인 전압이고, AVDDH는 접지(GND)로부터 +5.7V인 전압이다. 즉, PMOS 디렉스 제어펄스의 스윙폭은 11.4V일 수 있다. 본 발명에서 사용되는 AVDDH, AVDDN 및  $V_{data}$ 는 예시적인 전압으로, 전압 수치는 이에 한정되지 않고 실시예에 따라 다양하게 변경될 수 있다.

[0083] 이에 따라, 기수 데이터 전압( $V_{data}$ )이 입력되는 기수 프레임동안, 기수 데이터 전압( $V_{data}$ )이 입력되는 출력 채널에 연결된 NMOS 스위치는 구동하지 않고, PMOS 스위치만 시분할 구동한다. 도 5의 디렉스 회로(452)는 트랜스미션 게이트 스위치를 포함하므로, PMOS 스위치만 시분할 구동되어도 기수 데이터 전압( $V_{data}$ )이 기수 출력 채널들에 연결된 데이터 라인들(D1, D2, D3, D7, D8, D9)에 분배될 수 있다.

[0084] 도 7에서 우수 프레임은 하나의 출력 채널을 기준으로 우수 데이터 전압이 인가되는 프레임을 의미한다. 이하에서는 도 5를 참조하여, 우수 출력 채널들(S2 및 S4)에 우수 데이터 전압이 인가되는 프레임이 우수 프레임인 것을 기준으로 설명한다.

[0085] 도 7을 참조하면, 1 수평기간(1H)동안 게이트 출력인에이블신호가 N-1번째 게이트라인에 인가되고, 그 다음 1 수평기간(1H)동안 게이트 출력인에이블신호가 N번째 게이트라인에 인가된다. 이에 따라, 하나의 우수 프레임동안 n개의 게이트라인들 각각에 게이트 출력인에이블신호가 1 수평기간(1H)동안 순차적으로 인가된다.

[0086] 도 5 및 도 7을 참조하면, 게이트 출력인에이블신호가 N-1번째 게이트라인에 1 수평기간(1H)동안 인가되는 경우, 제2 출력 채널(S2) 및 제4 출력 채널(S4)에 우수 데이터 전압( $V_{data}$ )이 입력된다. 즉, 우수 출력 채널에 1 수평기간(1H)동안 우수 데이터 전압( $V_{data}$ )이 인가된다. 여기서, 우수 데이터 전압( $V_{data}$ )은 데이터 전압의 극성이 음(negative)인 것을 의미하고, 우수 데이터 전압( $V_{data}$ )의 최저값은 접지(GND)로부터 -5V일 수 있다.

[0087] 우수 출력 채널인 제2 출력 채널(S2) 및 제4 출력 채널(S4)에 우수 데이터 전압( $V_{data}$ )이 인가되는 경우, 우수 출력 채널에 연결된 PMOS 스위치들은 모두 비활성화되고, NMOS 스위치들은 1 수평기간(1H)동안 시분할되어 구동된다. 구체적으로, 우수 출력 채널에 연결된 PMOS 스위치들(PMTR, PMTG, PMTB)에는 PMOS 디렉스 제어라인을 통해 AVDDH 전압이 인가되고, NMOS 스위치들(NMTR, NMTG, NMTB)에는 NMOS 디렉스 제어라인을 통해 적색 NMOS 디렉스 제어펄스(NME\_R), 뉴색 NMOS 디렉스 제어펄스(NME\_G) 및 청색 NMOS 디렉스 제어펄스(NME\_B)가 일정한 간격을 갖고 순차적으로 인가된다. 즉, 우수 출력 채널에 우수 데이터 전압( $V_{data}$ )이 인가되는 경우에는 PMOS 디렉스 제어펄스가 디렉스 회로(452)에 인가되지 않고, NMOS 디렉스 제어펄스(NME\_R, NME\_G, NME\_B)만 1 수평기간(1H)동안 시분할되어 인가된다.

[0088] 여기서, NMOS 디렉스 제어펄스의 스윙폭은 PMOS 디렉스 제어펄스의 스윙폭과 마찬가지로 11.4V일 수 있다. 본 발명에서 사용되는 AVDDH, AVDDN 및  $V_{data}$ 는 예시적인 전압으로, 전압 수치는 이에 한정되지 않고 실시예에 따라 다양하게 변경될 수 있다.

[0089] 이에 따라, 우수 데이터 전압( $V_{data}$ )이 입력되는 우수 프레임동안, 우수 데이터 전압( $V_{data}$ )이 입력되는 출력 채널에 연결된 PMOS 스위치는 구동하지 않고, NMOS 스위치만 시분할 구동한다. 도 5의 디렉스 회로(452)는 트랜스미션 게이트 스위치를 포함하므로, NMOS 스위치만 시분할 구동되어도 우수 데이터 전압( $V_{data}$ )이 우수 출력 채널들에 연결된 데이터 라인들(D4, D5, D6, D10, D11, D12)에 분배될 수 있다.

[0090] 도 8은 본 발명의 다른 실시예에 따라 데이터 구동회로, 디렉스 회로, 디렉스 제어라인 및 액정 표시 패널 사이의 접속 관계를 보여주는 회로도이다. 도 8은 도 5와 비교하여 출력 채널들로부터 입력되는 데이터 전압의 극성 및 디렉스 제어라인에 인가되는 디렉스 제어펄스만 상이할 뿐, 다른 구성은 실질적으로 동일하므로, 중복 설명은 생략한다. 또한, 도 8에서 데이터 전압이 인가되는 출력 채널들만 상이할 뿐이므로, 도 6 및 도 7을 참조하여 디렉스 제어펄스들의 구동 타이밍을 설명한다.

[0091] 도 8을 참조하면, 기수 출력 채널들(S1 및 S3)에는 우수 데이터 전압이 인가되고, 우수 출력 채널들(S2 및 S4)에는 기수 데이터 전압이 인가된다. 예를 들어, 컬럼 반전 방식의 액정 표시 패널에서는 1프레임마다 화소에 인가되는 데이터 전압의 극성이 반전되므로, 기수 출력 채널들(S1 및 S3) 및 우수 출력 채널들(S2 및 S4)에 인가되는 데이터 전압의 극성이 도 5에 도시된 바와 반대로 입력된다.

[0092] 이하에서는 도 6 및 도 8을 참조하여, 우수 출력 채널들(S2 및 S4)에 기수 데이터 전압이 인가되는 프레임이 기수 프레임인 것을 기준으로 설명한다.

- [0093] 도 6을 참조하면, 게이트 출력인에이블신호가 N-1번째 게이트라인에 1 수평기간(1H)동안 인가되는 경우, 제2 출력 채널(S2) 및 제4 출력 채널(S4)에 기수 데이터 전압( $V_{data}$ )이 입력된다. 즉, 우수 출력 채널에 1 수평기간(1H)동안 기수 데이터 전압( $V_{data}$ )이 인가된다.
- [0094] 우수 출력 채널인 제2 출력 채널(S2) 및 제4 출력 채널(S4)에 기수 데이터 전압( $V_{data}$ )이 인가되는 경우, 기수 출력 채널에 연결된 NMOS 스위치들은 모두 비활성화되고, PMOS 스위치들은 1 수평기간(1H)동안 시분할되어 구동된다. 구체적으로, 우수 출력 채널에 연결된 NMOS 스위치들(NMTR, NMTG, NMTB)에는 NMOS 디믹스 제어라인을 통해 AVDDN 전압이 인가되고, PMOS 스위치들(PMTR, PMTG, PMTB)에는 PMOS 디믹스 제어라인을 통해 적색 PMOS 디믹스 제어펄스(PMO\_R), 녹색 PMOS 디믹스 제어펄스(PMO\_G) 및 청색 PMOS 디믹스 제어펄스(PMO\_B)가 일정한 간격을 갖고 순차적으로 인가된다. 즉, 우수 출력 채널에 기수 데이터 전압( $V_{data}$ )이 인가되는 경우에는 NMOS 디믹스 제어펄스가 디믹스 회로(452)에 인가되지 않고, PMOS 디믹스 제어펄스(PMO\_R, PMO\_G, PMO\_B)만 1 수평기간(1H)동안 시분할되어 인가된다.
- [0095] 이에 따라, 기수 데이터 전압( $V_{data}$ )이 입력되는 기수 프레임동안, 기수 데이터 전압( $V_{data}$ )이 입력되는 출력 채널에 연결된 NMOS 스위치는 구동하지 않고, PMOS 스위치만 시분할 구동한다. 도 8의 디믹스 회로(452)는 트랜스미션 게이트 스위치를 포함하므로, PMOS 스위치만 시분할 구동되어도 기수 데이터 전압( $V_{data}$ )이 우수 출력 채널들에 연결된 데이터 라인들(D4, D5, D6, D10, D11, D12)에 분배될 수 있다.
- [0096] 이하에서는 도 7 및 도 8을 참조하여, 기수 출력 채널들(S1 및 S3)에 우수 데이터 전압이 인가되는 프레임이 우수 프레임인 것을 기준으로 설명한다.
- [0097] 도 6을 참조하면, 게이트 출력인에이블신호가 N-1번째 게이트라인에 1 수평기간(1H)동안 인가되는 경우, 제1 출력 채널(S1) 및 제3 출력 채널(S3)에 우수 데이터 전압( $V_{data}$ )이 입력된다. 즉, 기수 출력 채널에 1 수평기간(1H)동안 우수 데이터 전압( $V_{data}$ )이 인가된다.
- [0098] 기수 출력 채널인 제1 출력 채널(S1) 및 제3 출력 채널(S3)에 우수 데이터 전압( $V_{data}$ )이 인가되는 경우, 기수 출력 채널에 연결된 PMOS 스위치들은 모두 비활성화되고, NMOS 스위치들은 1 수평기간(1H)동안 시분할되어 구동된다. 구체적으로, 기수 출력 채널에 연결된 PMOS 스위치들(PMTR, PMTG, PMTB)에는 PMOS 디믹스 제어라인을 통해 AVDDN 전압이 인가되고, NMOS 스위치들(NMTR, NMTG, NMTB)에는 NMOS 디믹스 제어라인을 통해 적색 NMOS 디믹스 제어펄스(NME\_R), 녹색 NMOS 디믹스 제어펄스(NME\_G) 및 청색 NMOS 디믹스 제어펄스(NME\_B)가 일정한 간격을 갖고 순차적으로 인가된다. 즉, 기수 출력 채널에 우수 데이터 전압( $V_{data}$ )이 인가되는 경우에는 PMOS 디믹스 제어펄스가 디믹스 회로(452)에 인가되지 않고, NMOS 디믹스 제어펄스(NME\_R, NME\_G, NME\_B)만 1 수평기간(1H)동안 시분할되어 인가된다.
- [0099] 이에 따라, 우수 데이터 전압( $V_{data}$ )이 입력되는 기수 프레임동안, 우수 데이터 전압( $V_{data}$ )이 입력되는 출력 채널에 연결된 PMOS 스위치는 구동하지 않고, NMOS 스위치만 시분할 구동한다. 도 8의 디믹스 회로(452)는 트랜스미션 게이트 스위치를 포함하므로, NMOS 스위치만 시분할 구동되어도 우수 데이터 전압( $V_{data}$ )이 기수 출력 채널들에 연결된 데이터 라인들(D1, D2, D3, D7, D8, D9)에 분배될 수 있다.
- [0100] 본 발명의 일 실시예에 따른 액정 표시 장치(400)는 복수의 출력 채널들을 포함하는 데이터 구동회로(410)와 화소 어레이(454) 사이에 배치된 디믹스 회로(452) 및 디믹스 회로(452)의 구동을 제어하는 디믹스 제어부를 포함한다. 디믹스 회로(452)는 복수의 출력 채널들 중 출력 채널 각각으로부터 입력되는 데이터 전압의 극성에 대응하여 복수의 데이터 라인들에 데이터 전압을 분배하는 CMOS 스위치를 포함한다.
- [0101] 이에 따라, 디믹스 회로(452)는 CMOS 스위치를 사용하여 출력 채널들 각각으로부터 입력된 데이터 전압을 3개의 데이터 라인으로 분배하고, NMOS 스위치 또는 PMOS 스위치만을 포함하는 디믹스 회로보다 더 적은 소비전력을 소모한다. 종래기술의 디믹스 회로가 소비하는 전력에 대한 디믹스 회로(452)가 소비하는 전력에 대해서는 도 9 및 도 10을 참조하여 후술한다.
- [0102] 디믹스 제어부는 데이터 전압의 극성에 대응하여 CMOS 스위치의 활성화여부를 제어하는 디믹스 제어펄스를 디믹스 회로(452)에 공급한다. 구체적으로, 출력 채널을 통해 기수 데이터 전압이 입력되는 경우, 디믹스 제어부는 PMOS 디믹스 제어펄스만을 디믹스 회로(452)에 공급하여 PMOS 스위치만을 구동시킨다. 출력 채널을 통해 우수 데이터 전압이 입력되는 경우, 디믹스 제어부는 NMOS 디믹스 제어펄스만을 디믹스 회로(452)에 공급하여 NMOS

스위치만을 구동시킨다. 즉, 디믹스 제어부는 출력 채널에 입력되는 데이터 전압의 극성에 대응하여 NMOS 디믹스 제어펄스 또는 PMOS 디믹스 제어펄스를 선택적으로 출력한다.

[0103] 이에 따라, NMOS 디믹스 제어펄스 또는 PMOS 디믹스 제어펄스에 의해 디믹스 회로(452)는 NMOS 스위치 또는 PMOS 스위치가 선택적으로 구동된다. 디믹스 회로(452)에서 NMOS 스위치 또는 PMOS 스위치가 선택적으로 구동되더라도, 데이터 전압이 트랜스미션 케이트 스위치를 통해 3개의 데이터 라인들로 분배될 수 있다. 즉, 디믹스 회로(452)는 데이터 전압의 극성에 대응하여 트랜스미션 케이트 스위치의 NMOS 스위치 또는 PMOS 스위치 중 하나만 구동하여 보다 낮은 소비전력으로 데이터 전압을 분배할 수 있다.

[0104] 도 9는 종래기술 및 본 발명의 일 실시예에 따른 디믹스 회로에 인가되는 디믹스 제어펄스 및 데이터 전압의 파형도이다. 도 10은 종래기술 및 본 발명의 일 실시예에 따른 디믹스 회로의 소비전력 및 특성을 비교한 표이다. 도 9(a)는 NMOS 스위치를 사용하는 디믹스 회로에서의 디믹스 제어펄스 및 데이터 전압의 파형도, 도 9(b)는 CMOS 스위치를 사용하는 디믹스 회로에서의 디믹스 제어펄스 및 데이터 전압의 파형도, 도 9(c)는 본 발명에 따른 디믹스 회로에서의 디믹스 제어펄스 및 데이터 전압의 파형도이다.

[0105] 액정 표시 장치는 게이트 구동회로, 데이터 구동회로 및 디믹스 회로 등이 다양한 전압을 사용하여 구동되므로, 일반적으로 구동 전압에 비례하여 액정 표시 장치의 소비전력도 증가할 수 있다. 예를 들어, 액정 표시 장치의 소비전력은 게이트 구동회로의 소비전력, 데이터 구동회로의 소비전력 및 디믹스 회로의 소비전력을 포함한 값이다.

[0106] 이와 관련하여, 디믹스 회로의 소비전력은 다음 [수학식1]을 통해 계산될 수 있다.

### 수학식 1

$$P = \frac{1}{2} C_{ox} V_{pp}^2 f$$

[0107]

[0108] 여기서,  $C_{ox}$ 는 TFT의 커페시턴스,  $V_{pp}$ 는 디믹스 회로에서 디믹스 제어펄스와 데이터 전압의 차이의 최대값,  $f$ 는 프레임 주파수를 의미한다.

[0109] 이하에서는 동일한 프레임 주파수에서 동일한 데이터 전압이 인가되는 경우를 기준으로 종래기술 및 본 발명에 의한 디믹스 회로의 소비전력과 구성을 비교하여 설명한다.

[0110] 도 9(a) 및 도 10을 참조하면, 종래기술 1에서 디믹스 회로는 VGL에서 VGH에 이르는 디믹스 제어펄스를 사용한다. VGL은 AVDDN보다 작고, VGH는 AVDDH보다 크다. 예를 들어, VGH는 접지(GND) 기준으로 +11.5V이고 VGL은 접지(GND) 기준으로 -7.5V이다. 데이터 전압이 접지(GND) 기준으로  $\pm 5V$ 인 경우, 종래기술 1의 디믹스 회로에 기수 데이터 전압이 인가되면  $V_{pp}=6.5V$ 이고, 우수 데이터 전압이 인가되면  $V_{pp}=16.5V$ 이다.

[0111] 도 9(b) 및 도 10을 참조하면, 종래기술 2에서 디믹스 회로는 CMOS 스위치로 이루어지고, 디믹스 회로는 AVDDN에서 AVDDH에 이르는 디믹스 제어펄스를 사용한다. 예를 들어, AVDDN은 접지(GND) 기준으로 -5.7V인 전압이고, AVDDH는 접지(GND) 기준으로 +5.7V인 전압이다. 종래기술 2에서는 데이터 전압의 극성에 무관하게 PMOS 디믹스 제어펄스 및 NMOS 디믹스 제어펄스가 디믹스 회로에 모두 인가된다. 이에 따라, 종래기술 2의 디믹스 회로에 기수 데이터 전압이 인가되면 PMOS 디믹스 제어펄스와 기수 데이터 전압 사이의  $V_{pp}=10.7V$ 이고, NMOS 디믹스 제어펄스와 기수 데이터 전압 사이의  $V_{pp}=0.7V$ 이다. 마찬가지로, 종래기술 2의 디믹스 회로에 우수 데이터 전압이 인가되면 PMOS 디믹스 제어펄스와 우수 데이터 전압 사이의  $V_{pp}=0.7V$ 이고, NMOS 디믹스 제어펄스와 기수 데이터 전압 사이의  $V_{pp}=10.7V$ 이다.

[0112] 또한, 종래기술 2에서 디믹스 회로는 CMOS 스위치에 디믹스 제어펄스를 인가하기 위해 총 6개의 디믹스 제어라인이 연결된다. 구체적으로, 종래기술 2의 디믹스 회로는 적색 서브화소의 NMOS, PMOS에 각각 연결되는 디믹스 제어라인, 녹색 서브화소의 NMOS, PMOS에 각각 연결되는 디믹스 제어라인 및 청색 서브화소의 NMOS, PMOS에 각각 연결되는 디믹스 제어라인을 포함한다. 나아가, 종래기술 2의 디믹스 회로에서는 NMOS 및 PMOS에 동시에 디

먹스 제어펄스가 인가되어 데이터 전압의 극성에 따라 CMOS가 선택적으로 구동될 수 없다.

[0113] 도 9(c) 및 도 10을 참조하면, 본 발명의 디먹스 회로는 CMOS 스위치로 이루어지지만, 데이터 전압의 극성에 따라 PMOS 디먹스 제어펄스 또는 NMOS 디먹스 제어펄스 중 하나에 의해서만 구동된다. 이에 따라, 본 발명의 디먹스 회로에 기수 데이터 전압이 인가되면, PMOS 디먹스 제어펄스만 인가되고 PMOS 디먹스 제어펄스와 기수 데이터 전압 사이의  $V_{pp}=10.7V$ 이다. 마찬가지로, 우수 데이터 전압이 인가되면, NMOS 디먹스 제어펄스만 인가되고 NMOS 디먹스 제어펄스와 기수 데이터 전압 사이의  $V_{pp}=10.7V$ 이다.

[0114] 도 10을 참조하면, 종래기술 1의 디먹스 회로는 디먹스 제어펄스의 스윙폭이 크고 이에 따른  $V_{pp}$ 값이 16.5V로 크므로  $V_{pp}$ 값의 제곱에 비례하는 소비전력도 50.6mW로 크게 측정된다. 종래기술 2의 디먹스 회로는 종래기술 1의 디먹스 회로보다 디먹스 제어펄스의 스윙폭이 작아짐에 따라  $V_{pp}$ 값이 10.7V로 감소하여,  $V_{pp}$ 값의 제곱에 비례하는 소비전력도 11.0mW로 감소되었다.

[0115] 본 발명에 따른 디먹스 회로는 종래기술 2의 디먹스 회로와 동일한 CMOS 스위치를 포함하고, 동일한 디먹스 제어펄스의 스윙폭 및  $V_{pp}$ 값을 갖지만, 디먹스 회로에 입력되는 데이터 전압의 극성에 대응하여 PMOS 디먹스 제어펄스 또는 NMOS 디먹스 제어펄스 중 하나만 디먹스 회로에 인가된다. 이에 따라, 본 발명에 따른 디먹스 회로에는 PMOS 스위치 또는 NMOS 스위치 중 하나에만 인가되는 전압에 의해 PMOS 스위치 또는 NMOS 스위치 중 하나에만 커페시턴스가 존재한다.

[0116] 즉, 종래기술 2의 디먹스 회로에는 PMOS 스위치 및 NMOS 스위치 모두에 전압이 인가되어 PMOS 스위치 및 NMOS 스위치 모두에 커페시턴스가 존재하는 반면, 본 발명에 따른 디먹스 회로에는 종래기술 2의 디먹스 회로보다 커페시턴스가 반으로 감소된다. 이에 따라, 본 발명에 따른 디먹스 회로의 소비전력은 종래기술 2의 디먹스 회로의 소비전력의 반으로 감소된다.

[0117] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

### 부호의 설명

[0118] 210, 410: 데이터 구동회로

252, 452: 디먹스 회로

250, 450: 액정 표시 패널

400: 액정 표시 장치

420: 게이트 구동회로

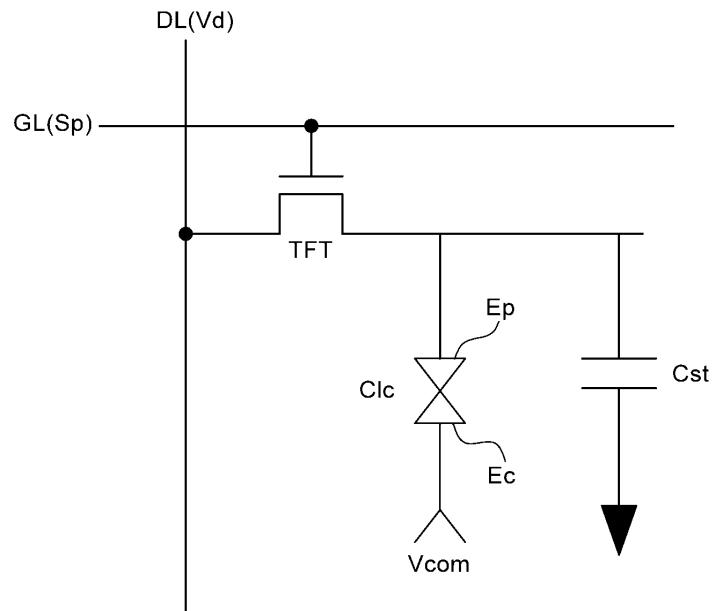
430: 타이밍 제어부

440: 디먹스 제어부

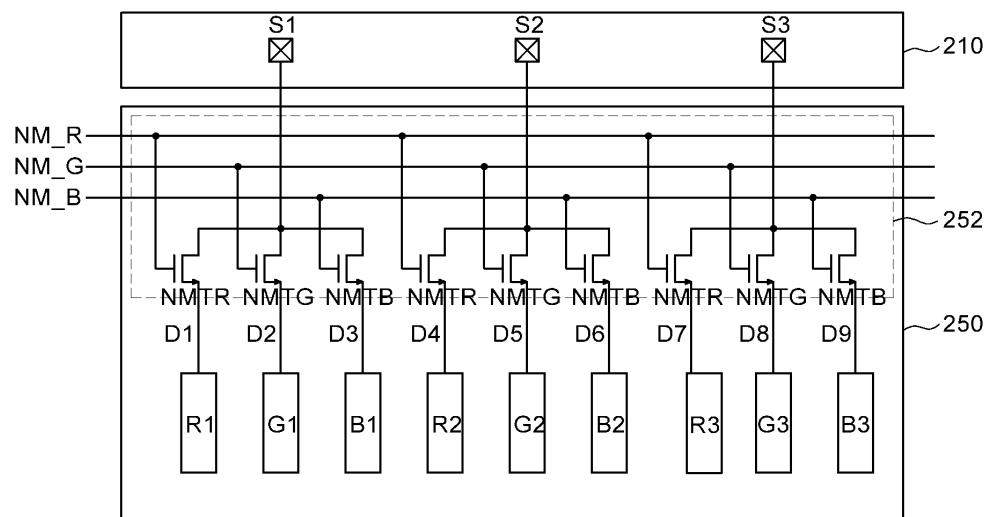
454: 화소 어레이

## 도면

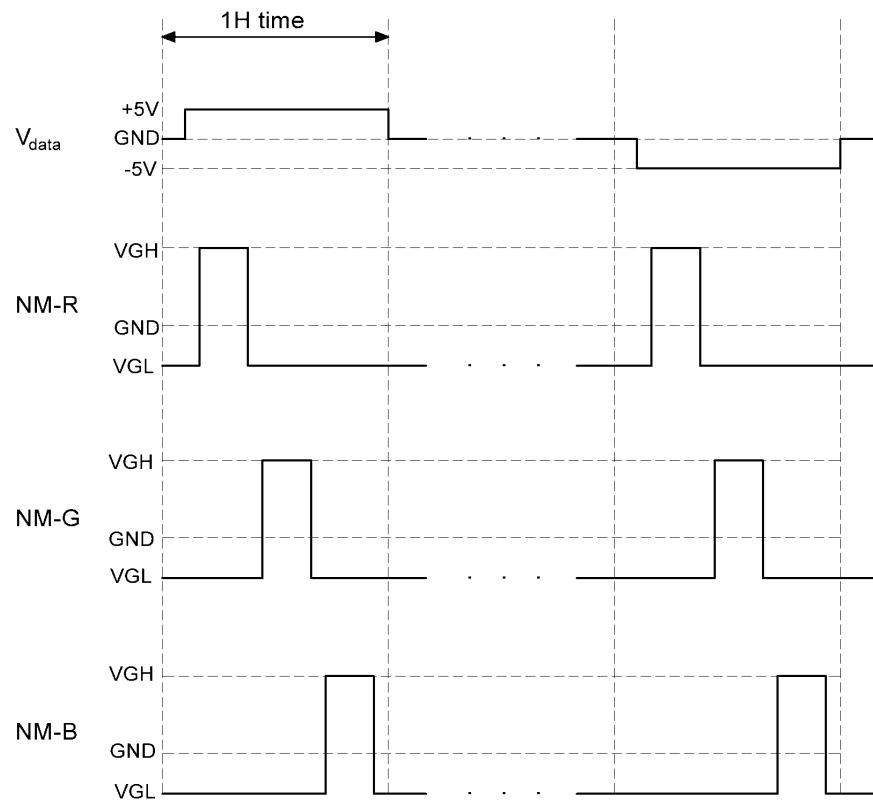
## 도면1



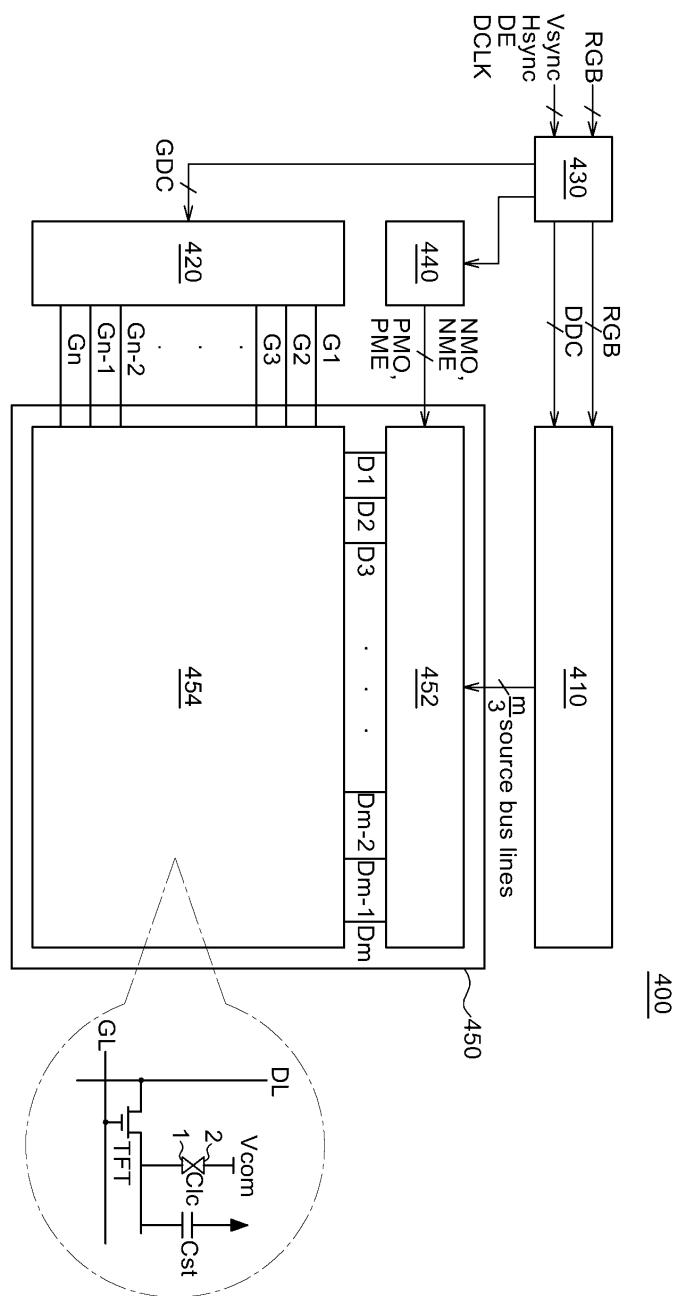
## 도면2



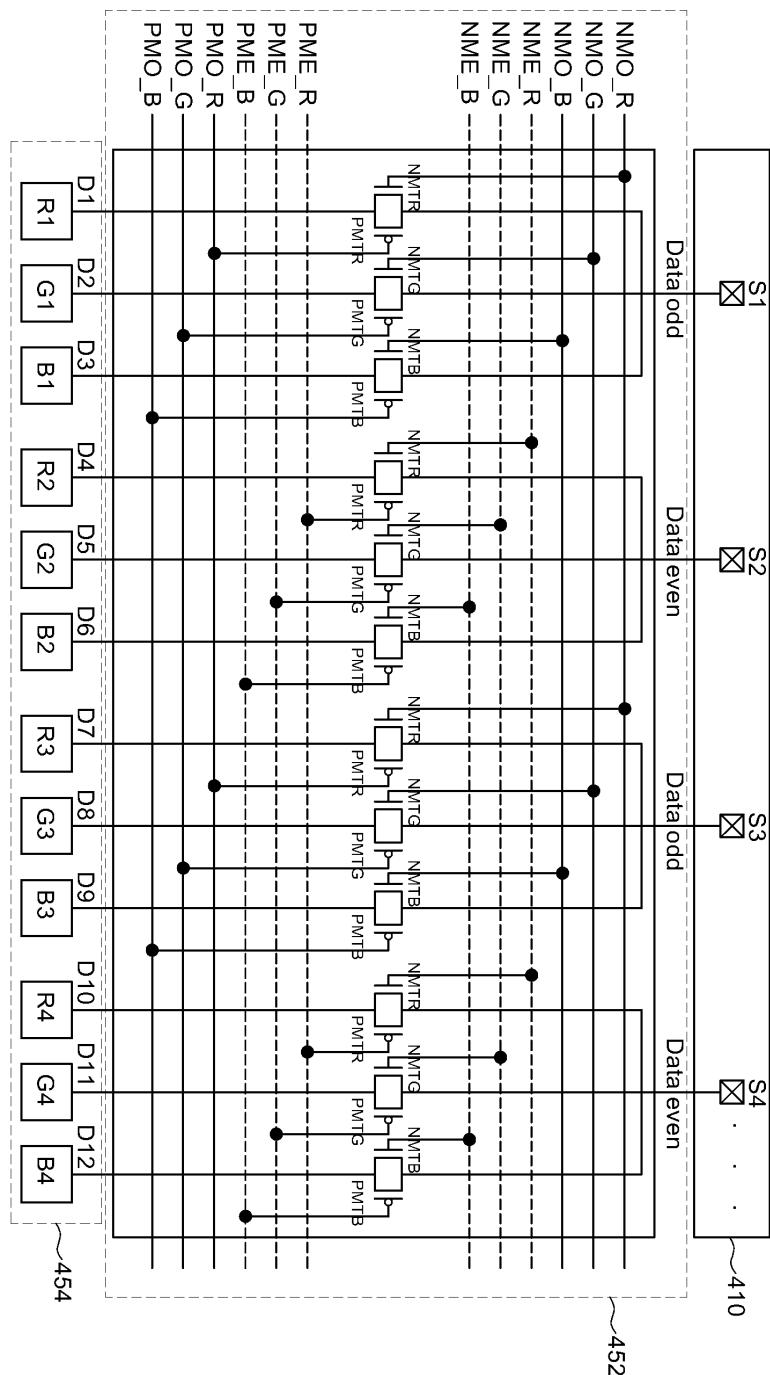
## 도면3



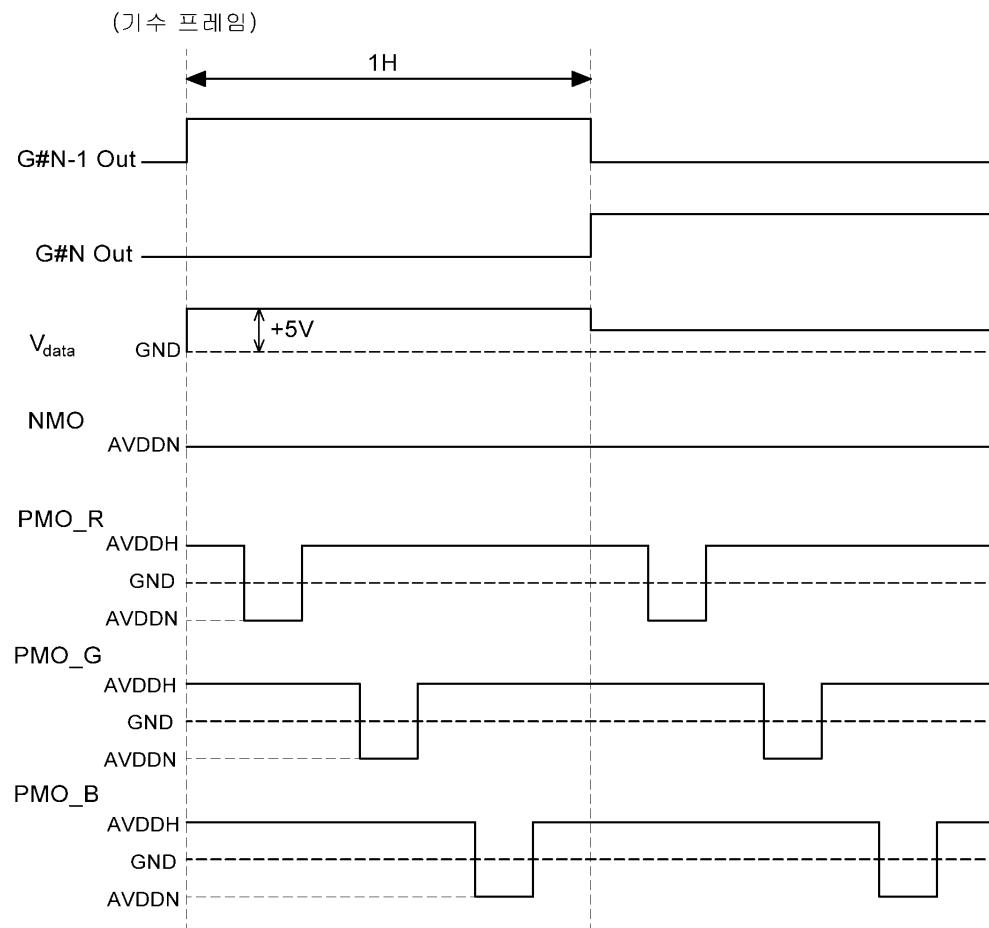
도면4



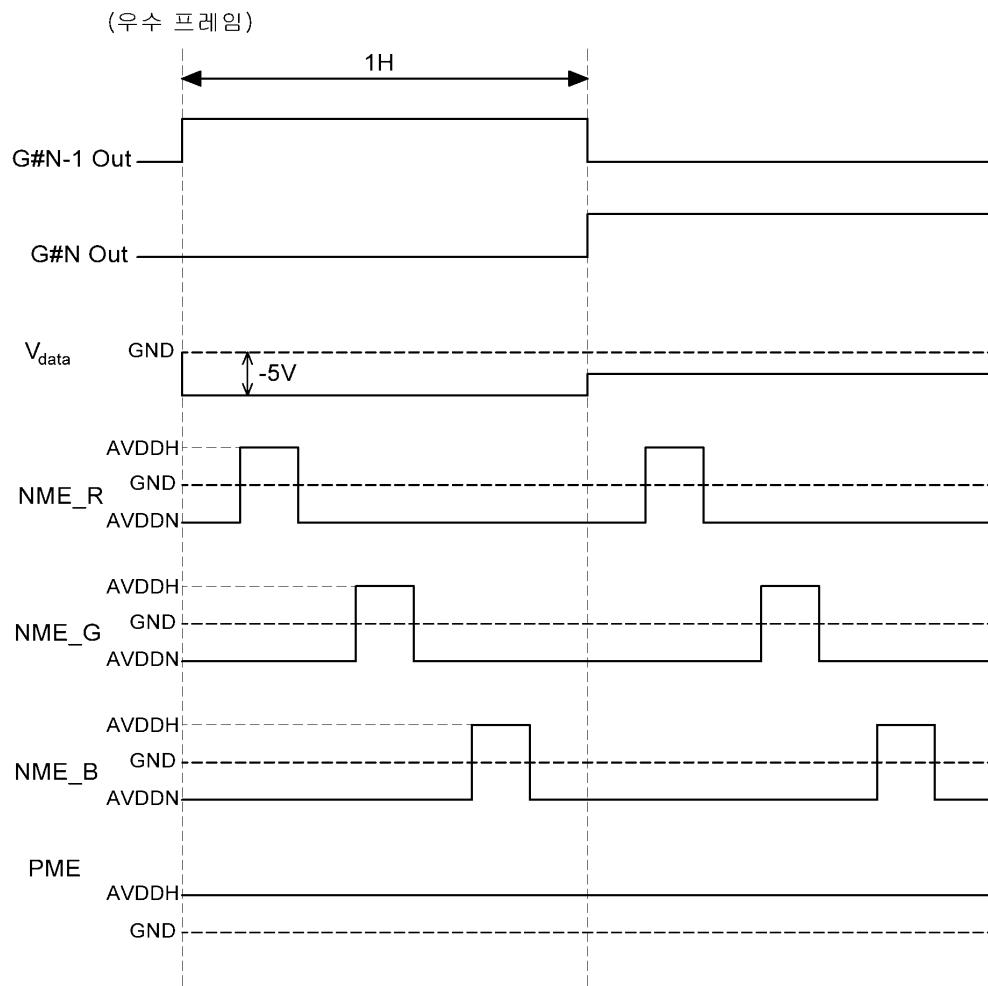
도면5



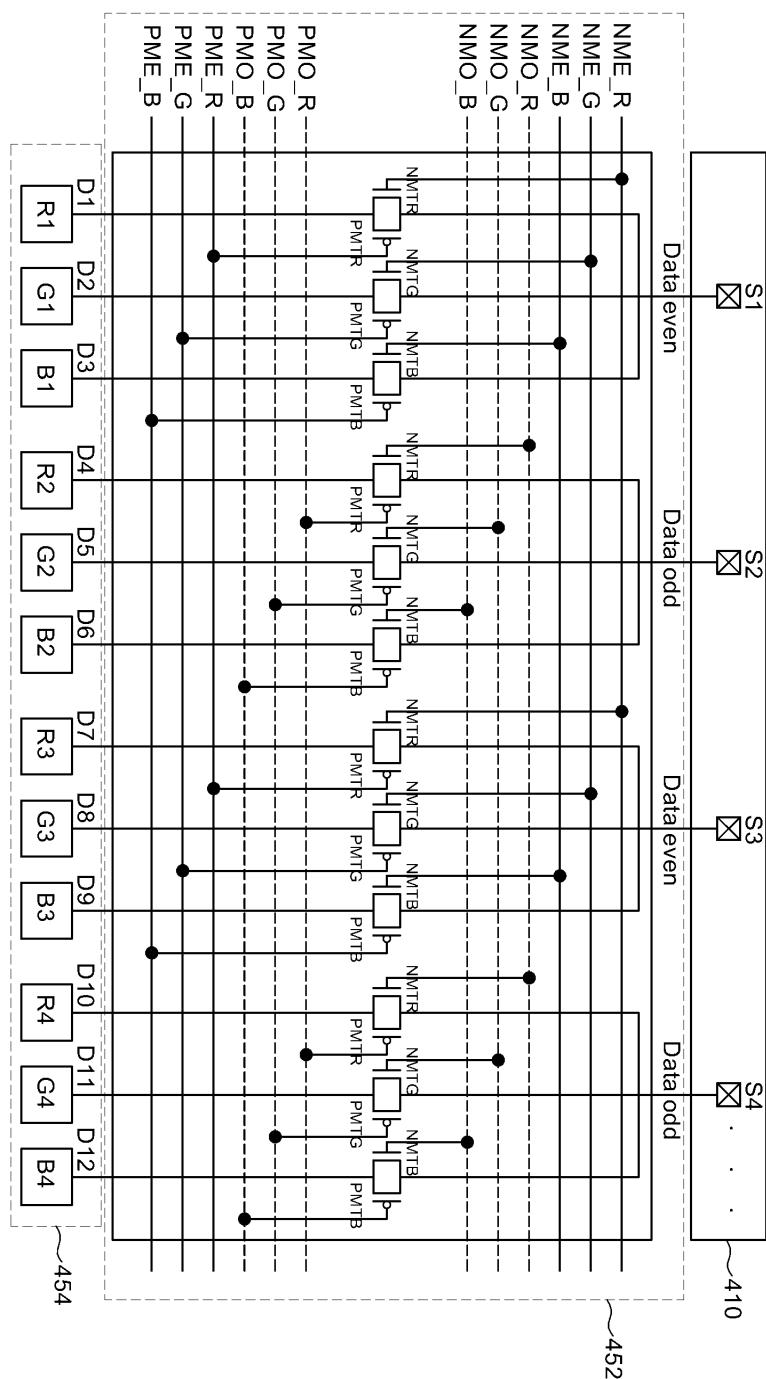
## 도면6



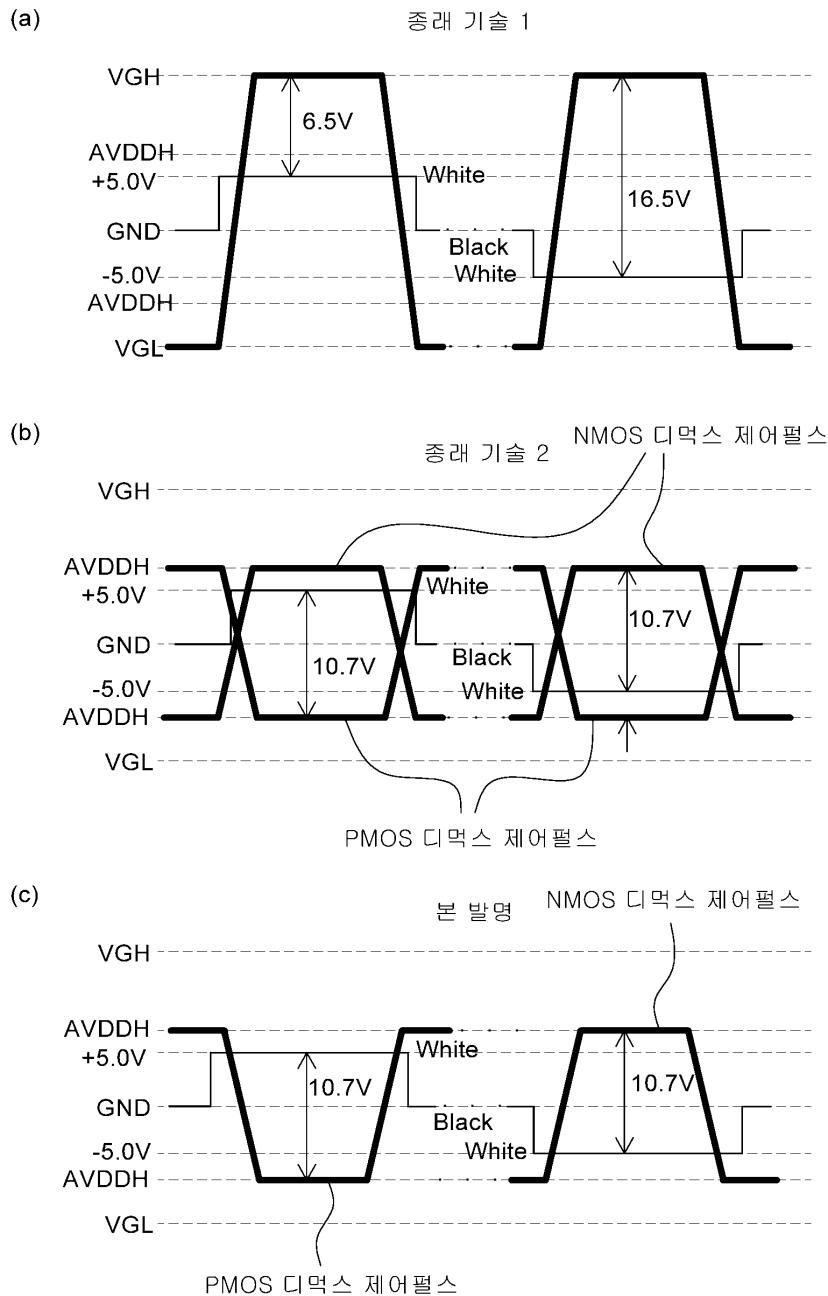
## 도면7



도면8



## 도면9



## 도면10

Item		종래기술 1	종래기술 2	본발명
Back plane		NMOS	CMOS	CMOS
소비전력	디믹스	50.6mW	11.0mW	5.5mW
	디믹스 전압	-7.5V ~ 11.4V	-5.7V ~ 5.7V	-5.7V ~ 5.7V
	Vpp	16.5V	10.7V	10.7V
디믹스 크기	디믹스 제어라인 수	3	6	6

专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020170071219A</a>	公开(公告)日	2017-06-23
申请号	KR1020150179286	申请日	2015-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KONG CHUNG SIK 공충식		
发明人	공충식		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2310/0297 G09G2330/021		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

提供一种液晶显示装置。一种液晶显示装置，包括像素阵列，其中多条数据线和多条栅极线交叉，并且像素布置在每个交叉区域中。数据驱动电路具有多个输出通道，被配置为将数据电压输出到多条数据线。DEMUX电路具有CMOS开关，用于将数据电压分配到与从多个输出通道中的每一个输入的数据电压的极性相对应的多条数据线。解复用控制单元向解复用电路提供解复用控制脉冲，用于控制是否响应于数据电压的极性激活CMOS开关的一部分。解复用控制单元根据数据电压的极性选择性地输出NMOS解复用控制脉冲和PMOS解复用控制脉冲之一。在根据通过解复用器控制脉冲的本发明的实施例被选择性地供应到对应于从多路分解器控制单元中的数据电压的极性的液晶显示装置，可以大大减少由解复用器电路所消耗的功率。

