



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0094477
(43) 공개일자 2016년08월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3648 (2013.01)

(21) 출원번호 10-2015-0014827

(22) 출원일자 2015년01월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장형욱

경상북도 칠곡군 석적읍 동중리9길 13 A동 322호
(중리, LG디스플레이나래원기숙사)

(74) 대리인

특허법인 대아

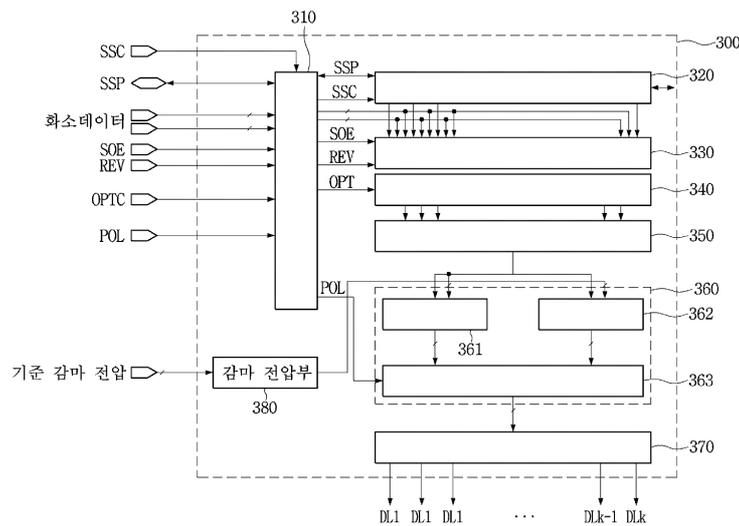
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정표시장치 및 이의 구동방법

(57) 요약

본 발명은 짝수개 또는 홀수개의 데이터 드라이버 직접회로를 구분하지 않고 극성 치우침을 개선할 수 있는 액정표시장치와 이의 구동방법을 제공할 수 있다.

대표도



명세서

청구범위

청구항 1

복수개의 데이터 드라이버 직접회로를 포함한 데이터 구동회로;

상기 데이터 구동회로에 연결된 복수의 데이터 라인을 포함한 액정패널;

상기 복수의 데이터 라인으로 출력되는 데이터 신호의 극성을 제어하기 위한 극성 제어 신호를 상기 데이터 드라이버 직접회로 각각에 출력하는 타이밍 콘트롤러;를 포함하고,

상기 복수개의 데이터 드라이버 직접회로 각각은,

상기 복수의 데이터 라인 중 제1 내지 제k(k는 짝수) 데이터라인에 연결되고, 상기 타이밍 콘트롤러로부터의 옵션 신호에 기초하여 상기 제1 내지 제k/2 데이터라인으로 출력되는 제1 화소 데이터와 상기 제k/2+1 내지 제k 데이터라인으로 출력되는 제2 화소 데이터의 극성을 제어하는 극성 옵션부;를 포함하고,

상기 극성 제어 신호가 상기 제1 내지 제k(k는 짝수) 데이터라인으로 출력될 데이터 신호의 극성이 모두 동일하도록 지시하는 경우, 상기 극성 옵션부는 상기 제2 화소 데이터의 극성을 상기 제1 화소 데이터의 극성과 달리 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 복수개의 데이터 드라이버 직접회로는 홀수개인 액정표시장치.

청구항 3

제1 항에 있어서,

상기 복수개의 데이터 드라이버 직접회로는 홀수개로 구비되고, 상기 복수개의 데이터 드라이버 직접회로 간의 데이터신호는 서로 인버전되는 액정표시장치.

청구항 4

제1 항에 있어서,

상기 극성 옵션부는,

래치된 화소 데이터를 입력 받아 상기 제1 및 제2 화소 데이터로 구분하여 출력하는 출력 제어부;

상기 출력 제어부로부터 제1 화소 데이터를 입력받아 상기 제1 내지 제k/2 데이터라인으로 출력하는 제1 출력부;

상기 출력 제어부로부터 제2 화소 데이터를 반전 단자로 입력받아 상기 제2 화소 데이터의 극성을 반전시키거나, 비반전 단자로 입력받아 상기 제2 화소 데이터의 극성을 유지시켜 상기 제k/2+1 내지 제k 데이터 라인으로 출력하는 제2 출력부; 및

상기 출력 제어부로부터의 제2 화소 데이터를 상기 옵션 신호에 기초하여 상기 반전 단자 또는 비반전 단자로 출력하는 스위칭부;를 포함하는 액정표시장치.

청구항 5

제4 항에 있어서,

상기 제1 출력부는 상기 제1 화소 데이터를 클럭 단자로 입력 받는 제1 내지 제k/2 D플립플롭을 포함하고,

상기 제1 D플립플롭의 출력 및 입력 단자는 공통 연결되고,

상기 제2 내지 제k/2 D플립플롭 각각의, 입력단자는 이전 D플립플롭의 출력단자에 연결되고,
 상기 제2 출력부는 상기 제2 화소 데이터를 클럭 단자로 입력 받는 제k/2+1 내지 제k D플립플롭을 포함하고,
 상기 제k/2+1 D플립플롭의 출력 및 입력 단자는 공통 연결되고,
 상기 제k/2+2 내지 제k D플립플롭 각각의, 입력단자는 이전 D플립플롭의 출력단자에 연결되는 액정표시장치.

청구항 6

제5 항에 있어서,
 상기 제2 출력부는 인버터를 더 포함하고,
 상기 옵션 신호에 기초하여 상기 제2 화소 데이터는,
 상기 인버터를 경유하여 상기 클럭 단자로 입력되거나
 상기 클럭 단자로 직접 입력되는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치 및 이의 구동방법에 관한 것이다.

배경 기술

[0002] 휴대폰(Mobile Phone), 노트북, 컴퓨터와 같은 각종 포터블기기(portable device) 및, HDTV 등의 고해상도, 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 적용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되었지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 현재에는 액정표시장치(LCD)가 각광을 받고 있다.

[0003] 액정표시장치는 액정패널 상의 액정셀의 광 투과율을 데이터신호의 계조 값에 따라 조절하여 화상을 구현한다. 그런데 액정패널에 배열된 액정셀에 직류 전압이 장시간 인가되는 경우, 액정셀의 광 투과 특성이 열화된다. 즉, 직류 고착화 현상이 발생하며, 이는 액정패널 상에 표시되는 화상에 잔상의 원인이 된다.

[0004] 특히 액정표시장치가 고해상도화 되면서 패널 로드(Panel Load)가 증가하며, 이에 따라 패널 내의 공통전압(Vcom) 불균형 역시 증가하였다. 이러한 공통전압 불균형을 개선하고자 현재는 데이터 드라이버 직접회로 간 극성 제어 신호 극성의 인버전(Inversion)을 통해 극성 치우침을 막는 알고리즘을 개발하고 있다. 그런데 고해상도 모델이 아닐 경우 극성 치우침이 화상적으로 미치는 영향이 적을 수 있으나, 패널 로드 증가에 따른 패널 내의 공통전압의 불균형이 증가할 경우 화상적으로 극성 치우침에 민감하게 반응하는 문제가 있다. 또한 일반적으로 데이터 드라이버 직접회로가 짝수개이므로 데이터 드라이버 직접회로간의 극성 제어 신호의 극성을 인버전하는 경우 극성 치우침이 발생하지 않으나 데이터 드라이버 직접회로가 홀수개인 경우 여전히 극성 치우침이 발생하여 화상 불량을 초래하게 되었다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 짝수개 또는 홀수개의 데이터 드라이버 직접회로를 구분하지 않고 극성 치우침을 개선할 수 있는 액정표시장치와 이의 구동방법을 제공할 수 있다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 액정표시장치는, 복수개의 데이터 드라이버 직접회로를 포함한 데이터 구동회로, 상기 데이터 구동회로에 연결된 복수의 데이터 라인을 포함한 액정패널, 상기 복수의 데이터 라인으로 출력되는 데이터 신호의 극성을 제어하기 위한 극성 제어 신호를 상기 데이터 드라이버 직접회로 각각에 출력하는 타이밍 콘

트roller를 포함하고, 상기 복수개의 데이터 드라이버 직접회로 각각은, 상기 복수의 데이터 라인 중 제1 내지 제k(k는 짝수) 데이터라인에 연결되고, 상기 타이밍 콘트롤러로부터의 옵션 신호에 기초하여 상기 제1 내지 제k/2 데이터라인으로 출력되는 제1 화소 데이터와 상기 제k/2+1 내지 제k 데이터라인으로 출력되는 제2 화소 데이터의 극성을 제어하는 극성 옵션부;를 포함하고, 상기 극성 제어 신호가 상기 제1 내지 제k(k는 짝수) 데이터라인으로 출력될 데이터 신호의 극성이 모두 동일하도록 지시하는 경우, 상기 극성 옵션부는 상기 제2 화소 데이터의 극성을 상기 제1 화소 데이터의 극성과 달리하는 액정표시장치에 관한 것으로 데이터 드라이버 직접회로가 홀수개로 구비되고 상기 데이터 드라이버 직접회로들 간에 인버전이 존재하는 경우, 상기 데이터 드라이버 직접회로들 각각은 옵션 신호의 하이 논리에 따라서 상기 데이터 드라이버 직접회로들 각각의 절반의 출력 라인과 나머지 출력 라인으로 출력되는 데이터 신호의 극성은 반대가 되어 액정패널 전체로써 극성 치우침이 개선될 수 있음을 알 수 있다.

발명의 효과

[0007] 본 발명은 짝수개 또는 홀수개의 데이터 드라이버 직접회로를 구분하지 않고 극성 치우침을 개선할 수 있고, 극성제어신호와 연계하여 데이터 드라이버 직접회로의 출력의 극성의 변경 여부를 옵션화할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시예에 따른 액정표시장치의 블록도.
- 도 2는 본 발명의 실시예에 따른 데이터 구동회로의 블록도.
- 도 3은 본 발명의 실시예에 따른 데이터 구동회로를 이루는 데이터 드라이버 집적회로의 상세 구성도를 나타낸 도면.
- 도 4는 본 발명의 실시예에 따른 극성 옵션부를 나타낸 블록도.
- 도 5 및 도 7은 본 발명의 실시예에 따른 극성 옵션부의 상세도.
- 도 6은 극성 옵션부가 도 5에 따른 동작 시 출력 파형을 나타낸 파형도.
- 도 8은 극성 옵션부가 도 7에 따른 동작 시 출력 파형을 나타낸 파형도.
- 도 9는 데이터 드라이버 집적회로가 홀수개로 구비된 경우 극성 치우침이 개선되는 원리를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 본 발명의 실시예에 의한 액정표시장치 및 이의 구동방법의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시 예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.
- [0010] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0011] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0012] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위

(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함 할 수 있다.

- [0013] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/ 또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0014] <액정표시장치>
- [0015] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여준다. 그리고 도 2는 본 발명의 실시예에 따른 데이터 구동회로를 보여준다.
- [0016] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 콘트롤러(200), 데이터 구동회로(300) 및 게이트 구동회로(400)를 구비한다.
- [0017] 액정표시패널(100)은 두 장의 유리기판 사이에 배치된 액정분자들을 구비한다. 이 액정표시패널(100)에는 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 매트릭스 형태로 m*n (m, n은 양의 정수)개의 액정셀들(C1c)이 배치된다.
- [0018] 액정표시패널(100)의 하부 유리기판에는 m 개의 데이터라인들(D1 내지 Dm), n개의 게이트라인들(G1 내지 Gn), TFT(Thin Film Transister, 박막 트랜지스터), TFT들에 각각 접속된 액정셀(C1c)의 화소전극(110), 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이가 형성된다.
- [0019] 액정표시패널(100)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(120)이 형성된다. 공통전극(120)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(110)과 함께 하부 유리기판 상에 형성할 수 있다.
- [0020] 액정표시패널(100)의 상부 유리기판과 하부 유리기판 각각에는 광축이 직교하는 ?편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성될 수 있다.
- [0021] 도 2를 참조하면, 데이터 구동회로(300)는 다수의 데이터 드라이버 집적회로들(DIC1 내지 DICN)을 구비할 수 있다. 데이터 구동회로(300)는 타이밍 콘트롤러(200)의 제어 하에 디지털 비디오 데이터(RGB)를 래치하고 그 디지털 비디오 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 발생한다.
- [0022] 상기 다수의 데이터 드라이버 집적회로들(DIC1 내지 DICN) 각각은 복수개로 그룹화된 데이터 라인(D1 내지 Dm) 각각에 데이터 신호를 제공할 수 있다. 따라서 액정표시장치의 해상도에 따라서 상기 데이터 드라이버 집적회로들(DIC1 내지 DICN)의 개수는 달라질 수 있고, 데이터 라인(D1 내지 Dm)의 그룹화 정도에 따라서도 상기 데이터 드라이버 집적회로들(DIC1 내지 DICN)의 개수는 달라질 수 있다. 다만 본 발명에서는 데이터 드라이버 집적회로들 각각의 출력 라인은 짝수개가 될 수 있다.
- [0023] 데이터 구동회로(300)는 소스 출력 인에이블신호(SOE)가 로우논리로 유지되는 각 수평기간 동안 데이터전압을 데이터라인들(D1 내지 Dm)에 공급한다.
- [0024] 데이터 드라이버 집적회로들(DIC1 내지 DICN)은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(100)의 하부 유리기판에 접합될 수 있다.
- [0025] 게이트 구동회로(400)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼등을 포함한다. 게이트 구동회로(400)는 타이밍 콘트롤러(200)의 제어하에 대략 1 수평기간의 펄스폭을 가지는 스캔펄스들을 게이트라인들(G1 내지 Gn)에 순차적으로 공급한다. 게이트 구동회로(400)는 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널(100)의 하부 유리기판에 접합되거나, 또는 GIP(Gate driver In Panel) 공정에 의해 화소 어레이와 동시에 하부 유리기판 상에 직접 형성될 수 있다.
- [0026] 타이밍 콘트롤러(200)는 시스템보드(미도시)로부터 입력되는 디지털 비디오 데이터(RGB)를 액정표시패널(100)에 맞게 재정렬하여 데이터 구동회로(300)에 공급한다. 타이밍 콘트롤러(200)는 시스템보드로부터 수직/수평 동기 신호(Vsync, Hsync), 데이터 인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(300)와 게이트 구동회로(400)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다.

- [0027] 게이트 구동회로(400)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 1 프레임기간 동안 그 프레임기간의 시작과 동시에 1회 발생하여 첫 번째 게이트펄스를 발생시킨다. 게이트 쉬프트 클럭(GSC)은 쉬프트 레지스터를 구성하는 다수의 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(400)의 출력을 제어한다.
- [0028] 데이터 구동회로(200)를 제어하기 위한 데이터 타이밍 제어신호로는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 수직 극성제어신호(Polarity, POL) 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(300)의 데이터 샘플링 시작 타이밍을 제어하는 신호이며, 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 대응하여 데이터 구동회로(300)를 구성하는 각 데이터 드라이버 집적회로에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 또한, 극성 제어 신호(Polarity, POL)는 데이터 구동회로(300)에서 출력되는 데이터 전압을 게이트라인들(G1 내지 Gn)별로 극성 반전 타이밍을 제어하고, 소스 출력 인에이블신호(SOE)는 데이터 구동회로(300)의 출력 타이밍을 제어하는 역할을 한다.
- [0029] 상기 데이터 구동회로(300)는 타이밍 콘트롤러(200)의 제어에 따라 입력되는 화소 데이터(RGB DATA)를 래치한다. 그리고 극성 제어 신호(Polarity, POL)에 대응하여 화소 데이터를 아날로그 정극성 또는 부극성 감마 보상전압(GAMMA)으로 변환하여 모든 데이터 라인(D1 내지 Dm)을 통해 동시에 액정표시패널(100)로 출력한다. 구체적으로 상기 데이터 구동회로(300)는 타이밍 콘트롤러(200)로부터 제공되는 극성 제어 신호(POL)가 하이 논리일 때 데이터 구동회로(300)에서 출력되는 데이터 전압의 극성을 정극성으로 할 수 있고, 로우 논리일 때 데이터 구동회로(300)에서 출력되는 데이터 전압의 극성을 부극성으로 할 수 있다.
- [0030] 한편 상기 데이터 구동회로(300)는 타이밍 콘트롤러(200)로부터 제공되는 옵션 컨트롤 신호(OPTC)에 기초하여 래치된 화소 데이터의 극성을 가변할 수 있다. 구체적으로 데이터 드라이버 집적회로(DIC)의 출력 라인의 절반의 출력 라인으로 출력될 화소 데이터의 극성과 나머지 출력 라인으로 출력될 화소 데이터의 극성을 서로 상반되도록 할 수 있다.
- [0031] <데이터 드라이버 집적회로>
- [0032] 도 3은 본 발명의 실시예에 따른 데이터 구동회로를 이루는 데이터 드라이버 집적회로의 상세 구성도를 나타낸 도면이다.
- [0033] 도 3을 참조하면, 데이터 드라이버 집적회로(DIC)는 순차적인 샘플링 신호를 공급하는 쉬프트 레지스터 어레이(320)와 샘플링 신호에 응답하여 화소 데이터를 순차적으로 래치하는 래치 어레이(330)와 옵션 컨트롤 신호(OPTC)에 따라 상기 래치 어레이(330)로부터의 화소 데이터를 제1 및 제2 화소 데이터로 구분하여 제2 화소 데이터의 극성 변화 유무를 제어하는 극성 옵션부(340), 상기 극성 옵션부(340)로부터 제공되는 제1 및 제2 화소 데이터를 입력 받아 출력하는 제1 멀티플렉서(Multiplexer: 이하, MUX라 함) 어레이(350), 상기 제1 MUX 어레이(350)로부터 제공되는 화소 데이터를 아날로그 화소 신호로 변환하는 디지털-아날로그 변환(이하, DAC라 함) 어레이(360)와 DAC 어레이(360)로부터의 화소 신호를 완충하여 출력하는 출력 버퍼 어레이(370)를 구비한다.
- [0034] 또한, 데이터 드라이버 집적회로(DIC)는 타이밍 콘트롤러(200)로부터 공급되는 데이터 제어 신호들과 화소 데이터를 중계하는 신호 제어부(310)와 기준감마 전압부(미도시)로부터 기준감마 전압 세트를 세분화하여 DAC 어레이(360)로 공급하는 감마 전압부(380)를 추가로 구비한다. 이러한 구성을 가지는 데이터 드라이버 집적회로(DIC)는 n개의 데이터 라인들(DL1 내지 DLn) 중 k(k는 짝수개)개의 데이터 라인들(DL1 내지 DLk)을 구동하게 된다.
- [0035] 신호 제어부(310)는 타이밍 콘트롤러(200)로부터의 각종 데이터 제어 신호들(SSP, SSC, SOE, REV, POL, OPTC 등)과 화소 데이터가 해당 구성요소들로 출력되게 제어한다.
- [0036] 감마 전압부(380)는 기준감마 전압부로부터 입력되는 정극성 기준감마전압 세트와 부극성 기준감마전압 세트 각각을 그레이별로 세분화하여 정극성 감마전압 세트와 부극성 감마전압 세트를 출력한다.
- [0037] 쉬프트 레지스터 어레이(320)에 포함되는 다수개의 쉬프트 레지스터들은 타이밍 콘트롤러(200)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭 신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링 신호로 출력한다. 래치 어레이(330)는 쉬프트 레지스터 어레이(320)로부터의 샘플링 신호에 응답하여 신호 제어부(310)로부터의 화소 데

이터를 일정 단위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치 어레이(330)는 k개의 화소 데이터를 래치하기 위해 k개의 래치들로 구성되고, 그 래치들 각각은 화소 데이터의 비트수에 대응하는 크기를 갖는다. 특히 타이밍 컨트롤러(200)는 전송 주파수를 줄이기 위하여 화소 데이터를 이븐 화소 데이터와 오드(ODD) 화소 데이터로 나누어 각각의 전송라인을 통해 동시에 출력하게 된다. 여기서 이븐(EVEN) 화소 데이터와 오드 화소 데이터 각각은 적(R), 녹(G), 청(B) 화소 데이터를 포함한다. 이에 따라 래치 어레이(330)는 샘플링 신호마다 신호 제어부(310)를 경유하여 공급되는 이븐 화소 데이터와 오드 화소 데이터, 즉 6개의 화소 데이터를 동시에 래치하게 된다. 이어서, 래치 어레이(330)는 신호 제어부(310)로부터의 소스 출력 이네이블 신호(SOE)에 응답하여 래치된 k개의 화소 데이터들을 출력한다. 극성 옵션부(340)로 출력한다. 이 경우, 래치 어레이(330)는 데이터 반전 선택 신호(REV)에 응답하여 트랜지션 비트 수가 줄어들게끔 변조된 화소 데이터들을 복원시켜 출력하게 된다. 이는 타이밍 컨트롤러(200)에서 데이터 전송시 전자기적 간섭(EMI)을 최소화하기 위하여 트랜지션되는 비트 수가 기준치를 넘어서는 화소 데이터들은 트랜지션 비트 수가 줄어들게끔 변조하여 공급하기 때문이다.

[0038] DAC 어레이(360)는 제1 MUX 어레이(350)로부터의 화소 데이터를 동시에 정극성 및 부극성 화소 신호로 변환하여 출력하게 된다. 이를 위하여, DAC 어레이(360)는 래치 어레이(330)에 공통 접속된 P(Positive) 디코딩 어레이(361) 및 N(Negative) 디코딩 어레이(362)와 P 디코딩 어레이(361) 및 N 디코딩 어레이(362)의 출력 신호를 선택하기 위한 제2 MUX 어레이(363)를 구비한다.

[0039] P 디코딩 어레이(361)에 포함되는 P 디코더들은 래치 어레이(330)로부터 동시에 입력되는 화소 데이터들을 감마 전압부(380)로부터의 정극성 감마 전압 세트를 이용하여 정극성 화소 신호로 변환하게 된다.

[0040] N 디코딩 어레이(362)에 포함되는 k개의 N 디코더들은 래치 어레이(330)로부터 동시에 입력되는 k개의 화소 데이터를 감마 전압부(380)로부터의 부극성 감마 전압 세트를 이용하여 부극성 화소 신호로 변환하게 된다.

[0041] 제2 MUX 어레이(363)에 포함되는 MUX들은 신호 제어부(310)로부터의 극성 제어 신호(POL)에 응답하여 P 디코더로부터의 정극성 화소 신호 또는 N 디코더로부터의 부 극성 화소 신호를 선택하여 출력하게 된다.

[0042] 출력 버퍼 어레이(370)에 포함되는 출력 버퍼들은 k개의 데이터라인들(DL1 내지 DLk)들에 직렬로 각각 접속된 전압 추종기(Voltage follower) 등으로 구성된다. 이러한 출력 버퍼들은 DAC 어레이(360)로부터의 화소 신호들을 신호 완충하여 데이터 라인들(DL1 내지 DLk)에 공급하게 된다.

[0043] <극성 옵션부>

[0044] 도 4는 본 발명의 실시예에 따른 극성 옵션부를 나타낸 블록도이다.

[0045] 도 4를 참조하면, 극성 옵션부(340)는 화소 데이터의 출력을 제어하는 출력 제어부(341), 스위칭부(342), 제1 출력부(343) 및 제2 출력부(344)를 포함할 수 있다.

[0046] 출력 제어부(341)는 입력되는 화소 데이터 중에서 k개의 데이터 라인 중에서 제1 내지 제k/2 데이터 라인으로 출력될 제1 화소 데이터와 제k/2+1 내지 제k 데이터 라인으로 출력될 제2 화소 데이터로 분리하여 제1 화소 데이터를 상기 제1 출력부(343)으로 제공하고, 제2 화소 데이터를 상기 제2 출력부(344)로 제공할 수 있다. 상기 제1 출력부(343)는 입력되는 제1 화소 데이터를 상기 제1 내지 제k/2 데이터 라인으로 순차적으로 출력하고, 상기 제2 출력부(344)는 입력되는 제2 화소 데이터를 상기 제k/2+1 내지 제k 데이터 라인으로 순차적으로 출력할 수 있다. 이 때 상기 제1 출력부(343)의 출력라인들이 상기 제1 내지 제k/2 데이터 라인에 직접 연결되거나 상기 제2 출력부(344)의 출력라인들이 상기 제k/2+1 내지 제k 데이터 라인에 직접 연결되는 것은 아니고, 설명의 편의를 위해 동일 부호를 사용한 것으로써 상기 제1 출력부(343)를 통해 출력되는 데이터 신호는 극성 옵션부(340)의 다음단의 구성을 거쳐 액정패널(100) 상의 제1 내지 제k/2개의 데이터 라인으로 출력되는 데이터 신호이고, 상기 제2 출력부(344)를 통해 출력되는 데이터 신호는 극성 옵션부(340)의 다음단의 구성을 거쳐 액정패널(100) 상의 제k/2+1 내지 제k 데이터 라인에 출력되는 데이터 신호이다.

[0047] 한편 상기 제2 출력부(344)는 스위칭부(342)의 스위칭 동작에 따라 제2 화소 데이터의 극성을 그대로 출력하거나 극성을 반대로 하여 출력할 수 있다.

[0048] 상기 스위칭부(342)는 신호 제어부(310)로부터의 옵션 신호(OPT)에 의해 제어되어 상기 옵션 신호(OPT)가 하이 논리 레벨일 때 상기 제2 화소 데이터를 상기 제2 출력부(344)의 반전 단자로 공급하고 상기 옵션 신호(OPT)가 로우 논리 레벨일 때 상기 제2 화소 데이터를 상기 제2 출력부(344)의 비반전 단자로 공급할 수 있다. 상기 제2 화소 데이터가 상기 제2 출력부(344)의 반전단자로 공급되면 상기 제2 화소 데이터의 극성은 반대가 되고, 비반

전단자로 공급되면 상기 제2 화소 데이터의 극성은 유지된다.

- [0049] 상기 신호 제어부(310)가 출력하는 옵션 신호(OPT)의 논리 레벨은 타이밍 컨트롤러(200)의 옵션 컨트롤 신호(OPCT)에 의하여 달라질 수 있다. 구체적으로 상기 옵션 컨트롤 신호(OPCT)의 논리 레벨에 동기하여 상기 옵션 신호(OPT)의 논리 레벨이 달라질 수 있으므로, 상기 옵션 컨트롤 신호(OPCT)가 하이 논리 레벨일 때 상기 옵션 신호(OPT)도 하이 논리 레벨이 되고, 상기 옵션 컨트롤 신호(OPCT)가 로우 논리 레벨일 때 상기 옵션 신호(OP T)도 로우 논리 레벨이 될 수 있다.
- [0050] 또한 상기 옵션 컨트롤 신호(OPCT)가 하이 논리 레벨이 되는 경우는, 데이터 드라이버 직접회로(DIC)들이 홀수 개로 구비되고 상기 데이터 드라이버 직접회로(DIC)들 각각으로부터 출력되는 데이터 신호들은 인버전이 없는 경우이거나 데이터 드라이버 직접회로(DIC)들 각각으로부터 출력되는 데이터 신호들은 인버전이 없으나, 데이터 드라이버 직접회로(DIC)들 간은 인버전이 있는 경우이다. 따라서 데이터 라인(DL) 별로 인버전이 있는 라인 인 버전이나 데이터 드라이버 직접회로(DIC)가 짝수개로 구비된 경우에는 상기 옵션 컨트롤 신호(OPCT)가 로우 논 리가 될 수 있다.
- [0051] 도 5 및 도 7은 본 발명의 실시예에 따른 극성 옵션부의 상세도이고, 도 6은 극성 옵션부가 도 5에 따른 동작 시 출력 파형을 나타낸 파형도이며 도 8은 극성 옵션부가 도 7에 따른 동작 시 출력 파형을 나타낸 파형도이다. 그리고 도 9는 데이터 드라이버 직접회로가 홀수개로 구비된 경우 극성 치우침이 개선되는 원리를 설명하기 위 한 도면이다.
- [0052] 도 5 및 도 7을 참조하면, 상기 제1 출력부(343)는 상기 제1 화소 데이터를 클럭 단자로 입력 받는 제1 내지 제 k/2 D플립플롭을 포함하고, 상기 제1 D플립플롭의 출력 및 입력 단자는 공통 연결되고, 상기 제2 내지 제k/2 D 플립플롭 각각의, 입력단자는 이전 D플립플롭의 출력단자에 연결되고, 상기 제2 출력부(344)는 상기 제2 화소 데이터를 클럭 단자로 입력 받는 제k/2+1 내지 제k D플립플롭을 포함하고, 상기 제k/2+1 D플립플롭의 출력 및 입력 단자는 공통 연결되고, 상기 제k/2+2 내지 제k D플립플롭 각각의, 입력단자는 이전 D플립플롭의 출력단자 에 연결될 수 있다. 일 예로 데이터 드라이버 직접회로(DIC)에 연결된 데이터 라인이 8개인 경우 제1 출력부 (343)의 출력 라인은 제1 내지 제4 출력 라인(DL1, DL2, DL3, DL4)이 되고, 상기 제2 출력부(344)의 출력 라인 은 제5 내지 제8 출력 라인(DL5, DL6, DL7, DL8)이 된다. 그리고 상기 제1 출력부(343)는 출력 라인 개수에 대 응하여 제1 내지 제4 D플립플롭(D-flip flop, 343a, 343b, 343c, 343d)을 포함하고, 상기 제1 내지 제4 D플립 플롭(343a, 343b, 343c, 343d)의 클럭 단자에는 출력 제어부(341)로부터 제1 화소 데이터가 입력되고, 상기 제1 D플립플롭(343a)은 입력 단자와 출력 단자가 서로 연결되면서 제1 출력 라인(DL1)으로 화소 데이터를 출력하고, 상기 제2 D플립플롭(343b)의 입력 단자는 제1 D플립플롭(343a)의 출력 단자에 연결되고 상기 제2 D플립플롭 (343b)의 출력 단자를 통해 제2 출력 라인(DL2)으로 화소 데이터를 출력하고, 상기 제3 D플립플롭(343c)의 입력 단자는 제2 D플립플롭(343b)의 출력 단자에 연결되고 상기 제3 D플립플롭(343c)의 출력 단자를 통해 제3 출력 라인(DL3)으로 화소 데이터를 출력하고, 상기 제4 D플립플롭(343d)의 입력 단자는 제3 D플립플롭(343c)의 출력 단자에 연결되고 상기 제4 D플립플롭(343d)의 출력 단자를 통해 제4 출력 라인(DL4)으로 화소 데이터를 출력한 다. 이와 같이 상기 제1 출력부(343)는 출력 제어부(341)로부터 출력되는 제1 화소 데이터를 각 출력 라인에 맞 게 순차적으로 출력할 수 있다. 그리고 상기 제1 내지 제4 출력라인(DL1, DL2, DL3, DL4)을 통해 출력된 제1 화 소 데이터는 제1 MUX 어레이(330)로 공급된다.
- [0053] 또한 상기 제2 출력부(344)는 출력 라인 개수에 대응하여 제5 내지 제8 D플립플롭(D-flip flop, 344a, 344b, 344c, 344d)을 포함하고, 상기 제5 내지 제8 D플립플롭(344a, 344b, 344c, 344d)의 클럭 단자에는 출력 제어부 (341)로부터 제2 화소 데이터가 입력되고, 상기 제5 D플립플롭(344a)은 입력 단자와 출력 단자가 서로 연결되면 서 제5 출력 라인(DL5)으로 화소 데이터를 출력하고, 상기 제6 D플립플롭(344b)의 입력 단자는 제5 D플립플롭 (344a)의 출력 단자에 연결되고 상기 제6 D플립플롭(344b)의 출력 단자를 통해 제6 출력 라인(DL6)으로 화소 데 이터를 출력하고, 상기 제7 D플립플롭(344c)의 입력 단자는 제6 D플립플롭(344b)의 출력 단자에 연결되고 상기 제7 D플립플롭(344c)의 출력 단자를 통해 제7 출력 라인(DL7)으로 화소 데이터를 출력하고, 상기 제8 D플립플롭 (344d)의 입력 단자는 제7 D플립플롭(344c)의 출력 단자에 연결되고 상기 제8 D플립플롭(344d)의 출력 단자를 통해 제8 출력 라인(DL8)으로 화소 데이터를 출력한다. 이와 같이 상기 제2 출력부(344)는 출력 제어부(341)로 부터 출력되는 제2 화소 데이터를 각 출력 라인에 맞게 순차적으로 출력할 수 있다. 그리고 상기 제5 내지 제8 출력라인(DL5, DL6, DL7, DL8)을 통해 출력된 제2 화소 데이터는 제1 MUX 어레이(330)로 공급된다. 그리고 스위 칭부(342)의 스위칭 동작에 따라 상기 제2 화소 데이터가 반전 단자로 공급되는 경우, 상기 제2 화소 데이터는 극성이 반대로 되어 상기 제5 내지 제8 출력 라인(DL5-DL8)으로 출력될 수 있다. 이 경우, 스위칭부(342)와 제5 내지 제8 D플립플롭(344a, 344b, 344c, 344d)의 클럭 신호 입력 단자 사이에는 인버터(344I)가 연결되어 출력

제어부(341)로부터 출력되는 상기 제2 화소 데이터의 극성이 반전되어 상기 클럭 신호 입력 단자로 인가될 수 있다. 즉 도 5 및 도 6과 같이 스위칭부(342) 내의 스위치가 출력 제어부(341)와 제2 출력부(344)의 비반전단자를 서로 연결하는 경우 출력 제어부(341)로 입력되는 화소 데이터는 제1 및 제2 출력부(343, 344)를 거쳐 극성의 변화 없이 제1 및 제2 화소 데이터로 순차적으로 출력되나, 도 7 및 도 8과 같이 스위칭부(342) 내의 스위치가 출력 제어부(341)와 제2 출력부(344)의 반전단자를 서로 연결하는 경우 출력 제어부(341)로 입력되는 화소 데이터는 제1 및 제2 출력부(343, 344)를 거쳐 상기 제2 출력부(344)로부터 출력되는 제2 화소 데이터만 극성이 반대로 변화되어 출력될 수 있다.

[0054] 도 9를 참조하면, 데이터 드라이버 직접회로(DIC)가 홀수개로 구비되고 상기 데이터 드라이버 직접회로(DIC)들 간에 인버전이 존재하는 경우, 상기 데이터 드라이버 직접회로(DIC)들 각각은 옵션 신호(OPT)의 하이 논리에 따라서 상기 데이터 드라이버 직접회로(DIC)들 각각의 절반의 출력 라인과 나머지 출력 라인으로 출력되는 데이터 신호의 극성은 반대가 되어 액정패널(100) 전체로써 극성 치우침이 개선될 수 있음을 알 수 있다.

[0055] 또한 액정표시장치의 제조 단계에서 데이터 드라이버 직접회로(DIC)의 개수를 짝수개로 맞추기 위한 별도의 공정을 진행할 필요 없이, 상기 데이터 드라이버 직접회로(DIC)가 짝수개인 경우 옵션 신호(OPT)를 항상 로우 논리 레벨로 유지하고, 상기 데이터 드라이버 직접회로(DIC)가 홀수개인 경우 옵션 신호(OPT)를 하이 논리 레벨로 가변할 수 있도록 하여, 극성 제어 신호(POL)를 참조함으로써 옵션 컨트롤 신호(OPTC)를 통해 상기 옵션 신호(OPT)의 논리 레벨을 제어할 수 있다. 그리하여 데이터 드라이버 직접회로(DIC)의 개수와 무관하게 극성 치우침을 개선할 수 있다.

[0056] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술할 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

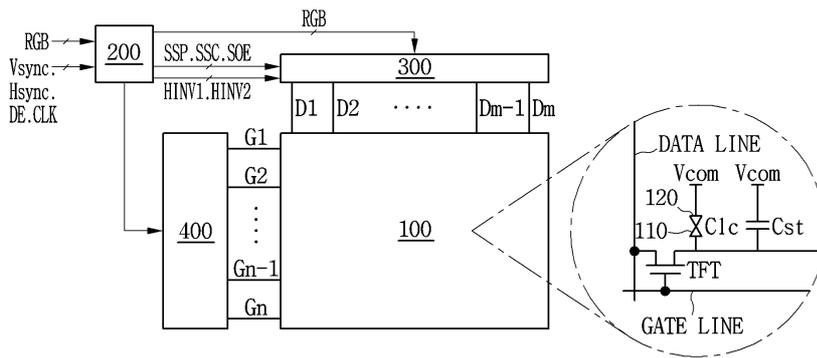
부호의 설명

- [0057] 100 액정패널
- 110 화소전극
- 120 공통전극
- 200 타이밍 콘트롤러
- 300 데이터 구동회로
- 310 신호 제어부
- 320 쉬프트 레지스터 어레이
- 330 래치 어레이
- 340 극성 옵션부
- 341 출력 제어부
- 342 스위칭부
- 343 제1 출력부
- 343a 제1 D플립플롭
- 343b 제2 D플립플롭
- 343c 제3 D플립플롭
- 343d 제4 D플립플롭
- 344 제2 출력부
- 344a 제5 D플립플롭

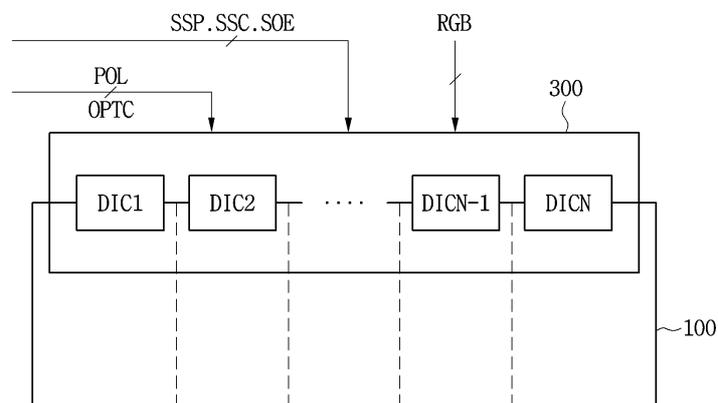
- 344b 제6 D플립플롭
- 344c 제7 D플립플롭
- 344d 제8 D플립플롭
- 344I 인버터
- 350 제1 MUX 어레이
- 360 DAC 어레이
- 361 P 디코더 어레이
- 362 N 디코더 어레이
- 363 제2 MUX 어레이
- 370 출력 버퍼 어레이
- 380 감마 전압부
- 400 게이트 구동회로

도면

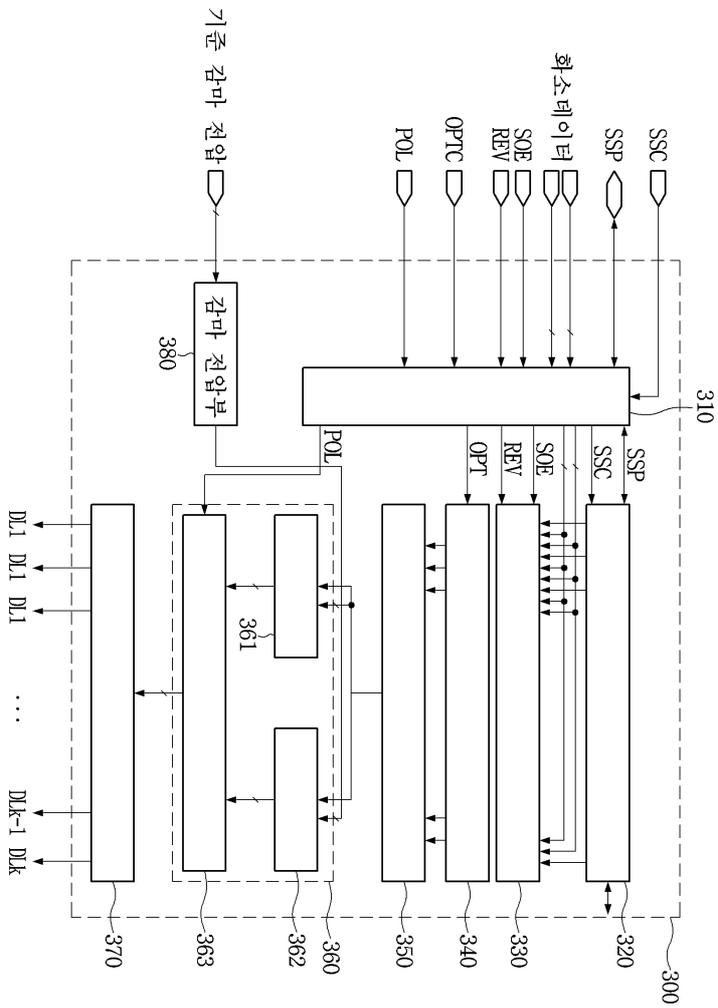
도면1



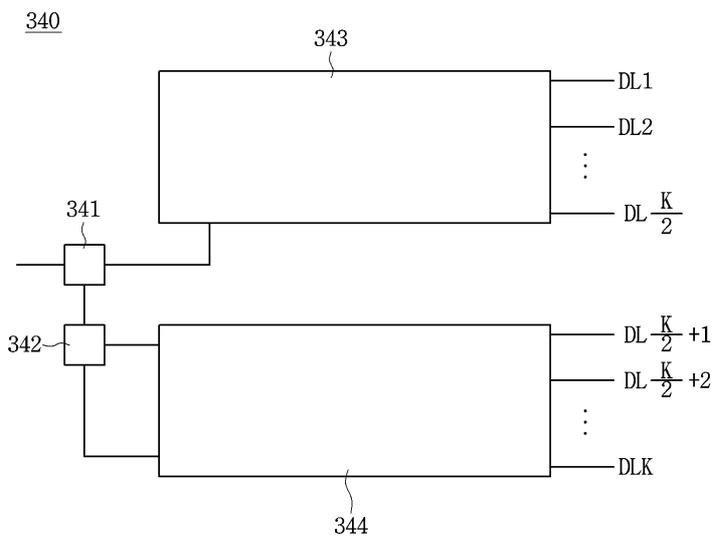
도면2



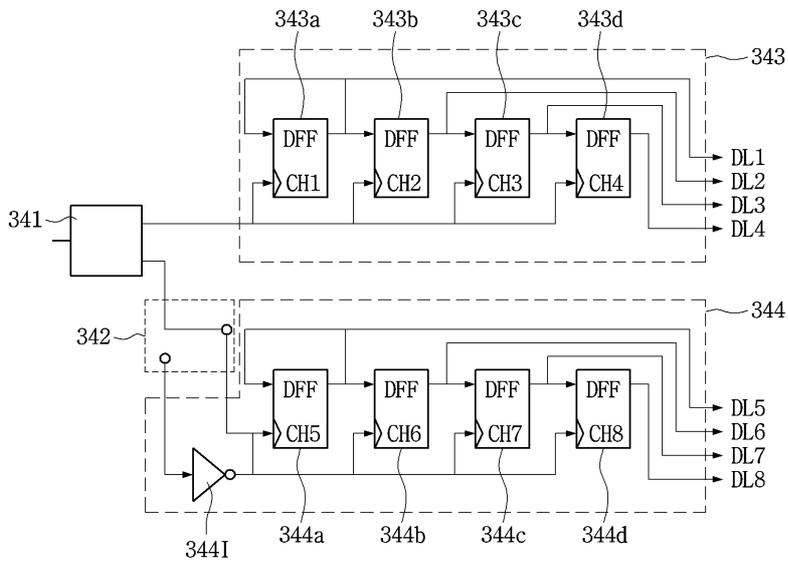
도면3



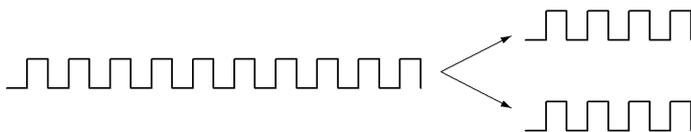
도면4



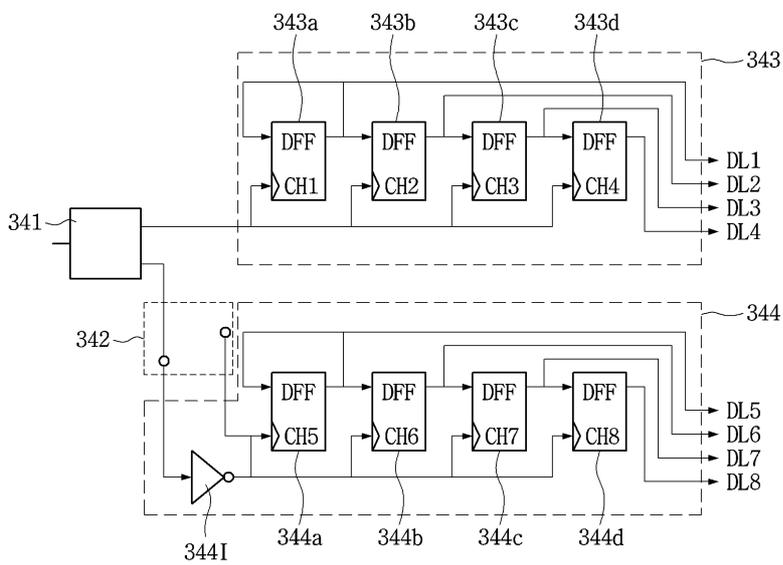
도면5



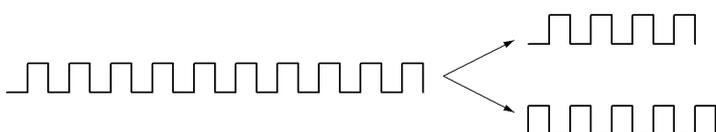
도면6



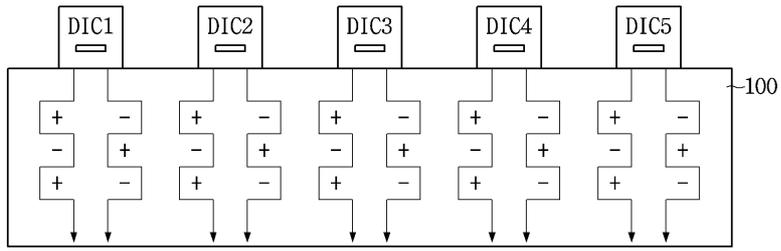
도면7



도면8



도면9



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020160094477A	公开(公告)日	2016-08-10
申请号	KR1020150014827	申请日	2015-01-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG HYOUNG WOOK 장형욱		
发明人	장형욱		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置及其驱动方法，其能够改善对偶数或奇数的数据驱动器直接接触电路的分类以及倾向于极性。

