



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0035397
(43) 공개일자 2013년04월09일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)</p> <p>(21) 출원번호 10-2011-0099660</p> <p>(22) 출원일자 2011년09월30일
심사청구일자 없음</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
김정현
경기도 고양시 일산서구 일산3동 후곡마을7단지아파트 703-906</p> <p>(74) 대리인
특허법인천문</p> |
|--|--|

전체 청구항 수 : 총 8 항

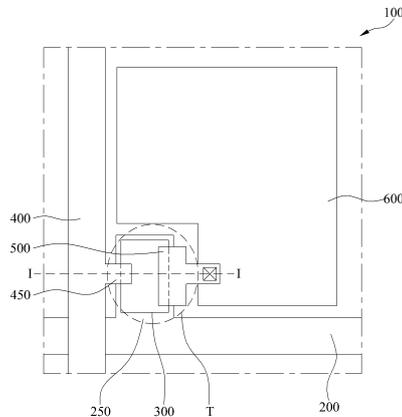
(54) 발명의 명칭 박막 트랜지스터 기판 및 액정표시장치

(57) 요약

본 발명은, 기판; 상기 기판 상에 서로 교차하여 화소 영역을 정의하는 게이트 배선과 데이터 배선; 상기 게이트 배선에 전기적으로 연결된 게이트 전극; 상기 데이터 배선에 전기적으로 연결된 제1 전극; 상기 제1 전극과 마주하면서 소정 간격으로 이격 배열된 제2 전극; 상기 제1 전극과 제2 전극 사이의 전자의 이동 채널로 기능하는 채널영역을 구비하는 반도체층; 및 상기 제2 전극과 전기적으로 연결되는 화소 전극을 포함하여 이루어지고, 상기 반도체층에 형성되는 채널영역은 상기 제1 전극과 접촉하여 형성되는 제1 채널영역 및 상기 제2 전극과 접촉하여 형성되는 제2 채널영역을 포함하여 이루어지고, 상기 제2 채널영역의 폭에 비하여 상기 제1 채널영역의 폭이 더 좁은 것을 특징으로 하는 박막 트랜지스터 기판 및 이를 이용한 액정표시장치에 관한 것으로서,

본 발명은 TFT의 채널 구조에 있어서, 제1 채널영역의 폭 보다 제2 채널영역의 폭을 더욱 넓게 형성하여 교류 (AC) 구동에 따른 충전특성의 비대칭성을 완화함으로써, 화질 특성 향상 및 잔상 제거의 효과가 있다.

대표도 - 도4a



특허청구의 범위

청구항 1

기관;

상기 기관 상에 서로 교차하여 화소 영역을 정의하는 게이트 배선과 데이터 배선;

상기 게이트 배선에 전기적으로 연결된 게이트 전극;

상기 데이터 배선에 전기적으로 연결된 제1 전극;

상기 제1 전극과 마주하면서 소정 간격으로 이격 배열된 제2 전극;

상기 제1 전극과 제2 전극 사이의 전자의 이동 채널로 기능하는 채널영역을 구비하는 반도체층; 및

상기 제2 전극과 전기적으로 연결되는 화소 전극을 포함하여 이루어지고,

상기 반도체층에 형성되는 채널영역은 상기 제1 전극과 접촉하여 형성되는 제1 채널영역 및 상기 제2 전극과 접촉하여 형성되는 제2 채널영역을 포함하여 이루어지고, 상기 제2 채널영역의 폭에 비하여 상기 제1 채널영역의 폭이 더 좁은 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 2

제1항에 있어서,

상기 제1 채널영역의 폭에 대한 상기 제2 채널영역의 폭의 비율이 1.1 이상 및 1.8 이하인 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 채널영역은 제1 선분, 상기 제1 선분의 일단에서 연장된 제2 선분, 및 상기 제1 선분의 타단에서 연장된 제3 선분을 구비하고,

상기 제2 채널영역은 상기 제1 선분과 마주하며 평행하게 대응하는 제4 선분, 상기 제4 선분의 일단에서 연장된 제5 선분, 및 상기 제4 선분의 타단에서 연장된 제6 선분을 구비하고 있으며,

이때, 상기 제1 채널영역의 폭은 상기 제1 선분의 길이이고,

상기 제2 채널영역의 폭은 상기 제4 선분의 길이인 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 4

제1항 또는 제2항에 있어서,

상기 제1 채널영역은 제1 선분, 상기 제1 선분의 일단에서 연장된 제2 선분, 및 상기 제1 선분의 타단에서 연장된 제3 선분을 구비하고,

상기 제2 채널영역은 상기 제1 선분과 마주하며 평행하게 대응하는 제4 선분, 상기 제4 선분의 일단에서 연장된 제5 선분, 및 상기 제4 선분의 타단에서 연장된 제6 선분을 구비하고 있으며,

이때, 상기 제1 채널영역의 폭은 상기 제1 선분 및 제2 선분의 길이의 합이고,

상기 제2 채널영역의 폭은 상기 제4 선분 및 제5 선분의 길이의 합인 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 5

제4항에 있어서,

상기 제5 선분은 상기 제4 선분의 일단에서 제1 방향으로 연장되어 있고, 상기 제6 선분은 상기 제4 선분의 타

단에서 상기 제1 방향과 반대방향으로 연장되어 있는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 6

제1항 또는 제2항에 있어서,

상기 제1 채널영역은 제1 선분, 상기 제1 선분의 일단에서 연장된 제2 선분, 및 상기 제1 선분의 타단에서 연장된 제3 선분을 구비하고,

상기 제2 채널영역은 상기 제1 선분과 마주하며 평행하게 대응하는 제4 선분, 상기 제4 선분의 일단에서 연장된 제5 선분, 및 상기 제4 선분의 타단에서 연장된 제6 선분을 구비하고 있으며,

이때, 상기 제1 채널영역의 폭은 상기 제1 선분, 제2 선분, 및 제3 선분의 길이의 합이고,

상기 제2 채널영역의 폭은 상기 제4 선분, 제5 선분, 및 제6 선분의 길이의 합인 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 7

제6항에 있어서,

상기 제5 선분은 상기 제4 선분의 일단에서 제1 방향으로 연장되어 있고, 상기 제6 선분은 상기 제4 선분의 타단에서 상기 제1 방향으로 연장되어 있는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 8

제1 기판 및 제2 기판; 및

상기 제1 기판 및 제2 기판 사이에 형성된 액정층을 포함하여 이루어지고,

상기 제1 기판은 상기 제1항 내지 제2항에 따른 박막 트랜지스터 기판으로 이루어진 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 액정표시장치의 동작특성을 결정하는 박막 트랜지스터를 포함하는 기판에 관한 것이다.

배경기술

[0002] 디스플레이 장치로서 액정표시장치(Liquid Crystal Display device) 또는 유기발광다이오드표시장치(Organic Light Emitting Diode display device) 등이 개발되어 널리 이용되고 있다.

[0003] 액정표시장치(Liquid Crystal Display device; 이하 'LCD'라 칭함)는 TFT가 형성된 하부기판(TFT 어레이 기판)과 컬러필터가 형성된 상부기판(컬러필터 어레이 기판)과, 상기 두 기판 사이에 개재된 액정을 포함한다.

[0004] 이러한 LCD는 액정에 입력된 영상신호에 따라, 화소전극과 공통전극 사이에 전계를 형성시키고, 전계에 따른 액정의 배열을 조절함으로써, 백라이트에서 입사되는 빛의 투과율을 조절하여 화상을 표시한다.

[0005] 도 1은 종래 기술에 따른 LCD를 나타내는 평면도이다. 도 1에서는 전체 화소중에서 하나의 화소를 도시하고 있으며, TFT가 형성된 영역을 도시하고 있다.

[0006] 도 1을 참조하면, LCD는 기판(미도시), 게이트 라인(11), 게이트 전극(12), 반도체층(13), 데이터 라인(14), 제 1 전극(15), 제 2 전극(16) 및 화소 전극(17)을 포함하여 이루어진다.

[0007] 상기 게이트 라인(11)은 상기 기판 상에 패턴 형성되어 있고, 상기 게이트 전극(12)은 상기 게이트 라인(11)으로부터 연장되어 형성되어 있다.

[0008] 상기 반도체층(13)은 상기 게이트 전극(12) 위에 패턴 형성되어 있다. 상기 반도체층(13)은 불순물이 도핑되지 않은 액티브층과 불순물이 도핑된 오믹콘택층을 포함하여 이루어진다.

- [0009] 상기 데이터 라인(14)은 상기 게이트 라인(11)과 수직으로 교차하여 상기 게이트 라인(11)과 하나의 화소 영역을 정의한다.
- [0010] 상기 제1 전극(15)과 상기 제2 전극(16)은 상기 반도체층(13) 상에서 소정 간격으로 서로 이격 형성되어 있다.
- [0011] 도 1에서 알 수 있듯이, 종래 기술에 따른 LCD에서는 상기 제1 전극(15)과 상기 제2 전극(16)이 서로 대칭적인 구조를 가진다.
- [0012] 상기 화소 전극(17)은 상기 제2 전극(16)과 전기적으로 연결되어 있다.
- [0013] 도 1의 구성을 가지는 LCD는 액정 열화방지를 위하여 공통전압(Vcom)을 기준으로 양(+)/음(-)의 값으로 주기적으로 변화하는 교류(AC) 구동을 하게 되고, 그로 인하여 데이터 라인과 연결된 제1 전극(15)과 화소전극과 연결된 제2 전극(16)이 TFT의 소스 전극과 드레인 전극의 기능을 교번적으로 수행하게 되며, 이를 통해 데이터 전압의 충전/방전이 이루어지도록 한다.
- [0014] 구체적으로, 양의 충전(positive charging) 기간에는 제1 전극(15)이 드레인 전극으로 동작하고, 제2 전극(16)이 소스 전극으로 동작한다.
- [0015] 한편, 음의 충전(negative charging) 기간에는 제2 전극(16)이 드레인 전극으로 동작하고, 제1 전극(15)은 소스 전극으로 기능한다.
- [0016] 여기서, 양의 충전 기간 중에는 음의 충전 기간에 비하여 게이트-소스간 전압(Vgs)이 상대적으로 낮기 때문에 충전 전류(온-전류) 역시 낮아 충전특성이 불리하게 된다. 이러한 충전특성의 차이를 보다 구체적으로 설명하면 하기와 같다.
- [0017] 도 2는 종래 기술에 의한 LCD에서 교류(AC) 구동에 의한 충전특성의 비대칭성을 보여주는 그래프이다.
- [0018] 도 2를 참조하면, 제1 충전 단계에서 드레인-소스간 전압은 Vds1이 되어 상측 곡선과 같은 모습을 보이고, 일정 시간 충전이 진행된 이후 제2 충전 단계에서 드레인-소스간 전압은 Vds2가 되어 하측 곡선과 같은 모습을 보인다. 즉, 충전이 진행됨에 따라 드레인-소스간 전압은 점차로 줄어 드레인-소스간 전류(Ids)도 줄어드는 경향을 나타낸다. 예로서, 충전이 진행됨에 따라 드레인-소스간 전압이 Vds1에서 Vds2로 줄어들고, 그에 따라 드레인-소스간 전류(Ids)도 Ion1에서 Ion2로 줄어들게 된다.
- [0019] 한편, 도 2에서 알 수 있듯이, 드레인-소스간 전류(Ids)의 변화는 드레인-소스간 전압(Vds) 뿐만 아니라 게이트-소스간 전압(Vgs)에 의해서도 영향으로 받는다. 이때, 양의 충전기간에서의 게이트-소스간 전압(Vgs)과 음의 충전기간에서의 게이트-소스간 전압(Vgs)은 서로 상이한 모습을 보이게 되는데, 이와 같은 이유로 인해서 충전이 진행됨에 따라 드레인-소스간 전류(Ids) 변화의 모습이 양의 충전기간 및 음의 충전기간 사이에 상이한 거동을 나타낸다.
- [0020] 구체적으로 설명하면, 음의 충전기간에는 제1 전극(도 1의 도면부호 15)이 소스 전극으로 기능하기 때문에, 충전이 진행됨에 따라 Vs값은 변동되지 않고, 그에 따라 Vgs값도 변동되지 않는다. 따라서, 음의 충전기간의 경우, 충전이 진행됨에 따라 드레인-소스간 전압값은 Vds1에서 Vds2로 변동되지만 게이트-소스간 전압은 Vgs1으로 그대로 유지된다. 결국, 음의 충전기간의 경우, 제1 충전 단계에서 드레인-소스간 전류가 Ion1인 상태에서 제2 충전 단계에서 드레인-소스간 전류가 Ion2로 떨어지게 된다.
- [0021] 그에 반하여, 양의 충전기간에는 제2 전극(도 1의 도면부호 16)이 소스 전극으로 기능하기 때문에, 충전이 진행됨에 따라 Vs값이 변동되고, 그에 따라 Vgs값도 변동된다. 따라서, 양의 충전기간의 경우, 충전이 진행됨에 따라 드레인-소스간 전압값은 Vds1에서 Vds2로 변동되고 그와 더불어 게이트-소스간 전압은 Vgs1에서 Vgs2로 변동된다. 결국, 양의 충전기간의 경우, 제1 충전 단계에서 드레인-소스간 전류가 Ion1인 상태에서 제2 충전 단계에서 드레인-소스간 전류가 Ion3으로 떨어지게 된다.
- [0022] 즉, 종래 기술에 의한 LCD에 있어서, 교류(AC) 구동으로 인해 양의 충전기간에서 음의 충전기간에 비하여 충전 전류가 작기 때문에, 충전특성의 비대칭성이 나타나는 문제가 있다.
- [0023] 도 3은 종래 기술에 의한 TFT 대칭 채널 구조에서 충전특성의 비대칭성을 보여주는 그래프이다.
- [0024] 종래 TFT 채널 구조에서는 제1 전극 및 제2 전극은 반도체층을 사이에 두고 게이트 전극과 이격하여 형성되며, 상기 제1 전극 및 제2 전극은 소정의 간격을 두고 대칭되는 형상을 이루고 있다.
- [0025] 도 3에서, 충전비[%] = ((제2 전극의 전압 - 공통 전극의 전압)/(제1 전극의 전압 - 공통 전극의 전압)) * 100

으로 정의한다.

- [0026] 상기 공통 전극은 상기 화소 전극과 사이에서 전계를 형성하며, 상기 전계에 따라 액정층의 배열이 조절됨으로써 입력신호에 따라 LCD 화면에 영상을 표시할 수 있다.
- [0027] 도 3에서, 양의 충전기간(pos(W1=W2))에 비하여 음의 충전기간(neg(W1=W2))에서 화소 전극의 충전속도가 더 빠르다는 것을 알 수 있다.
- [0028] 즉, 소정의 충전비(%)에 도달하는데 소요되는 시간(μs)을 비교하여 볼 때, 양의 충전기간에서는 음의 충전기간에 비하여 더 오랜 시간이 소요된다. 따라서, 충전속도는 양의 충전기간에 비하여 음의 충전기간에서 더 빠르다.
- [0029] 이러한 충전특성의 비대칭성은 도 3에 나타난 두 그래프 사이의 면적(A)을 통하여 명확하게 나타난다. 상기 면적이 넓을수록 충전특성의 비대칭성은 더욱 가중되며, 상기 면적이 좁을수록 충전특성의 비대칭성은 완화된다.
- [0030] 이와 같이, 교류(AC) 구동 특성상 LCD에 있어서, 양의 충전기간과 음의 충전기간에서 충전특성이 비대칭적으로 나타날 수 밖에 없는 근본적인 제약이 있다. 더구나, 종래 TFT의 대칭 채널 구조에서는 이러한 비대칭적 충전특성에 대한 보상이 이루어지지 않기 때문에, 화질 특성이 저하되고 잔상이 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0031] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 TFT의 채널 구조를 변경함으로써 교류(AC) 구동되는 LCD의 충전 특성 비대칭을 해소할 수 있는 박막 트랜지스터 기판을 제공하는 것을 목적으로 한다.
- [0032] 본 발명은 또한 상기와 같은 박막 트랜지스터 기판을 적용한 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0033] 본 발명은 상기 목적을 달성하기 위해서, 기판; 상기 기판 상에 서로 교차하여 화소 영역을 정의하는 게이트 배선과 데이터 배선; 상기 게이트 배선에 전기적으로 연결된 게이트 전극; 상기 데이터 배선에 전기적으로 연결된 제1 전극; 상기 제1 전극과 마주하면서 소정 간격으로 이격 배열된 제2 전극; 상기 제1 전극과 제2 전극 사이의 전자의 이동 채널로 기능하는 채널영역을 구비하는 반도체층; 및 상기 제2 전극과 전기적으로 연결되는 화소 전극을 포함하여 이루어지고, 상기 반도체층에 형성되는 채널영역은 상기 제1 전극과 접촉하여 형성되는 제1 채널영역 및 상기 제2 전극과 접촉하여 형성되는 제2 채널영역을 포함하여 이루어지고, 상기 제2 채널영역의 폭에 비하여 상기 제1 채널영역의 폭이 더 좁은 것을 특징으로 하는 박막 트랜지스터 기판을 제공한다.
- [0034] 본 발명은 또한, 제1 기판 및 제2 기판; 및 상기 제1 기판 및 제2 기판 사이에 형성된 액정층을 포함하여 이루어지고, 상기 제1 기판은 전술한 박막 트랜지스터 기판으로 이루어진 것을 특징으로 하는 액정표시장치를 제공한다.

발명의 효과

- [0035] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0036] 종래의 LCD에서는, TFT의 제1 전극과 제2 전극이 대칭되도록 형성되었고, 이와 같은 대칭 TFT 채널 구조 하에서는 교류(AC) 구동에 의한 제1 전극과 제2 전극 사이의 극성 변화에 따라 충전특성의 비대칭성이 그대로 드러난다. 이러한 충전특성의 비대칭성으로 인하여 LCD의 화질특성은 저하되고, 잔상이 발생하였다.
- [0037] 그에 반하여, 본 발명은 TFT 채널 구조를 변경함으로써, 충전특성의 비대칭성을 완화할 수 있게 되었다. 즉, LCD에서는 액정 열화 방지를 위해 교류(AC) 구동이 필요한데, 그로 인한 충전특성의 비대칭성에 따라, 양의 충전기간 동안의 충전 특성이 음의 충전기간 동안의 충전 특성에 비하여 불리하게 된다. 이에 대처하여, 본 발명에 따르면, TFT 채널 구조에 있어서, 양의 충전기간 동안의 충전 특성이 유리하도록 변경을 가함으로써, 교류(AC) 구동으로 인한 충전특성을 균일하게 할 수 있어, 화질 특성 향상 및 잔상 제거의 효과가 있다.

도면의 간단한 설명

- [0038] 도 1은 종래 기술에 따른 LCD를 나타내는 평면도이다.
- 도 2는 종래 기술에 의한 LCD에서 교류(AC) 구동에 의한 충전특성의 비대칭성을 보여주는 그래프이다.
- 도 3은 종래 기술에 의한 TFT 대칭 채널 구조에서 충전특성의 비대칭성을 보여주는 그래프이다.
- 도 4a는 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 평면도이다.
- 도 4b는 도 4a에 도시된 박막 트랜지스터(T)의 상세도이다.
- 도 5a는 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 평면도이다.
- 도 5b는 도 5a에 도시된 박막 트랜지스터(T)의 상세도이다.
- 도 6a는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 평면도이다.
- 도 6b는 도 6a에 도시된 박막 트랜지스터(T)의 상세도이다.
- 도 7은 본 발명의 실시예에 따른 TFT 채널 구조의 충전 특성을 나타내는 그래프이다.
- 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이다.
- 도 9는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도이다.
- 도 10은 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 설명하기로 한다.
- [0040] 박막 트랜지스터 기관
- [0041] 도 4a는 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 평면도이고, 도 4b는 도 4a에 도시된 박막 트랜지스터(T)의 상세도이다.
- [0042] 우선, 도 4a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 기관(100), 게이트 라인(200), 데이터 라인(400), 게이트 전극(250), 박막 트랜지스터(T) 및 화소전극(600)을 포함하여 이루어진다.
- [0043] 상기 게이트 라인(200)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(400)은 세로 방향으로 배열되어 있다. 이와 같이 상기 게이트 라인(200)과 상기 데이터 라인(400)이 서로 교차되도록 배열되어 하나의 화소 영역이 정의된다.
- [0044] 상기 게이트 전극(250)은 상기 게이트 라인(200)에서 연장형성되어 있다.
- [0045] 상기 박막 트랜지스터(T)는 상기 게이트 라인(200)과 상기 데이터 라인(400)이 교차하는 영역에 형성된다. 상기 박막 트랜지스터(T)는 게이트 전극(250), 반도체층(300), 제1 전극(450) 및 제2 전극(500)을 포함하여 이루어진다.
- [0046] 상기 반도체층(300)은 상기 게이트 전극(250)과 상기 제1 전극(450) 및 제2 전극(500) 사이의 중간층에 형성되어 박막 트랜지스터가 동작할 때 전자가 이동하는 채널 역할을 한다.
- [0047] 상기 제1 전극(450)은 상기 데이터 배선(400)에서 돌출 형성된다.
- [0048] 상기 제2 전극(500)은 소정 간격을 두고 상기 제1 전극(450)과 이격하여 형성된다. 상기 제1 전극(450)과 상기 제2 전극(500)에 대해 보다 상세하게는 도 4b를 참조하여 후술한다.
- [0049] 상기 화소 전극(600)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 제2 전극(500)과 전기적으로 연결되어 있다.
- [0050] 다음, 도 4b를 참조하여 본 발명의 일 실시예에 따른 박막 트랜지스터(T)에 대해서 보다 상세히 설명하기로 한다.
- [0051] 상기 제1 전극(450)은 상기 반도체층(300) 위에 증착하여 형성되어 있다. 상기 제2 전극(500)은 상기 제1 전극(450)과 소정의 간격을 두고 상기 반도체층(300)위에 증착하여 형성되어 있다.
- [0052] 상기 게이트 전극(미도시)에 전압이 걸리는 경우 상기 반도체층(300)에는 전자가 이동하는 채널영역이

형성된다. 상기 채널영역은 상기 제1 전극(450) 및 상기 제2 전극(500)과 접촉하는 영역을 포함하는데, 상기 제1 전극(450)과 접촉하는 영역을 제1 채널영역(451)이라고 하고, 상기 제2 전극(500)과 접촉하는 영역을 제2 채널영역(501)이라고 한다.

- [0053] 상기 제1 채널영역(451)과 상기 제2 채널영역(501)은 서로 마주보며 평행하게 대응하는 적어도 하나의 선분을 포함하며, 상기 적어도 하나의 대응선분의 길이의 합을 상기 각 채널영역의 폭으로 부르기로 한다.
- [0054] 도 4b에서 알 수 있듯이, 상기 제1 채널영역(451)은 제1 선분(A1), 상기 제1 선분(A1)의 일단에서 연장된 제2 선분(A2), 상기 제1 선분(A1)의 타단에서 연장된 제3 선분(A3)을 구비하고, 상기 제2 채널영역(501)은 제4 선분(A4), 상기 제4 선분(A4)의 일단에서 연장된 제5 선분(A5), 및 상기 제4 선분(A4)의 타단에서 연장된 제6 선분(A6)을 구비하고 있다.
- [0055] 여기서, 상기 제1 채널영역(451)의 제1 선분(A1)은 상기 제2 채널영역(501)의 제4 선분(A4)과 서로 마주보며 평행하게 대응하고 있다. 그러나, 상기 제1 채널영역(451)의 제2 선분(A2)은 상기 제2 채널영역(501)의 제5 선분(A5) 또는 제6 선분(A6)과 서로 마주보며 평행하게 대응하고 있지 않고, 상기 제1 채널영역(451)의 제3 선분(A3) 역시 상기 제2 채널영역(501)의 제5 선분(A5) 또는 제6 선분(A6)과 서로 마주보며 평행하게 대응하고 있지 않다.
- [0056] 따라서, 상기 제1 채널영역(451)의 폭(W1)은 상기 제1 선분(A1)의 길이가 되고, 상기 제2 채널영역(501)의 폭(W2)은 상기 제4 선분(A4)의 길이가 된다.
- [0057] 본 발명은 상기 제1 채널영역의 폭(W1)을 상기 제2 채널영역의 폭(W2)에 대비하여 더욱 좁게 형성하는 것에 그 특징이 있다.
- [0058] 본 발명에 있어서, 상기 제1 채널영역의 폭(W1)에 대한 상기 제2 채널영역의 폭(W2)의 비율이 1.1 이상 및 1.8 이하로 형성하는 것이 바람직하다.
- [0059] 또한, 본 발명의 TFT 채널의 비대칭 구조에 따르면, 교류(AC) 구동에 의한 충전특성의 비대칭성을 완화하여 화소 전극의 충전특성을 균일하게 할 수 있는 효과가 있다. 본 발명에 따른 충전특성의 균일화 효과에 대하여는 본 발명의 다른 실시예에 대하여 살펴본 후에 구체적으로 설명하도록 한다.
- [0060] 도 5a는 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 평면도이고, 도 5b는 도 5a에 도시된 박막 트랜지스터(T)의 상세도이다.
- [0061] 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관은 박막 트랜지스터(T)의 구성을 제외하고 전술한 실시예에 따른 박막 트랜지스터 기관과 유사하며, 따라서 동일한 구성에 대해서는 동일한 도면부호를 부여하였고 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0062] 우선, 도 5a에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관은 기관(100), 게이트 라인(200), 데이터 라인(400), 박막 트랜지스터(T) 및 화소전극(600)을 포함하여 이루어진다.
- [0063] 상기 게이트 라인(200)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(400)은 세로 방향으로 배열되어 있다.
- [0064] 상기 박막 트랜지스터(T)는 상기 게이트 라인(200)과 상기 데이터 라인(400)이 교차하는 영역에 형성된다. 상기 박막 트랜지스터(T)는 게이트 전극(250), 반도체층(300), 제1 전극(450) 및 제2 전극(500)을 포함하여 이루어진다.
- [0065] 상기 제1 전극(450)과 상기 제2 전극(500)에 대해서는 도 5b를 참조하여 보다 상세하게 후술한다.
- [0066] 상기 화소 전극(600)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 제2 전극(500)과 전기적으로 연결되어 있다.
- [0067] 다음, 도 5b를 참조하여 본 발명의 다른 실시예에 따른 박막 트랜지스터(T)에 대해서 보다 상세히 설명하기로 한다.
- [0068] 상기 제1 전극(450)은 상기 반도체층(300) 위에 중첩하여 형성되어 있다. 상기 제2 전극(500)은 상기 제1 전극(450)과 소정의 간격을 두고 상기 반도체층(300)위에 중첩하여 형성되어 있다.
- [0069] 상기 제1 채널영역(451)과 상기 제2 채널영역(501)은 서로 마주보며 평행하게 대응하는 적어도 하나의 선분을

포함하며, 상기 적어도 하나의 대응선분의 길이의 합을 상기 각 채널영역의 폭으로 부르기로 한다.

- [0070] 도 5b에서 알 수 있듯이, 상기 제1 채널영역(451)은 제1 선분(A1), 상기 제1 선분(A1)의 일단에서 연장된 제2 선분(A2), 상기 제1 선분(A1)의 타단에서 연장된 제3 선분(A3)을 구비하고, 상기 제2 채널영역(501)은 제4 선분(A4), 상기 제4 선분(A4)의 일단에서 연장된 제5 선분(A5), 및 상기 제4 선분(A4)의 타단에서 연장된 제6 선분(A6)을 구비하고 있다.
- [0071] 여기서, 상기 제1 채널영역(451)의 제1 선분(A1)은 상기 제2 채널영역(501)의 제4선분(A4)과 서로 마주보며 평행하게 대응하고 있다. 또한, 상기 제1 채널영역(451)의 제2 선분(A2)은 상기 제2 채널영역(501)의 제5 선분(A5)과 서로 마주보며 평행하게 대응하고 있다. 그러나, 상기 제1 채널영역(451)의 제3 선분(A3)은 상기 제2 채널영역(501)의 제6 선분(A6)과 서로 마주보며 평행하게 대응하고 있지 않다.
- [0072] 따라서, 상기 제1 채널영역(451)의 폭(W1)은 상기 제1 선분(A1) 및 제2 선분(A2)의 길이의 합이 되고, 상기 제2 채널영역(501)의 폭(W2)은 상기 제4 선분(A4) 및 제5 선분(A5)의 길이의 합이 된다.
- [0073] 본 발명은 상기 제1 채널영역의 폭(W1)을 상기 제2 채널영역의 폭(W2)에 대비하여 더욱 좁게 형성하는 것에 그 특징이 있다.
- [0074] 본 발명에 있어서, 상기 제1 채널영역의 폭(W1)에 대한 상기 제2 채널영역의 폭(W2)의 비율이 1.1 이상 및 1.8 이하로 형성하는 것이 바람직하다.
- [0075] 또한, 본 발명의 TFT 채널의 비대칭 구조에 따르면, 교류(AC) 구동에 의한 충전특성의 비대칭성을 완화하여 화소 전극의 충전특성을 균일하게 할 수 있는 효과가 있다. 본 발명에 따른 충전특성의 균일화 효과에 대하여 구체적으로 후술하도록 한다.
- [0076] 도 6a는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 평면도이고, 도 6b는 도 6a에 도시된 박막 트랜지스터(T)의 상세도이다.
- [0077] 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관은 박막 트랜지스터(T)의 구성을 제외하고 전술한 실시예에 따른 박막 트랜지스터 기관과 유사하며, 따라서 동일한 구성에 대해서는 동일한 도면부호를 부여하였고 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0078] 우선, 도 6a에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관은 기관(100), 게이트 라인(200), 데이터 라인(400), 박막 트랜지스터(T) 및 화소전극(600)을 포함하여 이루어진다.
- [0079] 상기 게이트 라인(200)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(400)은 세로 방향으로 배열되어 있다.
- [0080] 상기 박막 트랜지스터(T)는 상기 게이트 라인(200)과 상기 데이터 라인(400)이 교차하는 영역에 형성된다. 상기 박막 트랜지스터(T)는 게이트 전극(250), 반도체층(300), 제1 전극(450) 및 제2 전극(500)을 포함하여 이루어진다.
- [0081] 상기 제1 전극(450)과 상기 제2 전극(500)에 대해서는 도 6b를 참조하여 보다 상세하게 후술한다.
- [0082] 상기 화소 전극(600)은 상기 화소 영역 내에 형성되며, 상기 박막 트랜지스터(T)의 제2 전극(500)과 전기적으로 연결되어 있다.
- [0083] 다음, 도 6b를 참조하여 본 발명의 또 다른 실시예에 따른 박막 트랜지스터(T)에 대해서 보다 상세히 설명하기로 한다.
- [0084] 상기 제1 전극(450)은 상기 반도체층(300) 위에 중첩하여 형성되어 있다. 상기 제2 전극(500)은 상기 제1 전극(450)과 소정의 간격을 두고 상기 반도체층(300)위에 중첩하여 형성되어 있다.
- [0085] 상기 제1 채널영역(451)과 상기 제2 채널영역(501)은 서로 마주보며 평행하게 대응하는 적어도 하나의 선분을 포함하며, 상기 적어도 하나의 대응선분의 길이의 합을 상기 각 채널영역의 폭으로 부르기로 한다.
- [0086] 도 6b에서 알 수 있듯이, 상기 제1 채널영역(451)은 제1 선분(A1), 상기 제1 선분(A1)의 일단에서 연장된 제2 선분(A2), 상기 제1 선분(A1)의 타단에서 연장된 제3 선분(A3)을 구비하고, 상기 제2 채널영역(501)은 제4 선분(A4), 상기 제4 선분(A4)의 일단에서 연장된 제5 선분(A5), 및 상기 제4 선분(A4)의 타단에서 연장된 제6 선분(A6)을 구비하고 있다.

- [0087] 여기서, 상기 제1 채널영역(451)의 제1 선분(A1)은 상기 제2 채널영역(501)의 제 4선분(A4)과 서로 마주보며 평행하게 대응하고 있다. 또한, 상기 제1 채널영역(451)의 제2 선분(A2)은 상기 제2 채널영역(501)의 제5 선분(A5)과 서로 마주보며 평행하게 대응하고 있다. 마지막으로, 상기 제1 채널영역(451)의 제3 선분(A3)도 상기 제2 채널영역(501)의 제6 선분(A6)과 서로 마주보며 평행하게 대응하고 있다.
- [0088] 따라서, 상기 제1 채널영역(451)의 폭(W1)은 상기 제1 선분(A1), 제2 선분(A2), 및 제3 선분(A3)의 길이의 합이 되고, 상기 제2 채널영역(501)의 폭(W2)은 상기 제4 선분(A4), 제5 선분(A5), 및 제6 선분(A6)의 길이의 합이 된다.
- [0089] 본 발명은 상기 제1 채널영역의 폭(W1)을 상기 제2 채널영역의 폭(W2)에 대비하여 더욱 좁게 형성하는 것에 그 특징이 있다.
- [0090] 본 발명에 있어서, 상기 제1 채널영역의 폭(W1)에 대한 상기 제2 채널영역의 폭(W2)의 비율이 1.1 이상 및 1.8 이하로 형성하는 것이 바람직하다.
- [0091] 또한, 본 발명의 TFT 채널의 비대칭 구조에 따르면, 교류(AC) 구동에 의한 충전특성의 비대칭성을 완화하여 화소 전극의 충전특성을 균일하게 할 수 있는 효과가 있다. 본 발명에 따른 충전특성의 균일화 효과에 대하여 구체적으로 후술하도록 한다.
- [0092] 이상 설명한 각각의 구성들은 당업계에 공지된 다양한 재료를 이용하여 형성할 수 있다. 이하에서는 각각의 구성들의 재료에 대한 예를 설명하지만, 반드시 그에 한정되는 것은 아니다.
- [0093] 상기 게이트 라인(200), 상기 게이트 전극(250), 상기 데이터 라인(400), 상기 제1 전극(450) 및 상기 제2 전극(500)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0094] 상기 반도체층(300)은 비정질 실리콘 또는 결정질 실리콘을 포함하여 이루어질 수 있다.
- [0095] 상기 화소 전극(600) ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide)와 같은 투명 도전물로 이루어질 수 있다.
- [0096] 도 7을 참조하여, 본 발명에 따른 충전 특성의 균일화 효과에 대해 보다 구체적으로 설명하기로 한다.
- [0097] 도 7은 본 발명의 실시예에 따른 TFT 채널 구조의 충전 특성을 나타내는 그래프이다.
- [0098] 도 7에서, 충전비[%] = ((제2 전극의 전압 - 공통 전극의 전압)/(제1 전극의 전압 - 공통 전극의 전압)) * 100으로 정의한다.
- [0099] 상기 공통 전극은 상기 화소 전극과 사이에서 전계를 형성하며, 상기 전계에 따라 액정층의 배열이 조절됨으로써 입력신호에 따라 LCD 화면에 영상을 표시할 수 있다.
- [0100] 도 7에서 알 수 있듯이, 본 발명의 실시예에 따른 TFT 채널 구조에 있어서, 교류(AC) 구동에 의한 충전 특성의 비대칭성이 완화된다.
- [0101] 우선, 제1 채널영역의 폭(W1)에 비하여 제2 채널영역의 폭(W2)이 1.15배가 되는 TFT 채널 구조를 살펴본다. 이 때, 양의 충전기간의 충전특성 그래프(pos(W2=1.15W1))와 음의 충전기간의 충전특성 그래프(neg(W1=W2)) 사이에 형성되는 면적은 B임을 알 수 있다.
- [0102] 또한, 종래의 TFT 대칭 채널 구조에서, 양의 충전기간의 충전특성 그래프(pos(W2=W1))와 음의 충전기간의 충전특성 그래프(neg(W1=W2)) 사이에 형성되는 면적은 B+C임을 알 수 있다.
- [0103] 따라서, 본 발명에 따른 TFT 채널 구조에 의하여, 충전특성의 비대칭성이 완화된다는 것을 쉽게 알 수 있다.
- [0104] 다음, 제1 채널영역의 폭(W1)에 대한 제2 채널영역의 폭(W2)이 1.40배가 되는 TFT 채널 구조를 살펴본다. 상기 구조(W2=1.40W1)에 의하면, 양의 충전기간의 충전특성 그래프(미도시)와 음의 충전기간의 충전특성 그래프(neg(W1=W2))에서 충전시간에 따른 충전비가 거의 일치하여, 이들 그래프 사이에 형성되는 면적이 0에 가깝게 나타난다.
- [0105] 따라서, 이 때, 충전특성의 비대칭성이 가장 효과적으로 완화된다.
- [0106] 다음, 제1 채널영역의 폭(W1)에 비하여 제2 채널영역의 폭(W2)이 1.40배를 넘어 1.60배가 되는 TFT 채널 구조를

살펴본다. 상기 구조에 따른 양의 충전기간의 충전특성 그래프(pos(W2=1.60W1))와 음의 충전기간의 충전특성 그래프(neg(W1=W2))를 비교하여 볼 때, 충전특성의 비대칭성이 다시 나타나는 것을 알 수 있다. 즉, 이 때부터는 양의 충전기간에서의 충전속도가 음의 충전기간에서의 충전속도에 비하여 더 빠르며, 충전특성의 비대칭성이 다시 증가한다.

- [0107] 이와 같이, 제1 채널영역의 폭(W1)에 비하여 제2 채널영역의 폭(W2)이 1.40배를 넘게 되면, 최소화되었던 충전특성의 비대칭성이 다시 증가하기 시작한다.
- [0108] 그리하여, 제1 채널영역의 폭(W1)에 비하여 제2 채널영역의 폭(W2)이 1.8배를 초과하는 경우(미도시)에는 종래의 TFT 대칭 채널구조(W1=W2)에서 나타나는 충전특성의 비대칭성과 같은 크기 만큼 충전특성의 비대칭성이 나타난다.
- [0109] 따라서, 본 발명에 따른 TFT 채널구조에 있어서는, 제1 채널영역의 폭(W1)에 대한 제2 채널영역의 폭(W2)의 비율이 1.1 이상 및 1.8 이하로 형성되는 것을 특징으로 한다.
- [0110] 이 때, 종래의 TFT 대칭 채널 구조에 비하여 충전특성의 비대칭성이 완화되는 효과가 발생한다.
- [0111] 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 개략적인 단면도(도 4a의 I-I라인의 단면도)로서, 이는 전술한 도 4a에 따른 박막 트랜지스터 기판의 제조방법에 관한 것이다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 각각의 구성의 재료 등에 대한 반복적인 설명은 생략하기로 한다.
- [0112] 우선, 기판(100) 상에 게이트 전극(250)을 형성한다.
- [0113] 상기 게이트 전극(250)은 상기 기판(100) 상에 소정의 금속물질을 적층하고, 소정의 금속물질 상에 포토레지스트를 적층한 후, 마스크를 이용하여 노광, 현상 및 식각 공정을 차례로 수행하는 소위 마스크 공정을 이용하여 패턴 형성할 수 있으며, 이하에서 설명하는 각각의 구성에 대한 패턴 형성도 상기와 같은 마스크 공정을 이용하여 수행할 수 있다.
- [0114] 한편, 도시하지는 않았지만, 상기 게이트 전극(250)을 형성하는 공정 시에 상기 게이트 전극(250)과 연결되는 게이트 라인을 동시에 형성하게 된다.
- [0115] 다음, 상기 게이트 전극(250)을 포함한 기판(100) 전면에 게이트 절연막(260)을 형성한다.
- [0116] 상기 게이트 절연막(260)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0117] 다음, 상기 게이트 절연막(260) 상에 반도체층(300)을 형성하고, 상기 반도체층(300) 상에 데이터 라인(400)에서 연장되는 제1 전극(450) 및 상기 제1 전극(450)과 마주하는 제2 전극(500)을 형성한다.
- [0118] 상기 반도체층(300)을 마스크 공정을 이용하여 형성한 후, 이어서 상기 제1 전극(450) 및 제2 전극(500)을 마스크 공정을 이용하여 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 하프톤 마스크를 이용하여 한 번의 마스크 공정을 이용하여 상기 반도체층(300)과 상기 제1/제2 전극(450, 500)을 동시에 형성할 수도 있으며, 이 경우에는 상기 반도체층(300)과 상기 제1/제2 전극(450, 500)의 패턴모습이 서로 유사하게 형성된다.
- [0119] 다음, 상기 반도체층(300)과 상기 제1/제2 전극(450, 500)을 포함한 기판 전면에 보호막(550)을 형성한다. 상기 보호막(550)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0120] 다음, 콘택홀(560)을 형성한다. 상기 콘택홀(560)은 상기 제2 전극(500)이 노출되도록 상기 보호막(550)의 소정 영역에 형성한다. 상기 콘택홀(560)은 마스크 공정을 통해 형성한다.
- [0121] 다음, 상기 제2 전극(500)과 연결되는 화소 전극(600)을 형성한다. 상기 화소 전극(600)도 마스크 공정을 이용하여 형성한다.
- [0122] 상기 화소 전극(600)은 상기 콘택홀(560)을 통해 상기 제2 전극(500)과 연결된다.
- [0123] 도 8에서는 상기 화소 전극(600)이 상기 콘택홀(560)을 통해 상기 제2 전극(500)과 연결되는 것을 예로 하였으나, 본 발명에 따른 박막 트랜지스터 기판은 반드시 이에 한정되는 것이 아니고, 상기 화소 전극(600)이 상기 제2 전극(500)상에 형성되어 직접 연결되는 예도 가능하다.

- [0124] 액정표시장치
- [0125] 도 9는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도로서, 이는 전술한 도 4a에 따른 박막 트랜지스터 기판을 적용한 액정표시장치에 관한 것이다. 따라서, 동일한 구성에 대해서는 동일한 도면 부호를 부여하였고, 동일한 구성에 대한 구체적인 설명은 생략하기로 한다.
- [0126] 도 9에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는 박막 트랜지스터 기관(S_T), 컬러 필터 기관(S_C), 및 상기 양 기관 사이에 형성된 액정층(LC)을 포함하여 이루어진다.
- [0127] 상기 박막 트랜지스터 기관(S_T)은 제1 기관(100) 상에 형성된 게이트 전극(250), 게이트 절연막(260), 반도체층(300), 데이터 배선(400), 제1 전극(450) 및 제2 전극(500)을 포함하여 이루어지고, 이와 같은 각각의 구성은 전술한 도 4a와 동일하다.
- [0128] 또한, 상기 제1 전극(450) 및 제2 전극(500)을 포함한 상기 제1 기관(100)의 전면에는 보호막(550)이 형성되어 있고, 상기 보호막(550)에는 콘택홀(560)이 형성되어 있어, 상기 콘택홀(560)을 통해 상기 제2 전극(500)이 노출되게 된다. 상기 보호막(550)은 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 물질로 이루어질 수도 있고, 아크릴과 같은 유기계 물질로 이루어질 수도 있다.
- [0129] 또한, 상기 보호막(550) 상에는 화소전극(600)이 형성되어 있는데, 상기 화소전극(600)은 상기 콘택홀(560)을 통해 상기 제2 전극(500)과 연결되어 있다. 상기 화소전극(600)은 ITO와 같은 투명한 도전물질로 이루어질 수 있다.
- [0130] 상기 컬러 필터 기관(S_C)은 제2 기관(700) 상에 형성된 차광층(710), 상기 차광층(710) 상에 형성된 컬러필터층(730) 및 상기 컬러필터층(730) 상에 형성된 공통전극(750)을 포함하여 이루어진다.
- [0131] 상기 차광층(710)은 화소영역 이외의 영역으로 광이 누설되는 것을 차단하기 위한 것으로서 매트릭스(matrix)구조로 패턴형성되어 있고, 상기 컬러필터층(730)은 상기 차광층(710) 사이의 영역에 각각 형성된 적색(R), 녹색(G) 및 청색(B)의 컬러필터를 포함하여 형성되어 있고, 상기 공통전극(750)은 상기 제2 기관(700)의 전면에 형성되어 있다.
- [0132] 이와 같은 도 9에 도시한 액정표시장치는 상기 박막 트랜지스터 기관(S_T)에 형성된 화소전극(600)과 상기 컬러 필터 기관(S_C)에 형성된 공통전극(750) 사이에 발생하는 수직전계에 의해서 상기 액정층(LC)의 배열상태가 변경되고, 그에 따라 광투과도가 조절되어 화상이 디스플레이 되게 된다. 이와 같이 수직전계 방식의 예로는 TN(Twisted Nematic)모드 및 VA(Vertical Alignment) 모드 등을 들 수 있다.
- [0133] 도 9에 도시한 본 발명의 일 실시예에 따른 액정표시장치는 박막 트랜지스터 기관(S_T)과 컬러 필터 기관(S_C)을 준비한 후, 상기 양 기관 사이에 액정층(LC)을 형성하는 공정을 통해 제조할 수 있다.
- [0134] 상기 박막 트랜지스터 기관(S_T)은 우선, 전술한 방법으로 제1 기관(100) 상에 게이트 전극(250), 게이트 절연막(260), 반도체층(300), 데이터 배선(400), 제1 전극(450) 및 제2 전극(500)을 형성하고, 다음, 상기 제1 전극(450) 및 제2 전극(500)을 포함한 상기 제1 기관(100) 상에 콘택홀(560)을 구비한 보호막(550)을 형성하고, 다음, 상기 콘택홀(560)을 통해 상기 제2 전극(500)과 연결되는 화소전극(600)을 형성하는 공정을 통해 준비할 수 있다.
- [0135] 상기 컬러 필터 기관(S_C)은 제2 기관(700) 상에 차광층(710)을 형성하고, 상기 차광층(710) 상에 컬러필터층(730)을 형성하고, 그리고 상기 컬러필터층(730) 상에 공통전극(750)을 형성하는 공정을 통해 준비할 수 있다.
- [0136] 상기 액정층(LC)을 형성하는 공정은, 씰런트(sealant)를 이용하여 상기 컬러 필터 기관(S_C)과 상기 박막 트랜지스터 기관(S_T)을 합착한 후 상기 씰런트에 구비된 주입홀을 통해 액정을 주입하는 공정으로 이루어질 수도 있고, 상기 컬러 필터 기관(S_C)과 상기 박막 트랜지스터 기관(S_T) 중 어느 하나의 기관 상에 액정을 적하한 후 씰런트를 이용하여 상기 양 기관을 합착하는 공정으로 이루어질 수도 있다.
- [0137] 도 10는 전술한 도 4a에 따른 박막 트랜지스터 기판을 적용한 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 단면도이다.
- [0138] 도 10에 따른 액정표시장치는 소위 IPS(In-Plane Switching)모드에 관한 것으로서, 화소 전극(600) 및 공통 전

극(750)의 구성을 제외하고는 전술한 도 9에 따른 액정표시장치와 동일하며, 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

[0139] 도 10에 따르면, 박막 트랜지스터 기관(S_T)에 화소 전극(600)과 공통 전극(750)이 함께 형성되고, 특히, 상기 화소 전극(600)과 공통 전극(750)은 위에서 볼때 서로 평행하게 배열되어 있다. 따라서, 상기 화소 전극(600)과 공통 전극(750) 사이에서 발생하는 횡전계에 의해 액정이 구동하게 되며, 이와 같은 IPS 모드는 일반적인 TN(Twisted Nematic)모드에 비하여 시야각 특성이 우수한 장점이 있다.

[0140] 상기 공통 전극(750)은 도시된 바와 같이 게이트 전극(250)과 동일한 층에 형성될 수 있다. 즉, 상기 공통 전극(650)은 상기 게이트 전극(250) 형성 공정시 동시에 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 공통 전극(750)의 형성 위치는 다양하게 변경될 수 있으며, 예로서 상기 공통 전극(750)은 상기 화소 전극(600)과 동일한 층에 형성될 수 있다.

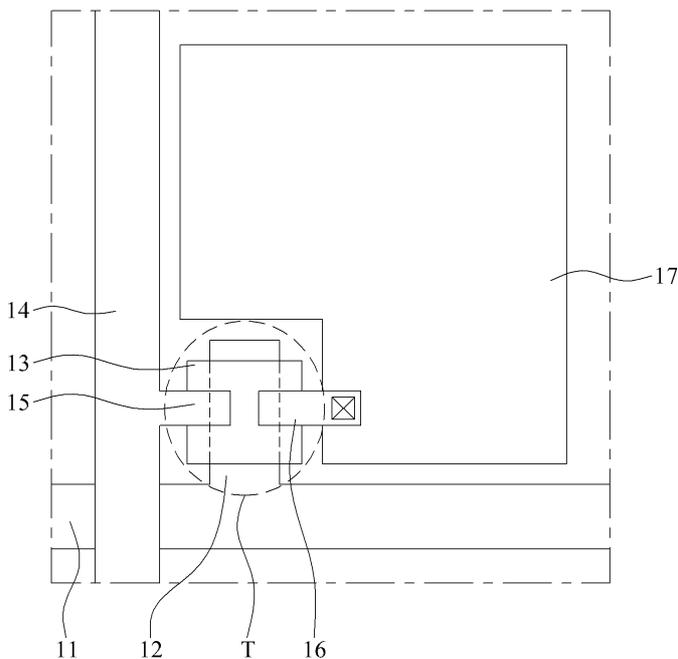
[0141] 한편, 상기 공통 전극(750)이 박막 트랜지스터 기관(S_T)에 형성됨에 따라 컬러 필터 기관(S_C) 상에는 기관 평탄화를 위한 오버 코트층(770)이 추가될 수 있다.

부호의 설명

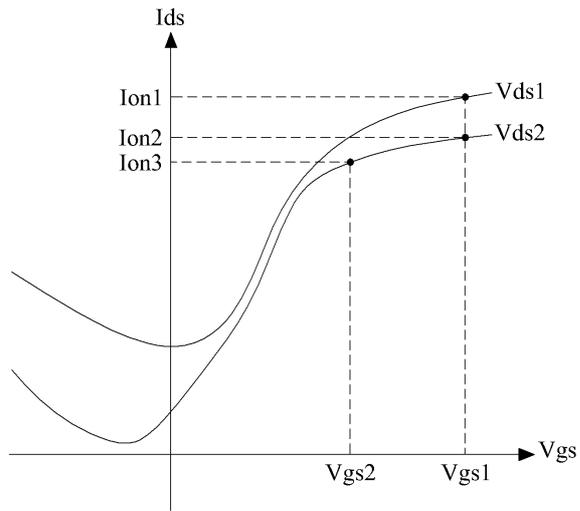
- | | | |
|--------|----------------|-------------|
| [0142] | 100: 기관, 제1 기관 | 200: 게이트 배선 |
| | 250: 게이트 전극 | 300: 반도체층 |
| | 400: 데이터 배선 | 450: 제1 전극 |
| | 451: 제1 채널영역 | 500: 제2 전극 |
| | 501: 제2 채널영역 | 600: 화소 전극 |
| | 700: 제2 기관 | |

도면

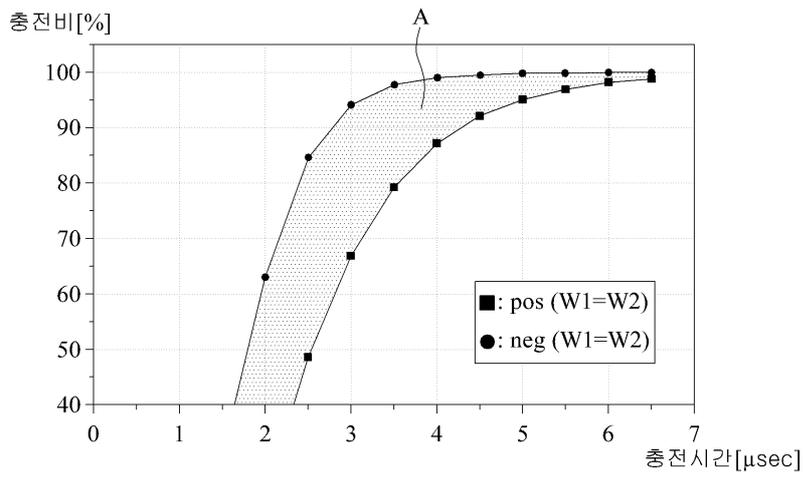
도면1



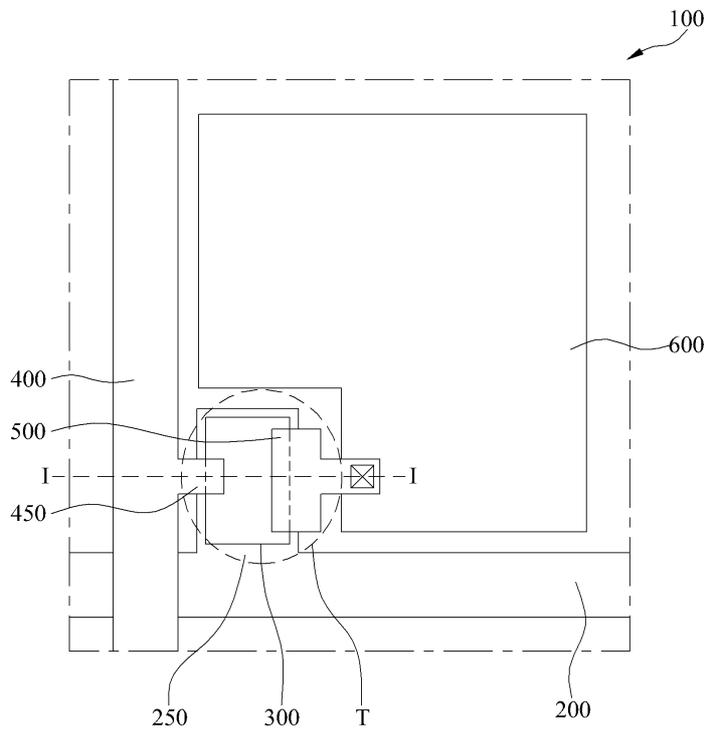
도면2



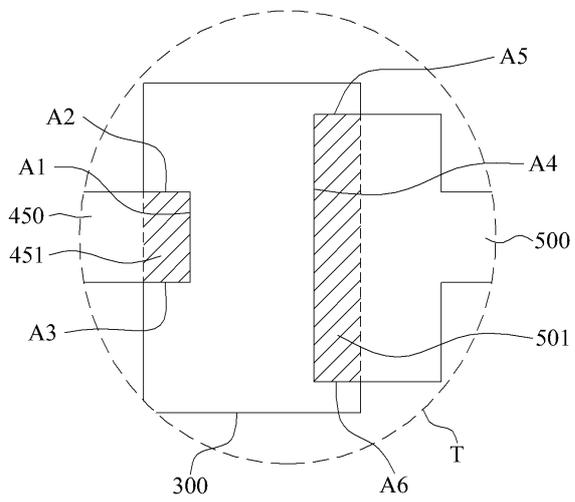
도면3



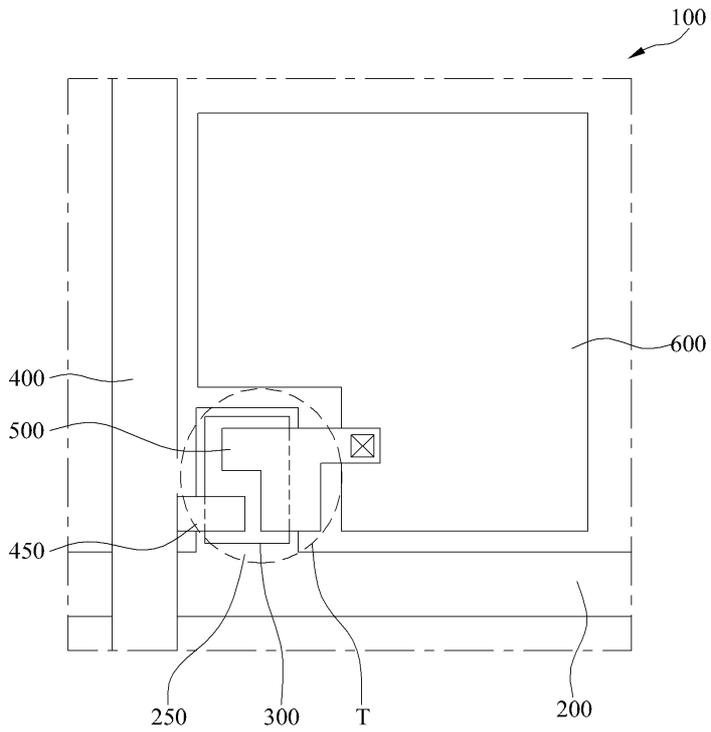
도면4a



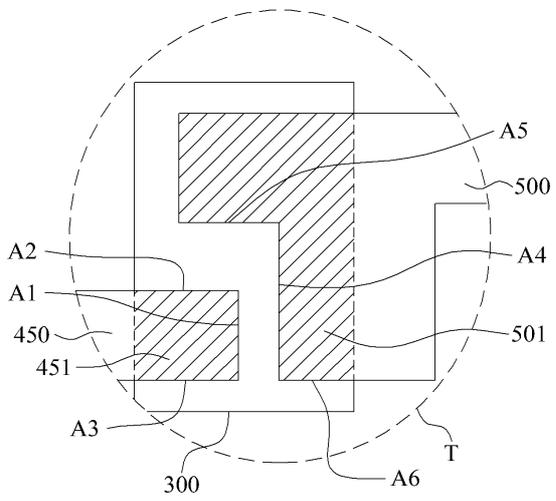
도면4b



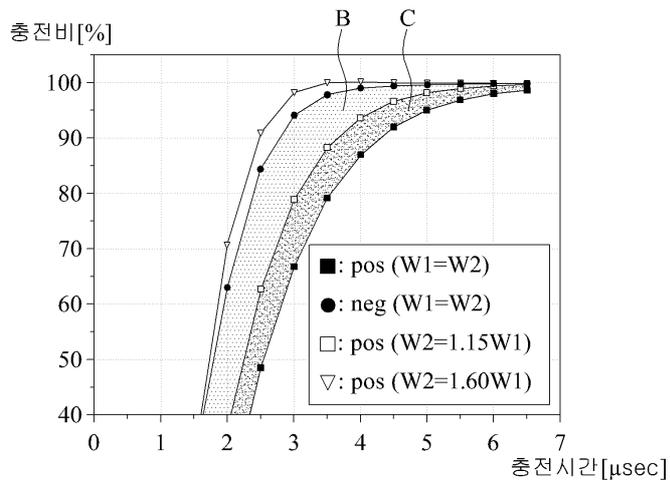
도면5a



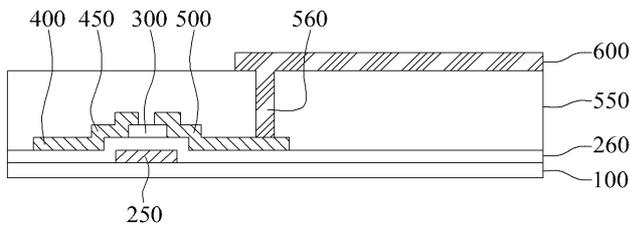
도면5b



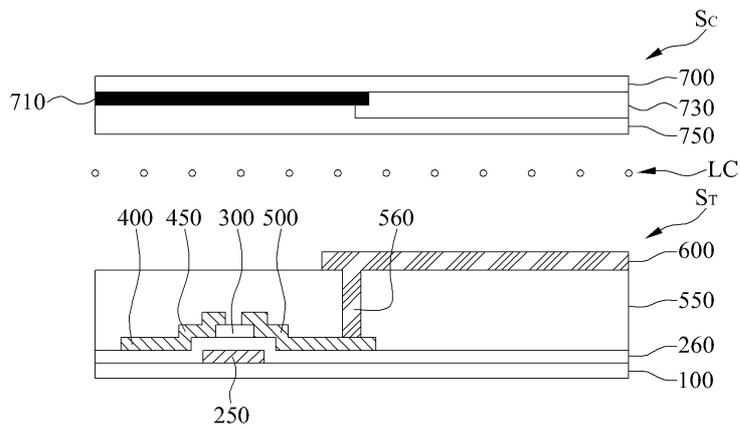
도면7



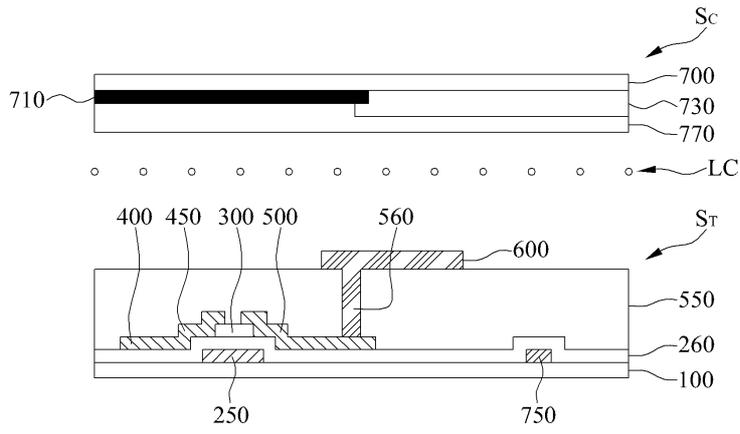
도면8



도면9



도면10



专利名称(译)	标题：薄膜晶体管基板和液晶显示装置		
公开(公告)号	KR1020130035397A	公开(公告)日	2013-04-09
申请号	KR1020110099660	申请日	2011-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JUNG HYUN		
发明人	KIM, JUNG HYUN		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	H01L27/1214 G02F1/1368 H01L29/41733 H01L29/78696		
外部链接	Espacenet		

摘要(译)

本发明涉及与配备有衬底的半导体层电连接的像素电极，栅极布线和数据线在衬底上交叉并限定像素区域，栅极电极在栅极布线中连接，第一电极电连接数据线，第二电极和用作第一电极和第二电极与第二电极之间的电子的移动通道的沟道区域，形成在其上的半导体层上的沟道区域是薄膜晶体管基板包括与第一沟道区域和与包括形成的第二沟道区域的第一电极接触形成的第二电极的接触，并且其中第一沟道区域的宽度与第二沟道区域的宽度相比变得更窄，以及该液晶显示器使用相同。并且本发明在图像质量特性改进和余像消除中有效，第二沟道区域的宽度比第一沟道区域的宽度更多地形成。第二电极在与第一电极相反的方向上与固定间隔不同地布置。

