



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0120819
(43) 공개일자 2010년11월17일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0039651

(22) 출원일자 2009년05월07일

심사청구일자 없음

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 벌명자

유충식

경기도 안양시 동안구 평촌동 푸른마을대우아파트
109동 904호

(74) 대리인

박영복, 김용인

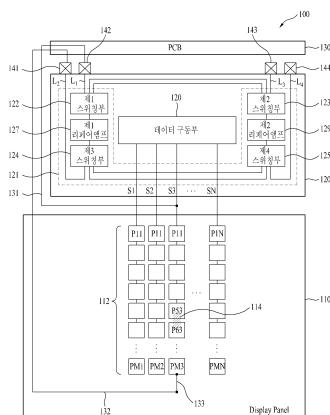
전체 청구항 수 : 총 6 항

(54) 소스 드라이버 및 액정 표시 장치

(57) 요 약

소스 드라이버 및 액정 표시 장치가 제공된다. 상기 소스 드라이버 및 액정 표시 장치는 게이트 라인들, 데이터 라인들, 및 상기 게이트 라인들과 데이터 라인들에 의해 정의되는 화소 영역마다 형성된 화소 셀들로 구성된 화소 어레이를 포함하는 디스플레이 패널을 구동함에 있어서 상기 화소 어레이를 구동하기 위한 정극성의 아날로그 데이터 신호 및 부극성의 아날로그 신호를 상기 데이터 라인들에 공급하는 데이터 구동부, 및 상기 데이터 라인들 중 적어도 하나의 데이터 라인에 공급되는 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호를 버퍼링하고, 버퍼링된 신호를 출력하는 리페어부를 포함한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

게이트 라인들, 데이터 라인들, 및 상기 게이트 라인들과 데이터 라인들에 의해 정의되는 화소 영역마다 형성된 화소 셀들로 구성된 화소 어레이를 포함하는 디스플레이 패널을 구동하는 소스 드라이버에 있어서,

상기 화소 어레이를 구동하기 위한 정극성의 아날로그 데이터 신호 및 부극성의 아날로그 신호를 상기 데이터 라인들에 공급하는 데이터 구동부; 및

상기 데이터 라인들 중 적어도 하나의 데이터 라인에 공급되는 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호를 버퍼링하고, 버퍼링된 신호를 출력하는 리페어부를 포함하는 소스 드라이버.

청구항 2

제1항에 있어서, 상기 소스 드라이버는,

상기 데이터 라인들 중 적어도 하나의 데이터 라인에 공급되는 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호가 입력되는 적어도 하나의 리페어 입력 패드; 및

상기 리페어부에 의하여 버퍼링된 신호가 출력되는 적어도 하나의 리페어 출력 패드를 더 포함하는 소스 드라이버.

청구항 3

제2항에 있어서, 상기 리페어부는,

정극성의 입력 신호를 버퍼링하고 버퍼링된 정극성의 입력 신호를 출력하는 정극성 버퍼;

부극성의 입력 신호를 버퍼링하고 버퍼링된 부극성의 입력 신호를 출력하는 부극성 버퍼;

상기 극성 제어 신호에 응답하여, 제1 리페어 입력 패드로부터 입력되는 정극성의 아날로그 데이터 신호를 상기 정극성 버퍼로 출력하고 제2 리페어 입력 패드로부터 입력되는 부극성의 아날로그 데이터 신호를 상기 부극성 버퍼로 출력하는 제1 스위칭부; 및

상기 극성 제어 신호에 응답하여, 상기 정극성 버퍼에 의해 버퍼링된 정극성의 아날로그 데이터 신호를 제1 리페어 출력 패드로 출력하고 상기 부극성 버퍼에 의해 버퍼링된 부극성의 아날로그 데이터 신호를 제2 리페어 출력 패드로 출력하는 제2 스위칭부를 포함하는 소스 드라이버.

청구항 4

제3항에 있어서,

상기 정극성 버퍼의 출력은 상기 정극성의 아날로그 데이터 신호의 제1 계조 전압과 제2 계조 전압 사이에서 스윙되고, 상기 부극성 버퍼의 출력은 상기 부극성의 아날로그 데이터 신호의 제3 계조 전압과 제4 계조 전압 사이에서 스윙되는 것을 특징으로 하는 소스 드라이버.

청구항 5

데이터 라인들 및 상기 데이터 라인들과 대응하여 형성되는 로우 픽셀 어레이들을 포함하는 액정 표시 패널;

상기 로우 픽셀 어레이들 중 적어도 하나의 일단에 연결되는 적어도 하나의 제1 리페어 라인;

상기 로우 픽셀 어레이들 중 적어도 하나의 다른 일단에 연결되는 적어도 하나의 제2 리페어 라인; 및

극성 제어 신호에 응답하여, 상기 로우 픽셀 어레이들을 구동하기 위한 정극성 및 부극성의 아날로그 데이터 신호를 상기 데이터 라인들에 공급하는 소스 드라이버를 포함하며,

상기 소스 드라이버는,

상기 적어도 하나의 제1 리페어 라인과 연결되며, 상기 적어도 하나의 제1 리페어 라인을 통하여 정극성 또는 부극성의 아날로그 데이터 신호가 입력되는 적어도 하나의 리페어 입력 패드;

상기 극성 제어 신호에 응답하여, 상기 적어도 하나의 리페어 입력 패드를 통하여 입력되는 정극성 또는 부극성의 아날로그 데이터를 버퍼링하고 버퍼링된 정극성 또는 부극성의 아날로그 데이터 신호를 출력하는 리페어부; 및

상기 리페어부에 의하여 버퍼링된 정극성 또는 부극성의 아날로그 데이터 신호가 출력되며, 상기 제2 리페어 라인과 연결되는 적어도 하나의 리페어 출력 패드를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제5항에 있어서, 상기 리페어부는,

입력되는 정극성의 아날로그 데이터 신호를 버퍼링하고, 버퍼링된 정극성 아날로그 데이터 신호를 출력하는 정극성 버퍼;

입력되는 부극성의 아날로그 데이터 신호를 버퍼링하고, 버퍼링된 부극성 아날로그 데이터 신호를 출력하는 부극성 버퍼;

극성 제어 신호에 응답하여, 제1 리페어 입력 패드로부터 입력되는 정극성의 아날로그 데이터 신호를 상기 정극성 버퍼로 출력하고 제2 리페어 입력 패드로부터 입력되는 부극성의 아날로그 데이터 신호를 상기 부극성 버퍼로 출력하는 제1 스위칭부; 및

상기 극성 제어 신호에 응답하여, 상기 버퍼링된 정극성의 아날로그 데이터 신호를 제1 리페어 출력 패드로 출력하고 상기 버퍼링된 부극성의 아날로그 데이터 신호를 제2 리페어 출력 패드로 출력하는 제2 스위칭부를 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001]

본 발명은 소스 드라이버 및 액정 표시 장치에 관한 것으로, 보다 상세하게는 단선된 데이터 라인을 리페어할 수 있는 소스 드라이버 및 액정 표시 장치에 관한 것이다.

배경 기술

[0002]

액정표시장치는 다수의 데이터 라인과 다수의 게이트 라인에 의해 정의되는 영역에 다수의 액정 셀이 배치되며 각 액정 셀에 스위치 소자인 박막 트랜지스터(Thin Film Transistor)가 형성된 박막 트랜지스터 기판과, 컬러 필터(Color Filter)가 형성된 컬러 필터 기판이 일정한 간격으로 유지되고 그 사이에 형성된 액정층을 포함한다. 이러한 액정표시장치는 데이터 신호에 따라 액정층에 전계를 형성하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 표시한다.

[0003]

일반적으로 액정 표시 장치는 화상을 표시하는 액정 패널, 및 액정 패널을 구동하는 구동부를 포함한다. 액정 패널은 컬러 필터 어레이가 형성된 컬러 필터 기판과 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판이 액정을 사이에 두고 합착되어 형성된다. 박막 트랜지스터 기판은 다수의 화소 전극이 매트릭스 형태로 형성되며, 다수의 화소 전극을 개별적으로 구동하기 위한 박막 트랜지스터와, 박막 트랜지스터를 순차적으로 턴 온시키는 게이트 라인(Gate Line)과, 박막 트랜지스터로 아날로그 데이터 신호를 공급하기 위한 데이터 라인(Data Line)이 형성된다.

[0004]

상기 구동부는 상기 게이트 라인에 게이트 전압을 공급하는 게이트 드라이버 (Gate Driver) 및 상기 데이터 라인에 아날로그 데이터 신호를 공급하는 소스 드라이버(Source Driver)를 포함한다.

[0005]

액정 표시 장치에서 액정의 불량 화소가 발생시 하나의 데이터 라인이 모두 꺼져버리는 경우가 발생될 수 있다. 또한 데이터 라인은 수 마이크로미터 이하의 미세폭으로 형성되므로 단선이 발생될 수 있으며, 이러한 데이터 라인의 단선으로 인하여 단선된 데이터 라인에 형성되는 화소에 아날로그 데이터 신호가 공급되지 않을 수 있다.

발명의 내용

해결 하고자하는 과제

[0006]

본 발명이 이루고자 하는 기술적 과제는 리페어 앰프를 사용하는 액정 표시 장치에서 레일 투 레일(Rail to Rail) 방식의 앰프 대신에 정극성 앰프 및 부극성 앰프를 사용하여 리페어 앰프 기능을 구현할 수 있는 소스 드라이버 및 액정 표시 장치를 제공하는데 있다.

과제 해결수단

[0007]

상기와 같은 과제를 달성하기 위한 본 발명의 실시 예에 따른 소스 드라이버 및 액정 표시 장치는 게이트 라인들, 데이터 라인들, 및 상기 게이트 라인들과 데이터 라인들에 의해 정의되는 화소 영역마다 형성된 화소 셀들로 구성된 화소 어레이를 포함하는 디스플레이 패널을 구동함에 있어서 상기 화소 어레이를 구동하기 위한 정극성의 아날로그 데이터 신호 및 부극성의 아날로그 신호를 상기 데이터 라인들에 공급하는 데이터 구동부, 및 상기 데이터 라인들 중 적어도 하나의 데이터 라인에 공급되는 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호를 베퍼링하고, 베퍼링된 신호를 출력하는 리페어부를 포함한다.

효과

[0008]

본 발명의 실시 예에 따른 소스 드라이버 및 액정 표시 장치는 정극성 앰프 및 부극성 앰프를 사용하여 리페어 앰프 기능을 구현함으로써 액정의 수율을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0009]

이하, 본 발명의 기술적 과제 및 특징들은 첨부된 도면 및 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다. 본 발명을 구체적으로 살펴보면 다음과 같다.

[0010]

도 1은 본 발명의 실시 예에 따른 액정 표시 장치(100)를 나타낸다. 상기 액정 표시 장치(100)는 인쇄 회로 기판(Printed Circuit Board, PCB), 소스 드라이버(120), 및 디스플레이 패널(Display Panel, 110)을 포함한다.

[0011]

상기 소스 드라이버(120)는 상기 디스플레이 패널(110)에 형성되는 화소 어레이(Pixel array, 112)를 구동하기 위한 아날로그 데이터 신호들을 데이터 라인들(S1 ~ SN, N>1인 자연수)을 통하여 다수의 단위 화소 셀들로 구성된 화소 어레이(112)에 공급한다.

[0012]

상기 디스플레이 패널은 일 방향으로 배열된 다수의 게이트 라인들(미도시)과, 상기 게이트 라인들에 수직하도록 배열된 다수의 데이터 라인들과, 상기 게이트 라인들과 픽셀 데이터 라인들에 의해 정의된 각 화소 영역마다 형성된 화소 셀(Pixel)을 포함한다. 각 화소 셀은 해당 게이트 라인 및 해당 픽셀 데이터 라인에 접속되며, 상기 해당 픽셀 데이터 라인에 공급되는 아날로그 데이터 신호에 따라 단위 화상을 표시한다.

[0013]

상기 각 화소 셀은 해당 게이트 라인으로부터의 게이트 신호에 따라 턴-온되어 해당 데이터 라인으로부터 제공되는 아날로그 데이터 신호를 스위칭하는 박막트랜지스터와, 상기 박막트랜지스터로부터 스위칭된 아날로그 데이터 신호를 공급받는 화소 전극과, 상기 화소 전극과 대향하도록 위치하며 공통전압이 공급되는 공통 전극과, 상기 공통 전극과 상기 화소 전극 사이에 형성된 액정층을 포함한다. 상기 액정층은 상기 공통전극과 화소 전극 간의 전압 차에 의해 발생되는 전계의 크기에 따라 다른 광 투과율을 나타낸다.

[0014]

상기 화소 어레이(112)는 ($N \times M$) 매트릭스(matrix) 형태의 다수의 픽셀(pixels)들을 포함한다. 여기서 N 및 M은 1보다 큰 자연수일 수 있다. 상기 화소 어레이(112)는 제1 로우 픽셀 어레이(P11 ~ PM1) 내지 제N 로우 픽셀 어레이(P1N ~ PMN)를 포함한다.

[0015]

상기 데이터 라인들(S1 ~ SN) 각각은 상기 제1 로우 픽셀 어레이(P11 ~ PM1) 내지 제N 로우 픽셀 어레이(P1N ~ PMN) 중 대응하는 로우 픽셀 어레이의 제1 픽셀에 접속될 수 있다. 예컨대, 상기 제1 데이터 라인(S1)은 제1 로우 픽셀 어레이(P11 ~ PM1)의 제1 픽셀(P11)에 접속될 수 있다. 상기 로우 픽셀 어레이를 각각에 속한 인접한 픽셀들은 픽셀 데이터 라인(113)에 의하여 서로 전기적으로 연결되며, 상기 데이터 라인들(S1 ~ SN)을 통하여 공급되는 아날로그 데이터 신호는 상기 픽셀 데이터 라인(113)을 통하여 로우 픽셀 어레이에 속한 픽셀들 전체에 공급될 수 있다.

[0016]

상기 소스 드라이버(120)는 데이터 구동부(120), 및 리페어부(121)를 포함한다. 상기 데이터 구동부(120)는 상기 데이터 라인들(S1 ~ SN)에 아날로그 데이터 신호를 공급한다.

[0017]

도 2는 도 1에 도시된 데이터 구동부(120)의 일 실시 예를 나타낸다. 도 2를 참조하면, 상기 데이터 구동부

(120)는 컨트롤러(미도시), 데이터 래치부(미도시), 레벨 쉬프터(미도시), DAC(Digital to Analogue Converter, 미도시), 및 출력 버퍼(미도시)를 포함할 수 있다.

[0018] 상기 컨트롤러는 제어 신호들 및 디지털 데이터 신호를 제공한다. 상기 데이터 래치부(220)는 상기 컨트롤러로부터 제공되는 디지털 데이터 신호를 저장한다. 상기 레벨 쉬프터는 상기 디지털 데이터 신호의 레벨을 쉬프트 한다. 상기 DAC는 상기 레벨쉬프트된 디지털 데이터 신호를 아날로그 데이터 신호로 변환한다. 상기 출력 버퍼는 상기 변화된 아날로그 데이터 신호를 버퍼링하고, 버퍼링된 아날로그 데이터 신호를 상기 데이터 라인들(S1 ~ SN)에 공급한다.

[0019] 한편, 디스플레이 패널에 구비된 액정층의 열화를 방지하기 위해, 각 픽셀에는 정극성의 아날로그 데이터 신호 및 부극성의 아날로그 데이터 신호를 교변하여 공급할 수 있다. 이러한 반전구동 방식으로는 라인 반전, 컬럼 반전, 프레임 반전, 및 도트 반전 구동방식이 있다. 이러한 반전 구동을 위하여 컨트롤러는 극성 반전 신호(POL)를 생성하고, 생성된 극성 반전 신호(POL)에 응답하여 상기 데이터 구동부(120)는 각 픽셀에 정극성의 아날로그 데이터 신호 및 부극성의 아날로그 데이터 신호를 교변하여 공급할 수 있다.

[0020] 여기서 상기 정극성의 아날로그 데이터 신호는 미리 설정된 공통전압보다 높은 전압을 갖는 신호를 의미하며, 상기 부극성의 아날로그 데이터 신호는 상기 공통전압보다 낮은 전압을 갖는 신호를 의미한다.

[0021] 예를 들어, 상기 부극성의 아날로그 데이터 신호의 최소 계조 전압은 공통전압(VCOM)을 기준으로 -1[V]이고 최대 계조 전압은 공통 전압을 기준으로 -5[V]이고, 상기 정극성의 아날로그 데이터 신호의 최소 계조 전압은 공통 전압을 기준으로 +1[V]이고 최대 계조전압이 공통전압을 기준으로 +5[V]일 수 있다. 즉 상기 부극성의 아날로그 데이터 신호는 공통 전압을 기준으로 -1[V] ~ -5[V] 사이를 스윙하고, 상기 정극성의 아날로그 데이터 신호는 공통전압을 기준으로 +1[V] ~ +5[V] 사이를 스윙할 수 있다.

[0022] 상기 리페어부(121)는 상기 데이터 라인들(S1 ~ SN) 중 어느 하나의 데이터 라인(이하 "제1 데이터 라인"이라 한다)으로부터 공급되는 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호를 버퍼링하고, 버퍼링된 신호를 상기 제1 데이터 라인이 속한 로우 픽셀 중 마지막 픽셀에 공급한다.

[0023] 도 1에 도시된 바와 같이, 상기 픽셀 데이터 라인(113)은 미세 폭으로 형성되므로 단선이 발생하는 부분(114)이 생길 수 있다. 이렇게 단선이 발생할 경우, 단선된 픽셀 데이터 라인(114) 이후에 위치하는 픽셀들(P63 ~ PM3)에는 아날로그 데이터 신호이 공급되지 않아 액정의 수율이 낮아진다.

[0024] 이를 방지하기 위하여 상기 리페어부(121)는 단선이 발생한 픽셀 데이터 라인(예컨대, 114)이 속한 로우 픽셀 어레이(이하 "단선 로우 픽셀 어레이"라 한다.)의 첫 번째 픽셀(예컨대, P13)로 공급되는 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호를 버퍼링하고, 버퍼링된 데이터 신호를 상기 단선 로우 픽셀 어레이의 마지막 픽셀(PM3)로 공급한다.

[0025] 이때 PCB 기판(130)에는 제1 리페어 라인(131) 및 제2 리페어 라인(132)이 형성되며, 상기 제1 리페어 라인(131)은 제1 리페어 입력 패드(142)에 접속되고, 제2 리페어 라인(132)은 제1 리페어 출력 패드(141)에 접속된다.

[0026] 상기 제1 리페어 입력 패드(142)는 단선 로우 픽셀 어레이의 첫 번째 픽셀에 연결된 데이터 라인(예컨대, S3)과 접속된다. 그러므로 상기 제1 리페어 라인(131)을 통하여 상기 데이터 구동부(120)로부터 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호가 상기 리페어부(121)로 공급될 수 있다.

[0027] 상기 리페어부(121)에 의하여 버퍼링된 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호는 상기 제1 리페어 출력 패드(141)를 통하여 제2 리페어 라인(132)에 제공된다. 그리고 제2 리페어 라인(132)과 상기 단선 로우 픽셀 어레이의 마지막 픽셀(PM3)과 전기적으로 접속함으로써(133) 상기 리페어부(121)에 의하여 버퍼링된 정극성의 아날로그 데이터 신호 또는 부극성의 아날로그 데이터 신호를 상기 마지막 픽셀(PM3)에 공급할 수 있다.

[0028] 상기 리페어부(121)는 제1 스위칭부 내지 제4 스위칭부(122 내지 125)를 포함하는 스위칭 블록, 제1 리페어 앰프(127), 및 제2 리페어 앰프(129)를 포함한다.

[0029] 상기 스위칭 블록은 단선 로우 픽셀 어레이의 첫 번째 픽셀(예컨대, P13)로 공급되는 정극성의 아날로그 데이터 신호는 상기 제1 리페어 앰프(127)로, 부극성의 아날로그 데이터 신호는 상기 제2 리페어 앰프(129)로 제공되도록 스위칭(switching) 동작을 수행한다. 이때 상기 제1 스위칭부 내지 제4 스위칭부(122 내지 125)는 극성 제어 신호(POL)에 응답하여 정극성의 아날로그 데이터 신호는 상기 제1 리페어 앰프(127)로, 부극성의 아날로그 데이터

터 신호는 상기 제2 리페어 앰프(129)로 제공되도록 스위칭(switching) 동작을 수행할 수 있다. 상기 극성 제어 신호(POL)는 소스 드라이버에 포함된 타이밍 컨트롤러(미도시)로부터 제공된다.

[0030] 도 2는 도 1에 도시된 리페어부(121)의 일 실시 예를 나타낸다. 도 2를 참조하면, 상기 리페어부(121)는 스위칭 제어부(210), 제1 스위칭 블록(220), 부극성 베퍼(127), 정극성 베퍼(129), 및 제2 스위칭 블록(225)을 포함한다.

[0031] 상기 극성 제어 신호(POL)는 상기 스위칭 제어부(210)에 제공된다. 상기 스위칭 제어부(210)는 홀짝 제어(ODD/EVEN Control) 신호에 응답하여, 제공된 극성 제어 신호 또는 제공된 극성 제어 신호(POL)의 반전 신호를 제1 스위칭 블록(220) 및 제2 스위칭 블록(225)에 공급한다. 이때 상기 홀짝 제어 신호(ODD/EVEN Control)는 상기 소스 드라이버에 포함된 타이밍 컨트롤러로부터 제공될 수 있다.

[0032] 상기 스위칭 제어부(210)는 인버터(212), 제1 제어 스위치(214), 제2 제어 스위치(216)를 포함할 수 있다. 상기 인버터(212)는 상기 극성 제어 신호(POL)를 반전시켜 반전 극성 제어 신호를 출력한다. 상기 제1 제어 스위치(214)는 상기 홀짝 제어(ODD/EVEN Control) 신호에 응답하여, 상기 극성 제어 신호(POL)를 상기 제1 스위칭 블록(220) 및 제2 스위칭 블록(225)에 공급하며, 상기 제2 스위치(216)는 상기 홀짝 제어(ODD/EVEN Control) 신호에 응답하여, 반전 극성 제어 신호를 상기 제1 스위칭 블록(220) 및 제2 스위칭 블록(225)에 공급할 수 있다. 이때 상기 홀짝 제어(ODD/EVEN Control) 신호에 응답하여, 제1 제어 스위치(214) 및 제2 제어 스위치(216) 중 어느 하나가 터진다.

[0033] 따라서 상기 스위칭 제어부(210)는 상기 홀짝 제어(ODD/EVEN Control) 신호에 응답하여, 극성 제어 신호(POL) 및 반전 극성 제어 신호 중 어느 하나를 상기 제1 스위칭 블록(220) 및 상기 제2 스위칭 블록(230)에 제공할 수 있다.

[0034] 상기 제1 스위칭 블록(220)은 도 1에 도시된 제1 스위칭부(122) 및 제2 스위칭부를 포함한다. 상기 제1 스위칭부(122)는 제1 리페어 입력 패드(142)에 제1 입력 라인(L_1)을 통하여 접속되고, 상기 제2 스위칭부(123)는 제2 리페어 입력 패드(143)에 제2 입력 라인(L_3)을 통하여 접속된다.

[0035] 제2 스위칭 블록(225)은 도 1에 도시된 제3 스위칭부(124) 및 제4 스위칭부(125)를 포함한다. 상기 제3 스위칭부(124)는 제1 리페어 출력 패드(141)에 제1 출력 라인(L_2)을 통하여 접속되고, 상기 제4 스위칭부(125)는 제2 리페어 출력 패드(144)에 제2 출력 라인(L_4)을 통하여 접속된다.

[0036] 상기 제1 스위칭 블록(220)은 상기 스위칭 제어부(210)로 공급되는 극성 제어 신호 또는 반점 극성 제어 신호에 응답하여, 상기 제1 입력 라인(L_1) 또는 제2 입력 라인(L_2)을 통하여 공급되는 부극성의 아날로그 데이터 신호를 상기 부극성 베퍼(127)로 제공하도록 스위칭 동작을 수행한다. 또한 상기 제1 스위칭 블록(220)은 상기 스위칭 제어부(210)로 공급되는 극성 제어 신호 또는 반점 극성 제어 신호에 응답하여, 제1 입력 라인(L_1) 또는 제2 입력 라인(L_2)을 통하여 공급되는 정극성의 아날로그 데이터 신호를 상기 정극성 베퍼(129)로 제공하도록 스위칭 동작을 수행한다.

[0037] 상기 부극성 베퍼(127)는 상기 제1 스위칭 블록(220)으로부터 공급되는 부극성 아날로그 신호를 베퍼링하고, 베퍼링된 부극성 아날로그 신호를 상기 제2 스위칭 블록으로 출력한다.

[0038] 상기 정극성 베퍼(129)는 상기 제1 스위칭 블록(220)으로부터 공급되는 정극성 아날로그 신호를 베퍼링하고, 베퍼링된 정극성 아날로그 신호를 상기 제2 스위칭 블록(225)으로 출력한다.

[0039] 상기 제2 스위칭 블록(225)은 상기 스위칭 제어부(210)로 공급되는 극성 제어 신호 또는 반점 극성 제어 신호에 응답하여, 상기 베퍼링된 부극성 아날로그 신호 또는 상기 베퍼링된 정극성 아날로그 신호를 상기 제1 출력 라인(L_2) 또는 상기 제2 출력 라인(L_4)을 통하여 상기 제1 리페어 출력 패드(141) 또는 상기 제2 리페어 출력 패드(144)로 출력한다.

[0040] 도 3은 도 2에 도시된 리페어부(121)의 일 동작을 설명하기 위한 회로도이고, 도 4는 도 2에 도시된 리페어부(121)의 다른 일 동작을 설명하기 위한 회로도이다.

[0041] 먼저 도 3을 참조하면, 하이 레벨의 극성 제어 신호(POL)에 의하여 상기 데이터 구동부(120)는 제1 입력 라인(L_1)으로는 부극성 아날로그 신호가 공급되고, 제2 입력 라인(L_3)으로는 정극성 아날로그 신호가 공급한다고 가

정한다.

- [0042] 상기 스위칭 제어부(210)는 홀짝 제어(ODD/EVEN Control) 신호에 응답하여, 상기 하이 레벨(High Level)의 극성 제어 신호(POL=H)를 상기 제1 스위칭 블록(220) 및 제2 스위칭 블록(225)에 출력한다.
- [0043] 상기 제1 스위칭 블록(220)은 제1 내지 제4 스위치(SW1 ~ SW4)를 포함한다. 상기 제1 내지 제4 스위치(SW1 ~ SW4) 각각은 상기 하이 레벨의 극성 제어 신호(POL)에 응답하여 제1 입력 라인(L_1)을 통하여 공급되는 부극성 아날로그 신호를 상기 부극성 버퍼(127)로 출력하고, 상기 제2 입력 라인(L_3)을 통하여 공급되는 정극성 아날로그 신호를 상기 정극성 버퍼(129)로 출력하도록 스위칭 동작을 수행할 수 있다.
- [0044] 그리고 상기 제2 스위칭 블록(225)은 제5 내지 제8 스위치(SW1 ~ SW4)를 포함한다. 그리고 상기 제5 내지 제8 스위치(SW5 ~ SW8) 각각은 하이 레벨의 극성 제어 신호(POL)에 응답하여 상기 부극성 버퍼(127)에 의해 버퍼링된 부극성 신호를 제1 리페어 출력 라인(L_2)으로 출력하고, 상기 정극성 버퍼(129)에 의해 버퍼링된 정극성 신호를 제2 리페어 출력 라인(L_4)으로 출력하도록 스위칭 동작을 수행할 수 있다.
- [0045] 다음으로 도 4를 참조하면, 로우 레벨의 극성 제어 신호(POL)에 의하여 상기 데이터 구동부(120)는 제1 입력 라인(L_1)으로는 정극성 아날로그 신호가 공급되고, 제2 입력 라인(L_3)으로는 부극성 아날로그 신호가 공급한다고 가정한다.
- [0046] 상기 스위칭 제어부(210)는 홀짝 제어(ODD/EVEN Control) 신호에 응답하여, 상기 로우 레벨(High Level)의 극성 제어 신호(POL=L)를 상기 제1 스위칭 블록(220) 및 제2 스위칭 블록(225)에 출력한다.
- [0047] 상기 제1 내지 제4 스위치(SW1 ~ SW4) 각각은 로우 레벨의 극성 제어 신호(POL=L)에 응답하여 제1 입력 라인(L_1)을 통하여 공급되는 정극성 아날로그 신호를 상기 정극성 버퍼(129)로 공급하고, 상기 제2 입력 라인(L_3)을 통하여 공급되는 부극성 아날로그 신호를 상기 부극성 버퍼(127)로 출력하도록 스위칭 동작을 수행할 수 있다.
- [0048] 그리고 상기 제5 내지 제8 스위치(SW5 ~ SW8) 각각은 상기 로우 레벨의 극성 제어 신호(POL=L)에 응답하여 상기 부극성 버퍼(127)에 의해 버퍼링된 부극성 신호를 제2 리페어 출력 라인(L_4)으로 출력하고, 상기 정극성 버퍼(129)에 의해 버퍼링된 정극성 신호를 제1 리페어 출력 라인(L_1)으로 출력하도록 스위칭 동작을 수행할 수 있다.
- [0049] 여기서 상기 정극성 버퍼(129)에 공급되는 전원은 상기 정극성의 아날로그 데이터 신호의 최소 계조 전압과 최대 계조 전압 사이의 전압 범위를 가질 수 있다. 또한 상기 부극성 버퍼(127)에 공급되는 전원은 상기 부극성의 아날로그 데이터 신호의 최소 계조 전압과 최대 계조 전압 사이의 전압 범위를 가질 수 있다.
- [0050] 따라서 상기 정극성 버퍼(129)의 출력은 상기 정극성의 아날로그 데이터 신호의 최소 계조 전압과 최대 계조 전압 사이를 스윙하고, 상기 부극성 버퍼(127)의 출력은 상기 부극성의 아날로그 데이터 신호의 최소 계조 전압과 최대 계조 전압 사이를 스윙할 수 있다.
- [0051] 상기 레벨수프트된 디지털 데이터 신호를 아날로그 데이터 신호로 변환하는데 사용되는 감마 전압을 보상하기 위하여 상기 데이터 구동부(120)는 감마 앰프(Gamma Amp)를 포함하는데, 상기 정극성 버퍼(129) 및 상기 부극성 버퍼(127)는 이러한 감마 앰프로 용이하게 그 역할을 대신하도록 사용될 수 있다.
- [0052] 상술한 바와 같이 본 발명의 실시 예에 따른 소스 드라이버는 극성 반전 신호(POL)에 의하여 제어되는 정극성 버퍼 및 부극성 버퍼를 사용하는 리페어부에 의하여 단선된 홀수 픽셀 데이터 라인 또는 짝수 픽셀 데이터 라인을 리페어할 수 있다.
- [0053] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- [0054] 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 나타낸다.
- [0055] 도 2는 도 1에 도시된 데이터 구동부의 일 실시 예를 나타낸다.

[0056]

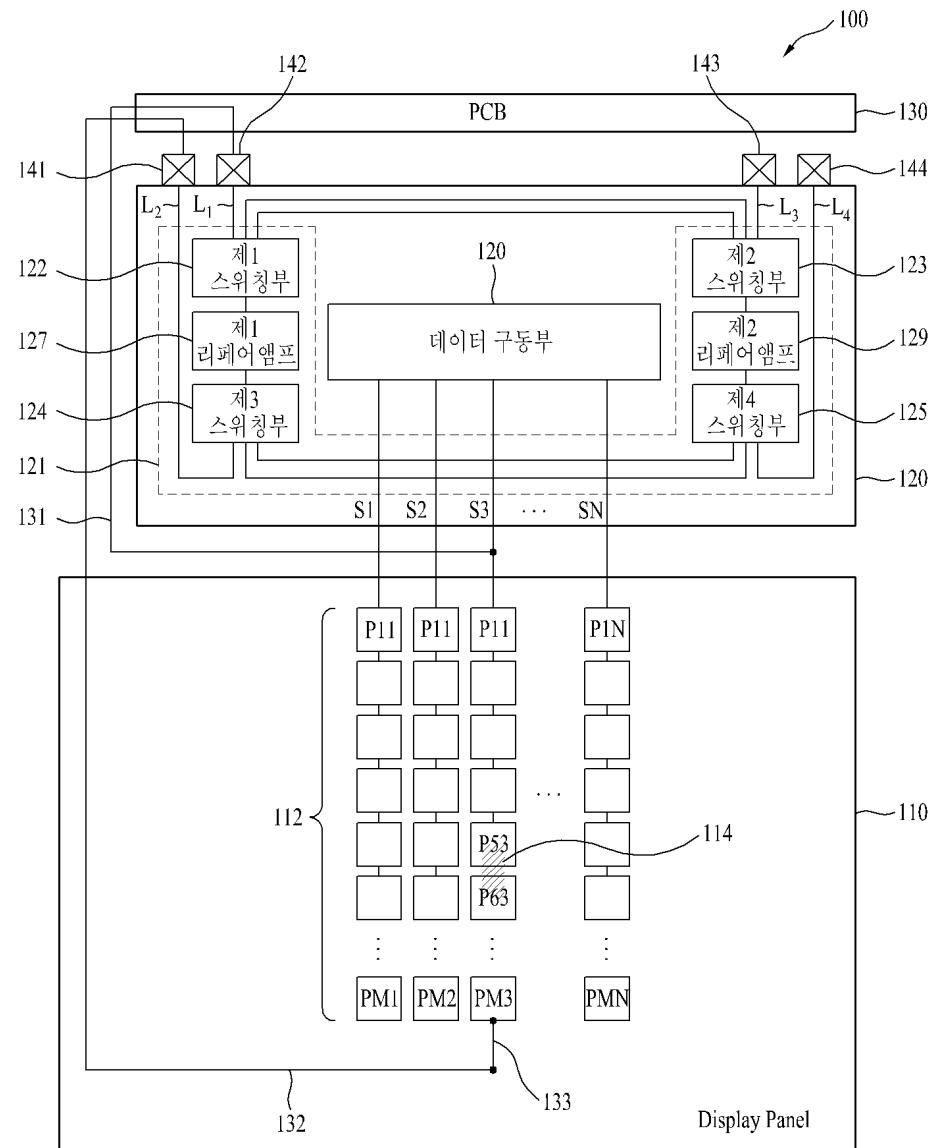
도 3은 도 2에 도시된 리페어부의 일 동작을 설명하기 위한 회로도이다.

[0057]

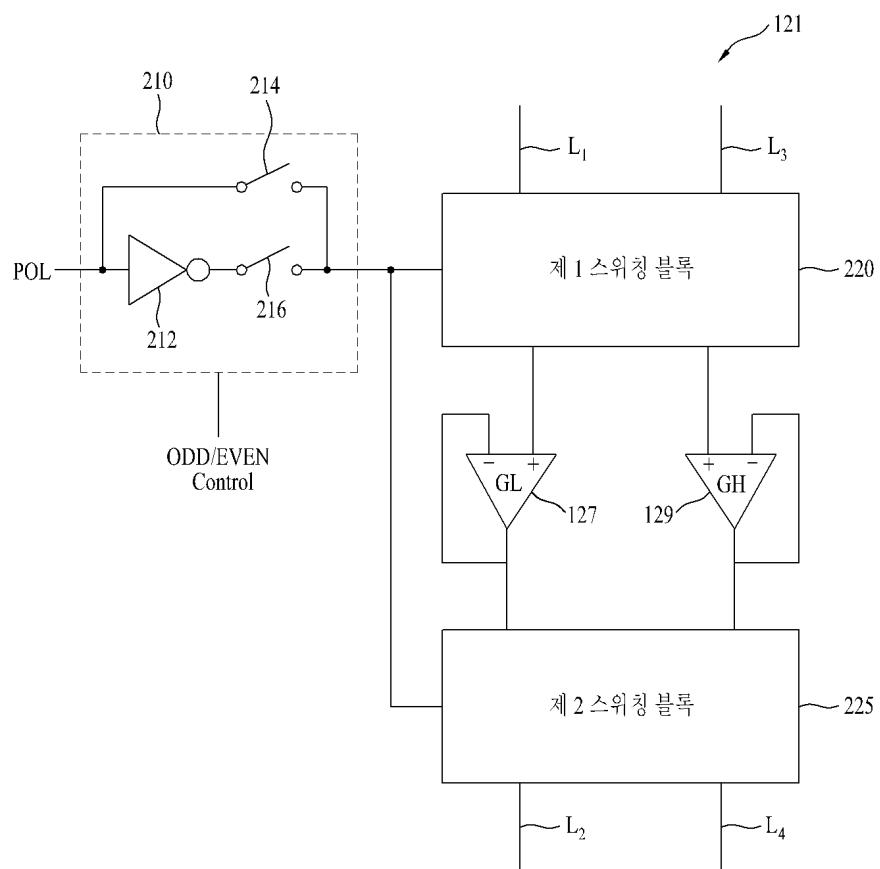
도 4는 도 2에 도시된 리페어부의 다른 일 동작을 설명하기 위한 회로도이다.

도면

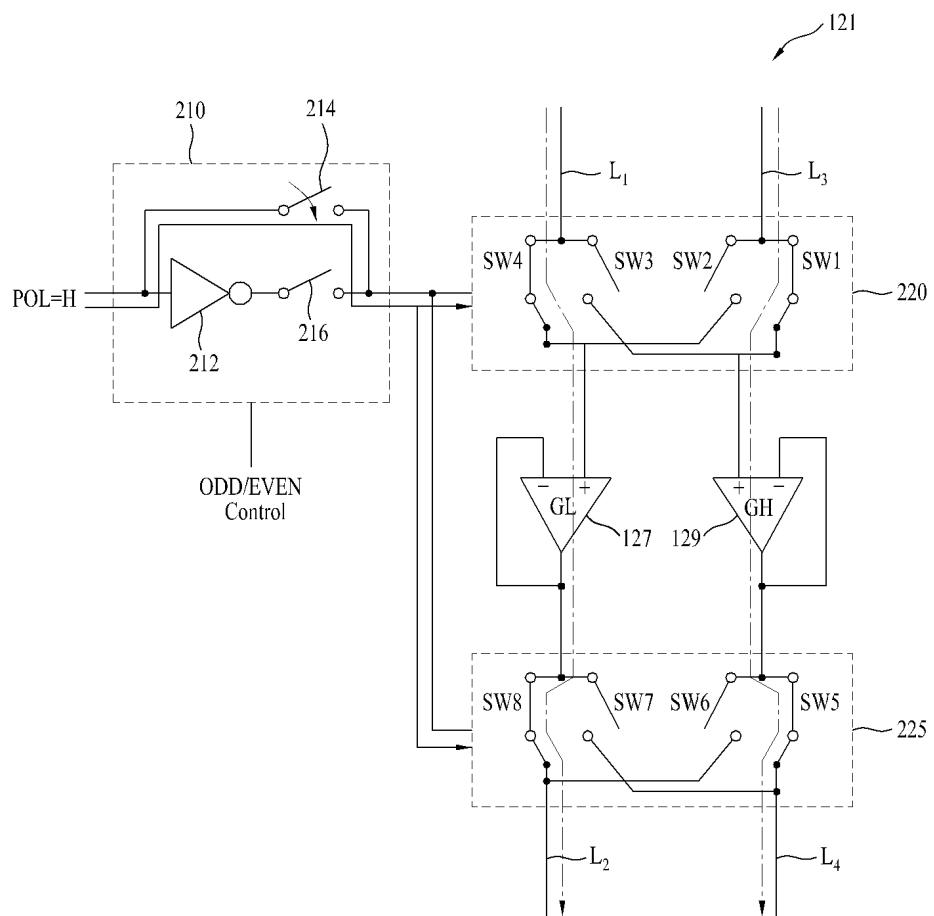
도면1



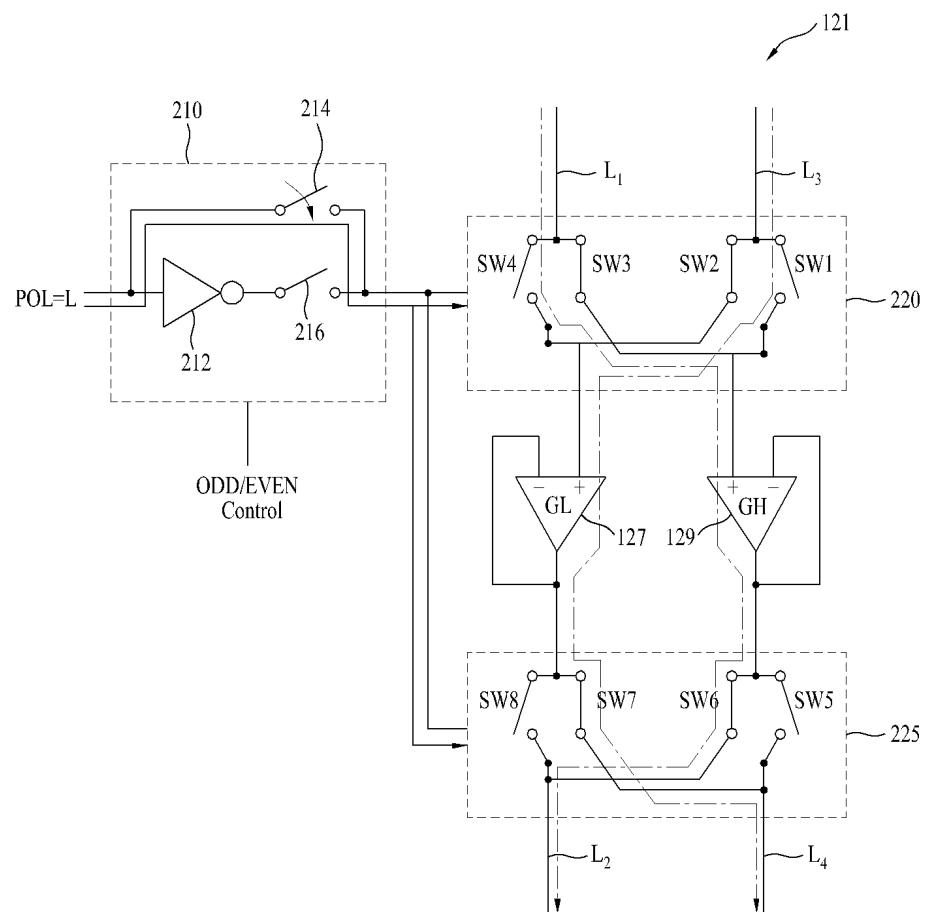
도면2



도면3



도면4



专利名称(译)	源驱动器和液晶显示器		
公开(公告)号	KR1020100120819A	公开(公告)日	2010-11-17
申请号	KR1020090039651	申请日	2009-05-07
[标]申请(专利权)人(译)	东部高科股份有限公司		
申请(专利权)人(译)	东部公司		
当前申请(专利权)人(译)	东部公司		
[标]发明人	RYU CHOONG SIK		
发明人	RYU,CHOONG SIK		
IPC分类号	G09G3/36 G02F1/133		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

提供了一种源极驱动器和一种液晶显示器件。源极驱动器和液晶显示装置可以被配置为驱动显示面板，该显示面板包括由栅极线，数据线和像素单元形成的像素阵列，像素单元形成在由栅极线和数据线限定的每个像素区域中，一种数据驱动器，用于提供正模拟数据信号和负模拟信号，用于驱动阵列到数据线，以及数据驱动器，用于施加提供给数据线的至少一条数据线的正模拟数据信号，以及用于缓冲模拟数据信号并输出缓冲信号的修复单元。

