



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년02월12일
 (11) 등록번호 10-1828482
 (24) 등록일자 2018년02월06일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)
 G02F 1/13363 (2006.01) G02F 1/1337 (2006.01)
 G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
 (21) 출원번호 10-2010-0134002
 (22) 출원일자 2010년12월23일
 심사청구일자 2015년11월25일
 (65) 공개번호 10-2012-0072175
 (43) 공개일자 2012년07월03일
 (56) 선행기술조사문헌
 KR1020010106862 A*
 (뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
김동진
 경기도 수원시 장안구 만석로159번길 31, 103동 105호 (정자동, 경남아너스빌)
김동국
 경기도 고양시 일산서구 현충로 13, 1302동 1304호 (탄현동, 탄현마을)
 (뒷면에 계속)
 (74) 대리인
특허법인네이트

전체 청구항 수 : 총 7 항

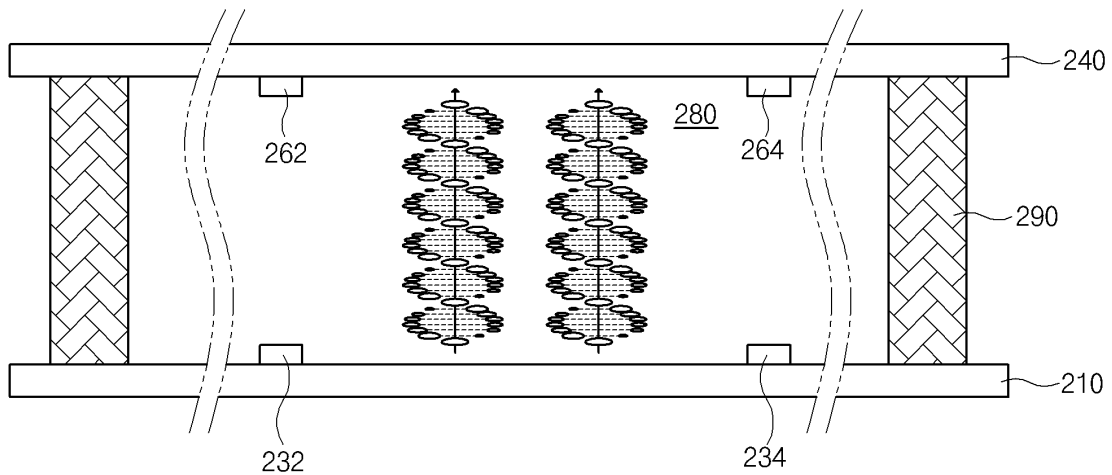
심사관 : 이수한

(54) 발명의 명칭 **액정표시장치**

(57) 요약

본 발명은 제 1 기판과; 상기 제 1 기판 상에 위치하는 제 1 스위칭 소자와; 상기 제 1 기판 상에 위치하며 상기 제 1 스위칭 소자에 연결된 제 1 화소전극과; 상기 제 1 기판 상에 위치하며 상기 제 1 화소전극과 교대로 배열되는 제 1 공통전극과; 상기 제 1 기판과 마주하는 제 2 기판과; 상기 제 1 기판 상에 위치하는 제 2 스위칭 소자와; 상기 제 2 기판 상에 위치하며 상기 제 2 스위칭 소자에 연결된 제 2 화소전극과; 상기 제 2 기판 상에 위치하며 상기 제 2 화소전극과 교대로 배열되는 제 2 공통전극과; 상기 제 1 및 제 2 기판 사이에 위치하는 액정층을 포함하는 액정표시장치를 제공한다.

대표도 - 도6



(72) 발명자

박현진

경기도 파주시 한마음1길 25, 금촌주공아파트 103
동 1108호 (금촌동)

우중훈

경기도 고양시 일산서구 일중로 30, 동문아파트
506동 1001호 (일산동, 산들마을)

윤동규

경기도 안양시 동안구 귀인로 208, 현대홈타운아파
트 101동 2201호 (평촌동)

(56) 선행기술조사문헌

KR1020040091184 A*

KR1020060037514 A*

JP2009109657 A*

KR1019990052401 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제 1 기관과;

상기 제 1 기관 상에 위치하는 제 1 스위칭 소자와;

상기 제 1 기관 상에 위치하며 상기 제 1 스위칭 소자에 연결된 제 1 화소전극과;

상기 제 1 기관 상에 위치하며 상기 제 1 화소전극과 교대로 배열되는 제 1 공통전극과;

상기 제 1 기관과 마주하는 제 2 기관과;

상기 제 2 기관 상에 위치하는 제 2 스위칭 소자와;

상기 제 2 기관 상에 위치하며 상기 제 2 스위칭 소자에 연결된 제 2 화소전극과;

상기 제 2 기관 상에 위치하며 상기 제 2 화소전극과 교대로 배열되는 제 2 공통전극과;

상기 제 2 스위칭 소자를 덮으며 상기 제 1 및 제 2 스위칭 소자 사이에 위치하는 블랙매트릭스와;

상기 제 1 및 제 2 기관 사이에 위치하는 액정층과;

상기 제 1 및 제 2 기관의 가장자리에 상기 액정층의 누설을 방지하기 위한 씰패턴을 포함하며,

상기 제 2 화소전극은 상기 제 1 화소전극과 대응하여 위치하고 상기 제 2 공통전극은 상기 제 1 공통전극과 대응하여 위치하며,

상기 제 2 화소전극은 상기 제 1 화소전극보다 큰 폭을 갖고 상기 제 2 공통전극은 상기 제 1 공통전극보다 큰 폭을 가지며,

상기 씰패턴은 도전 특성을 가지며 상기 씰패턴의 일단은 제 1 공통전극에 전기적으로 연결되고 상기 씰패턴의 타단은 상기 제 2 공통전극에 전기적으로 연결되는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 1 화소전극과 상기 제 2 화소전극에는 동일한 제 1 전압이 인가되고, 상기 제 1 공통전극과 상기 제 2 공통전극에는 동일한 제 2 전압이 인가되는 것이 특징인 액정표시장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 액정층은 USH모드 액정인 것이 특징인 액정표시장치.

청구항 6

제 1 항에 있어서,
상기 제 1 기관 상에 위치하는 제 1 게이트 배선과;
상기 제 1 기관 상에 위치하며 상기 제 1 게이트 배선과 교차하는 제 1 데이터 배선과;
상기 제 2 기관 상에 위치하는 제 2 게이트 배선과;
상기 제 2 기관 상에 위치하며 상기 제 2 게이트 배선과 교차하는 제 2 데이터 배선을 포함하고,
상기 제 1 스위칭 소자는 상기 제 1 게이트 배선 및 상기 제 1 데이터 배선에 연결되고, 상기 제 2 스위칭 소자는 상기 제 2 게이트 배선 및 상기 제 2 데이터 배선에 연결되는 것이 특징인 액정표시장치.

청구항 7

제 6 항에 있어서,
상기 제 1 데이터 배선 및 상기 제 1 스위칭 소자를 덮는 제 1 보호층과, 상기 제 2 데이터 배선 및 상기 제 2 스위칭 소자를 덮는 제 2 보호층을 포함하고,
상기 제 1 화소전극과 상기 제 1 공통전극은 상기 제 1 보호층 상에 위치하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 상기 제 2 보호층 상에 위치하는 것이 특징인 액정표시장치.

청구항 8

제 6 항에 있어서,
상기 제 1 및 제 2 데이터 배선은 전기적으로 연결된 것이 특징인 액정표시장치.

청구항 9

제 1 항에 있어서,
상기 블랙매트릭스 상에 위치하는 컬러필터층을 더 포함하는 것이 특징인 액정표시장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

발명의 설명

기술 분야

본 발명은 액정표시장치에 관한 것으로, 특히 낮은 전압에 의해 구동될 수 있는 USH(uniformly standing helix) 모드 액정표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이 (display) 분야가 급속도로 발전해 왔고, 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 평판표시장치로서 액정표시장치가 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.
- [0003] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- [0004] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- [0005] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD: Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- [0006] 이하, 도 1을 참조하여 일반적인 횡전계 모드 액정표시장치에 관하여 상세히 설명한다.
- [0007] 도 1은 일반적인 횡전계 모드 액정표시장치의 단면을 도시한 도면이다.
- [0008] 도시한 바와 같이, 제 1 및 제 2 기판(1, 2)이 서로 마주하여 위치하고 있으며, 상기 제 1 및 제 2 기판(1, 2) 사이에는 액정층(3)이 개재되어 있다. 상기 액정층(3)은 다수의 액정분자(5)를 포함하고 있다. 또한, 상기 제 1 기판(1)에는 서로 이격하고 있는 화소전극(7) 및 공통전극(9)이 위치하고 있으며, 상기 화소전극(7)과 상기 공통전극(9)에 전압이 인가되면 수평전계를 형성하게 된다.
- [0009] 먼저 액정표시장치의 오프(OFF) 상태에서는 상기 화소전극(7)과 상기 공통 전극(9) 사이에 전계가 형성되지 않으며, 액정분자(5)가 초기 배열 상태를 유지하며 블랙 색상을 표현하게 된다.
- [0010] 한편, 액정표시장치가 온(ON) 상태에서는 상기 화소전극(7)과 상기 공통전극(9) 사이에 수평 전계가 형성되며, 상기 수평 전계를 따라 액정이 배열되어 화이트 색상을 표현하게 된다.
- [0011] 상기 횡전계 모드 액정표시장치는 시야각에서 장점을 가지나, 오프 상태에서의 빛샘이 발생하여 명암비 (contrast ratio)가 낮은 단점을 갖는다.
- [0012] 이러한 명암비의 단점을 해결하기 위한 것으로, 수직 배열(vertical alignment) 모드 액정표시장치가 제안되었다. 종래 수직배열 모드 액정표시장치를 도시한 도 2를 참조하면, 제 1 및 제 2 기판(11, 12)이 서로 마주하여 위치하고 있으며, 상기 제 1 및 제 2 기판(11, 12) 사이에 액정층(13)이 개재되어 있다. 상기 액정층(13)은 다수의 액정분자(15)를 포함하고 있다.
- [0013] 상기 제 1 기판(11) 상에는 화소전극(17)이 위치하고 있으며, 화소전극(17)의 일부가 제거됨으로써 슬릿(18)이 구성된다. 또한, 상기 제 2 기판(12)에는 적어도 하나의 돌출부(20)가 위치하고 있으며, 상기 돌출부(20) 및 상기 제 2 기판(12) 상에 공통전극(19)이 위치하고 있다. 상기 공통전극(19)과 상기 화소전극(17)에 전압이 인가되면 수직 전계가 형성되어 상기 액정분자(15)를 제어하게 된다.
- [0014] 상기한 구성의 수직 배열 모드 액정표시장치는 높은 명암비를 가지나 시야각이 제한되는 문제를 갖는다.
- [0015] 전술한 바와 같이, 횡전계 모드 액정표시장치는 시야각 등에서 장점을 갖는 반면 명암비에서 단점을 갖고, 수직 배열 모드 액정표시장치는 명암비에서 장점을 가지나 시야각에서 단점을 갖게 된다.
- [0016] 따라서, 횡전계 모드 액정표시장치와 수직 배열 모드 액정표시장치의 장점을 모두 갖는 액정표시장치의 개발이 요구되고 있다.

발명의 내용

해결하려는 과제

- [0017] 본 발명은 종래 액정표시장치의 장점을 모두 갖고 단점이 보완된 액정표시장치의 제공을 목적으로 한다.

[0018] 즉, 응답속도와 시야각에서 우수한 특성을 가지며 동시에 명암비가 우수한 액정표시장치의 제공을 목적으로 한다. 또한, 낮은 전압에 의해 구동될 수 있는 액정표시장치를 제공하고자 한다.

과제의 해결 수단

[0019] 위와 같은 과제의 해결을 위해, 본 발명은 제 1 기판과; 상기 제 1 기판 상에 위치하는 제 1 스위칭 소자와; 상기 제 1 기판 상에 위치하며 상기 제 1 스위칭 소자에 연결된 제 1 화소전극과; 상기 제 1 기판 상에 위치하며 상기 제 1 화소전극과 교대로 배열되는 제 1 공통전극과; 상기 제 1 기판과 마주하는 제 2 기판과; 상기 제 2 기판 상에 위치하는 제 2 스위칭 소자와; 상기 제 2 기판 상에 위치하며 상기 제 2 스위칭 소자에 연결된 제 2 화소전극과; 상기 제 2 기판 상에 위치하며 상기 제 2 화소전극과 교대로 배열되는 제 2 공통전극과; 상기 제 1 및 제 2 기판 사이에 위치하는 액정층을 포함하는 액정표시장치를 제공한다.

[0020] 상기 제 2 화소전극은 상기 제 1 화소전극과 대응하여 위치하고, 상기 제 2 공통전극은 상기 제 1 공통전극과 대응하여 위치하는 것이 특징이다.

[0021] 상기 제 1 화소전극과 상기 제 2 화소전극에는 동일한 제 1 전압이 인가되고, 상기 제 1 공통전극과 상기 제 2 공통전극에는 동일한 제 2 전압이 인가되는 것이 특징이다.

[0022] 상기 제 2 화소전극은 상기 제 1 화소전극과 같거나 이보다 큰 폭을 갖고, 상기 제 2 공통전극은 상기 제 1 공통전극과 같거나 이보다 큰 폭을 갖는 것이 특징이다.

[0023] 상기 액정층은 USH모드 액정인 것이 특징이다.

[0024] 상기 제 1 기판 상에 위치하는 제 1 게이트 배선과; 상기 제 1 기판 상에 위치하며 상기 제 1 게이트 배선과 교차하는 제 1 데이터 배선과; 상기 제 2 기판 상에 위치하는 제 2 게이트 배선과; 상기 제 2 기판 상에 위치하며 상기 제 2 게이트 배선과 교차하는 제 2 데이터 배선을 포함하고, 상기 제 1 스위칭 소자는 상기 제 1 게이트 배선 및 상기 제 1 데이터 배선에 연결되고, 상기 제 2 스위칭 소자는 상기 제 2 게이트 배선 및 상기 제 2 데이터 배선에 연결되는 것이 특징이다.

[0025] 상기 제 1 데이터 배선 및 상기 제 1 스위칭 소자를 덮는 제 1 보호층과, 상기 제 2 데이터 배선 및 상기 제 2 스위칭 소자를 덮는 제 2 보호층을 포함하고, 상기 제 1 화소전극과 상기 제 1 공통전극은 상기 제 1 보호층 상에 위치하고, 상기 제 2 화소전극과 상기 제 2 공통전극은 상기 제 2 보호층 상에 위치하는 것이 특징이다.

[0026] 상기 제 1 및 제 2 데이터 배선은 전기적으로 연결된 것이 특징이다.

[0027] 상기 제 1 및 제 2 스위칭 소자에 대응되며 상기 제 1 및 제 2 기판 중 어느 하나에 위치하는 블랙매트릭스와; 상기 블랙매트릭스 상에 위치하는 컬러필터층을 포함하는 것이 특징이다.

[0028] 상기 제 2 공통전극은 상기 제 1 공통전극과 전기적으로 연결된 것이 특징이다.

[0029] 상기 제 1 및 제 2 기판의 가장자리에 상기 액정층의 누설을 방지하기 위한 셸패턴을 포함하고, 상기 셸패턴은 도전 특성을 가지며 상기 셸패턴의 일단은 제 1 공통전극에 전기적으로 연결되고 상기 셸패턴의 타단은 상기 제 2 공통전극에 전기적으로 연결되는 것이 특징이다.

[0030] 상기 제 1 및 제 2 기판의 가장자리에 위치하며 일단이 상기 제 1 공통전극과 전기적으로 연결되고 타단이 상기 제 2 공통전극과 전기적으로 연결되는 도전 도트를 포함하는 것이 특징이다.

발명의 효과

[0031] 본 발명에서는, 상부 기판과 하부 기판 각각에 제 1 및 제 2 화소전극을 형성하고 상부 기판과 하부 기판 각각에 제 1 및 제 2 공통전극을 형성함으로써, 수평 전계를 강화시킬 수 있으며, 이에 의해 낮은 전압으로 액정층을 구동할 수 있는 장점을 갖는다.

[0032] 또한, USH모드 액정을 이용함으로써, 응답속도, 시야각, 명암비가 우수한 액정표시장치를 제공하게 된다.

도면의 간단한 설명

- [0033] 도 1은 일반적인 횡전계 모드 액정표시장치의 단면도이다.
- 도 2는 일반적인 수직배열 모드 액정표시장치의 단면도이다.
- 도 3은 본 발명에 따른 USH모드 액정표시장치에서 USH모드 액정의 구동 원리를 개략적으로 도시한 도면이다.
- 도 4a는 액정 배열 구조의 정면도이며, 도 4b는 액정의 등가 구조를 보여주는 단면도이다.
- 도 5는 일반적인 IPS 방식의 액정표시장치에서 USH모드 액정이 구동되는 원리를 설명하기 위한 개략적인 단면도이다.
- 도 6은 본 발명의 실시예에 따른 액정표시장치의 구동 원리를 설명하기 위한 개략적인 단면도이다.
- 도 7은 본 발명의 실시예에 따른 액정표시장치의 화소영역을 보여주는 단면도이다.
- 도 8a 및 도 8b 각각은 본 발명의 실시예에 따른 액정표시장치의 상부기판과 하부기판을 보여주는 평면도이다.
- 도 9는 본 발명의 실시예에 따른 액정표시장치의 구동 전압과 투과율 관계를 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 도면을 참조하여 본 발명에 대해 자세히 설명한다.
- [0035] 본 발명의 액정표시장치는 변전효과(flexoelectric effect)를 이용하는 USH(uniformly standing helix) 모드인 것이 특징이다. USH모드 액정표시장치의 구동 원리를 도면을 참조하여 개략적으로 설명한다.
- [0036] 도 3은 본 발명에 따른 USH모드 액정표시장치에서 USH모드 액정의 구동 원리를 개략적으로 도시한 도면이다.
- [0037] 도시된 바와 같이, 전압 무인가(OFF) 상태에서 상기 USH모드 액정은 짧은 피치(pitch)의 키랄 네마틱(chiral nematic) 액정분자가 수십번 꼬여있는 나선형 구조를 가지며, 나선형 구조의 축, 즉 나선축은 광축(optical axis)에 평행하다.
- [0038] 한편, 전압 인가(ON) 상태에서 상기 광축이 틀어지게 되며 복굴절이 발현된다.
- [0039] 도 4a는 액정 배열 구조의 정면도이며, 도 4b는 액정의 등가 구조를 보여주는 단면도이다.
- [0040] 도시된 바와 같이, USH모드 액정표시장치는 마주하는 제 1 및 제 2 기관(110, 120)과, 상기 제 1 및 제 2 기관(110, 120) 사이에 위치하는 USH모드 액정(180)과, 상기 제 1 및 제 2 기관 각각의 외측에 위치하는 제 1 및 제 2 편광판(미도시)으로 이루어진다.
- [0041] USH모드 액정(180)은 바이메소겐(bimesogen) 액정이 극성(polarity)을 갖는 구조로 배열되기 때문에 응답속도가 매우 빠른 특징을 갖는다.
- [0042] 진술한 바와 같이, 상기 USH모드 액정(180)은 짧은 피치(pitch)의 키랄 네마틱(chiral nematic) 액정분자가 수십번 꼬여있는 나선형 구조를 가지며, 나선형 구조의 축, 즉 나선축은 빛의 진행 방향(z방향)에 평행하다. 또한 상기 액정층(180)은 상기 z방향의 굴절율이 상기 z방향에 각각 수직인 x, y방향의 굴절율보다 작고, 상기 x, y방향의 굴절율은 서로 동일하다. ($n_z < n_x = n_y$) 즉, 정면 시야각에서 광학적 등방성(optical isotropic property)을 갖게 되고, 전압 무인가시에 정면 시야각에서 복굴절이 발현되지 않으며 뛰어난 블랙(black) 특성을 얻을 수 있는 장점을 갖는다. 즉, 명암비가 높은 장점을 갖는다.
- [0043] 일반적인 IPS 방식의 액정표시장치에서 USH모드 액정이 구동되는 원리를 설명하기 위한 개략적인 단면도인 도 5를 참조하면, 마주하는 제 1 및 제 2 기관(110, 120)과, 상기 제 1 및 제 2 기관(110, 210) 사이에 USH 모드 액정층(180)이 개재되어 있으며, 상기 제 1 기관(110) 상에는 서로 교대로 배열되는 공통전극(150)과 화소전극(160)이 배열되어 있다.
- [0044] 이와 같이 IPS 모드의 구동에 의해 넓은 시야각을 얻을 수 있다. 그러나, 상기 USH 모드 액정층(180)은 상기 공통전극(150)과 상기 화소전극(160) 사이에서 발생하는 전계에 의해 구동되는데, 이러한 전계는 기관(110, 120)에 수평한 성분뿐 아니라 이에 수직인 성분을 포함하게 된다. 따라서, 상기 USH 모드 액정층(180)을 구동하는데 필요한 수평 전계를 얻기 위해서는, 상기 공통전극(150)과 상기 화소전극(160) 사이에 보다 큰 전계를 형성하여야 한다. 즉, 높은 구동 전압이 요구되는 문제가 있다.

- [0045] 이러한 구동 전압의 상승을 해결하기 위하여, 수평 전계를 극대화하기 위한 액정표시장치를 도 6 내지 도 8b를 통해 설명한다.
- [0046] 도 6은 본 발명의 실시예에 따른 액정표시장치의 구동 원리를 설명하기 위한 개략적인 단면도이다. 도시된 바와 같이, 액정표시장치는 마주보는 제 1 및 제 2 기판(210, 240)과, 상기 제 1 및 제 2 기판(210, 240) 사이에 개재된 액정층(280)과, 상기 제 1 및 제 2 기판(210, 240) 가장자리에 위치하여 상기 액정층(280)의 누설을 방지하기 위한 씰패턴(290)을 포함한다.
- [0047] 상기 제 1 기판(210) 상에는 제 1 화소전극(232)과, 상기 제 1 화소전극(232)과 교대로 배열되는 제 1 공통전극(243)이 위치하고 있다.
- [0048] 도시하지 않았으나, 상기 제 1 화소전극(232)은 스위칭 소자인 제 1 박막트랜지스터에 연결되어 제 1 전압을 인가받으며, 상기 제 1 공통전극(234)은 제 1 공통배선을 통해 공통전압인 제 2 전압을 인가받는다.
- [0049] 상기 제 2 기판(240)에는 상기 제 1 화소전극(232)과 대응하는 제 2 화소전극(262)과, 상기 제 1 공통전극(234)에 대응하는 제 2 공통전극(264)이 위치한다.
- [0050] 도시하지 않았으나, 상기 제 2 화소전극(262)은 스위칭 소자인 제 2 박막트랜지스터에 연결되어 상기 제 1 전압을 인가받으며, 상기 제 2 공통전극(264)은 제 2 공통배선을 통해 공통전압인 상기 제 2 전압을 인가받는다. 즉, 상기 제 1 화소전극(232)과 상기 제 2 화소전극(262)에 동일한 전압이 인가되며, 상기 제 1 공통전극(234)과 상기 제 2 공통전극(264)에 동일한 전압이 인가된다.
- [0051] 예를 들어, 상기 씰패턴(290)은 도전 특성을 갖고, 상기 씰패턴(290)에 의해 상기 제 1 기판(210)의 제 1 공통전극(234)과 상기 제 2 기판(240)의 제 2 공통전극(264)이 전기적으로 연결될 수 있다. 이와 달리, 상기 제 1 및 제 2 기판(210, 240)의 가장 자리에 은(Ag) 등의 도전성 물질로 이루어지는 도전 도트(미도시)를 형성하여 상기 제 1 기판(210)의 제 1 공통전극(234)과 상기 제 2 기판(240)의 제 2 공통전극(264)을 전기적으로 연결시킬 수도 있다. 상기 도전 도트에 의해 상기 제 1 및 제 2 공통전극(234, 264)을 전기적으로 연결시키는 경우에도, 액정의 누설을 방지하기 위한 씰패턴은 필요하다.
- [0052] 위와 같은 구성에 의하면, 서로 대응되는 위치의 상기 제 1 및 제 2 화소전극(232, 262)는 등전위를 이루고 또한 서로 대응되는 위치의 상기 제 1 및 제 2 공통전극(234, 264)은 등전위를 이루기 때문에, 상기 제 1 및 제 2 화소전극(232, 262)을 잇는 등전위선과 상기 제 1 및 제 2 공통전극(234, 264)을 잇는 등전위선 사이에서 전계가 발생하게 된다. 이러한 전계는 상기 제 1 및 제 2 기판(210, 240)에 평행한 수평 성분이 극대화되고 상기 제 1 및 제 2 기판(210, 240)에 수직인 수직 성분이 최소화된다. 즉, 서로 마주하는 제 1 및 제 2 화소전극(232, 234)과 서로 마주하는 제 1 및 제 2 공통전극(234, 264)에 의해 동일평면 상에 교대로 배열되는 화소전극과 공통전극이 반복적으로 적층된 상태가 될 수 있기 때문에, 수평 전계 성분이 극대화된다.
- [0053] 상기 액정층(280)은 USH 모드 액정일 수 있다. USH 모드 액정을 수평 전계에 의해 구동시킴으로써, 명암비, 시야각 및 빠른 응답속도를 얻을 수 있다. 특히, 제 1 및 제 2 화소전극과 제 1 및 제 2 공통전극을 마주하는 제 1 및 제 2 기판 각각에 서로 대응되도록 위치시킴으로써, 수평 전계를 극대화할 수 있고 구동 전압을 낮출 수 있는 장점을 갖는다.
- [0054] 한편, 상기 액정층(280)은 USH 모드 액정에 국한되지 않는다. 일반적인 IPS 모드 액정표시장치에서도 전술한 전극 구조에 의해 구동 전압을 감소시킬 수 있다.
- [0055] 도 7은 본 발명의 실시예에 따른 액정표시장치의 화소영역을 보여주는 단면도이고, 도 8a 및 도 8b 각각은 본 발명의 실시예에 따른 액정표시장치의 상부기판과 하부기판을 보여주는 평면도이다.
- [0056] 도시한 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 제 1 기판(210)과, 상기 제 1 기판(210)과 마주하는 제 2 기판(240)과, 상기 제 1 및 제 2 기판(210, 240) 사이에 개재되는 액정층(280)을 포함한다. 또한, 상기 제 1 및 제 2 기판(210, 240) 가장자리에 위치하여 상기 액정층(280)의 누설을 방지하기 위한 씰패턴(도 6의 290)을 포함할 수 있다.
- [0057] 상기 제 1 기판(210)에는 일 방향을 따라 연장되는 제 1 게이트 배선(214)과, 상기 제 1 게이트 배선(214)과 제 1 게이트 절연막(216)을 개재한 상태로 교차하여 화소영역을 정의하는 제 1 데이터 배선(224)이 위치한다.
- [0058] 상기 제 1 게이트 배선(214) 및 상기 제 1 데이터 배선(224)의 교차지점에는 스위칭 소자인 제 1 박막트랜지스

터(Tr1)가 위치하고 있다. 상기 제 1 박막트랜지스터(Tr1)는 상기 제 1 게이트 배선(214) 및 상기 제 1 데이터 배선(224)에 연결되어 있다.

- [0059] 상기 제 1 박막트랜지스터(Tr1)는 상기 제 1 게이트 배선(214)에 연결되며 상기 제 1 기판(210) 상에 위치하는 제 1 게이트 전극(212)과, 상기 제 1 게이트 전극(212) 상부에 위치하는 제 1 반도체층(218)과, 상기 제 1 반도체층(218) 상에서 서로 이격하는 제 1 소스 전극(220) 및 제 1 드레인 전극(222)으로 이루어진다.
- [0060] 상기 제 1 게이트 전극(212)과 상기 제 1 반도체층(218) 사이에는 상기 제 1 게이트 절연막(216)이 개재되며, 상기 제 1 반도체층(218)은 제 1 액티브층(218a) 및 제 1 오믹콘택층(218b)를 포함한다. 상기 제 1 액티브층(218a)은 상기 제 1 게이트 절연막(216) 상에서 상기 제 1 게이트 전극(212)과 중첩하며 순수 비정질 실리콘으로 이루어진다. 상기 제 1 오믹콘택층(218b)은 상기 제 1 액티브층(218a) 상에서 서로 이격하며 불순물 비정질 실리콘으로 이루어진다. 상기 제 1 소스 전극(220)은 상기 제 1 데이터 배선(224)과 연결되어 있다. 상기 제 1 액티브층(218a)의 중앙부는 상기 제 1 오믹콘택층(218b)과, 상기 제 1 소스 및 제 1 드레인 전극(220, 222)의 이격 공간을 통해 노출되고 있다.
- [0061] 예를 들어, 상기 제 1 게이트 배선(214), 상기 제 1 게이트 전극(212), 상기 제 1 데이터 배선(224), 상기 제 1 소스 전극(220) 및 상기 제 1 드레인 전극(222) 각각은 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 구리(Cu), 구리합금과 같은 금속물질로 이루어질 수 있다. 또한, 상기 제 1 게이트 절연막(216)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0062] 상기 제 1 박막트랜지스터(Tr1) 및 상기 제 1 데이터 배선(224)을 덮으며 제 1 보호층(226)이 위치하고 있다. 상기 제 1 보호층(226)은 상기 제 1 드레인 전극(222)을 노출시키는 제 1 드레인 콘택홀(228)을 포함한다. 상기 제 1 보호층(226)은 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)과 같은 유기절연물질 또는 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0063] 상기 제 1 보호층(226) 상에는 상기 제 1 드레인 콘택홀(228)을 통해 상기 제 1 드레인 전극(222)에 연결되는 다수의 제 1 화소전극(232)이 위치한다. 즉, 상기 다수의 제 1 화소전극(232)은 상기 제 1 박막트랜지스터(Tr1)에 연결되어 있다.
- [0064] 또한, 상기 제 1 보호층(226) 상에는 상기 제 1 게이트 배선(214)과 평행하게 이격되어 있는 제 1 공통배선(236)이 위치하고, 상기 제 1 공통배선(236)으로부터 분기하는 다수의 제 1 공통전극(234)이 상기 화소영역에 위치하고 있다. 상기 제 1 공통전극(234)은 상기 제 1 화소전극(232)과 교대로 배열된다. 상기 제 1 공통배선(236)이 상기 제 1 공통전극(234)과 동일층에 위치하는 것을 보이고 있으나, 이와 달리 상기 제 1 공통배선(236)은 상기 제 1 게이트 배선(214)과 동일층에 동일물질로 형성될 수 있다.
- [0065] 상기 제 1 화소전극(232)과, 상기 제 1 공통전극(234) 및 상기 제 1 공통배선(236) 각각은 인듐-틴-옥사이드(indium-tin-oxide, ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide, IZO)와 같은 투명 도전성 물질로 이루어질 수 있다.
- [0066] 한편, 상기 제 2 기판(240)에는 일 방향을 따라 연장되는 제 2 게이트 배선(244)과, 상기 제 2 게이트 배선(244)과 제 2 게이트 절연막(246)을 개재한 상태로 교차하여 화소영역을 정의하는 제 2 데이터 배선(254)이 위치한다.
- [0067] 상기 제 2 게이트 배선(244) 및 상기 제 2 데이터 배선(254)의 교차지점에는 스위칭 소자인 제 2 박막트랜지스터(Tr2)가 위치하고 있다. 상기 제 2 박막트랜지스터(Tr2)는 상기 제 2 게이트 배선(244) 및 상기 제 2 데이터 배선(254)에 연결되어 있다. 상기 제 2 박막트랜지스터(Tr2)는 상기 제 1 박막트랜지스터(Tr1)에 대응하여 위치한다.
- [0068] 상기 제 2 박막트랜지스터(Tr2)는 상기 제 2 게이트 배선(244)에 연결되며 상기 제 2 기판(240) 상에 위치하는 제 2 게이트 전극(242)과, 상기 제 2 게이트 전극(242) 상부에 위치하는 제 2 반도체층(248)과, 상기 제 2 반도체층(248) 상에서 서로 이격하는 제 2 소스 전극(250) 및 제 2 드레인 전극(252)으로 이루어진다.
- [0069] 상기 제 2 게이트 전극(242)과 상기 제 2 반도체층(248) 사이에는 상기 제 2 게이트 절연막(246)이 개재되며, 상기 제 2 반도체층(248)은 제 2 액티브층(248a) 및 제 2 오믹콘택층(248b)를 포함한다. 상기 제 2 액티브층(248a)은 상기 제 2 게이트 절연막(246) 상에서 상기 제 2 게이트 전극(242)과 중첩하며 순수 비정질 실리콘으로 이루어진다. 상기 제 2 오믹콘택층(248b)은 상기 제 2 액티브층(248a) 상에서 서로 이격하며 불순물 비정질 실리콘으로 이루어진다. 상기 제 2 소스 전극(250)은 상기 제 2 데이터 배선(254)과 연결되어 있다. 상기 제 2

액티브층(248a)의 중앙부는 상기 제 2 오믹콘택층(248b)과, 상기 제 2 소스 및 제 2 드레인 전극(250, 252)의 이격 공간을 통해 노출되고 있다.

- [0070] 예를 들어, 상기 제 2 게이트 배선(244), 상기 제 2 게이트 전극(242), 상기 제 2 데이터 배선(254), 상기 제 2 소스 전극(250) 및 상기 제 2 드레인 전극(252) 각각은 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 구리(Cu), 구리합금과 같은 금속물질로 이루어질 수 있다. 또한, 상기 제 2 게이트 절연막(246)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0071] 상기 제 2 박막트랜지스터(Tr2) 및 상기 제 2 데이터 배선(254)을 덮으며 제 2 보호층(256)이 위치하고 있다. 상기 제 2 보호층(256)은 상기 제 2 드레인 전극(252)을 노출시키는 제 2 드레인 콘택홀(258)을 포함한다. 상기 제 2 보호층(256)은 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)과 같은 유기절연물질 또는 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0072] 상기 제 2 보호층(256) 상에는 상기 제 2 드레인 콘택홀(258)을 통해 상기 제 2 드레인 전극(252)에 연결되는 다수의 제 2 화소전극(262)이 위치한다. 즉, 상기 다수의 제 2 화소전극(262)은 상기 제 2 박막트랜지스터(Tr2)에 연결되어 있다. 또한, 상기 제 2 화소전극(262)은 상기 제 1 화소전극(232)에 대응하여 위치하고 동일한 폭을 갖는다. 한편, 합착 마진을 고려할 때, 상기 제 2 화소전극(262)은 상기 제 1 화소전극(232)보다 큰 폭을 가질 수 있다. 즉, 상기 제 2 화소전극(262)은 상기 제 1 화소전극(232)과 같거나 이보다 큰 폭을 갖는다.
- [0073] 또한, 상기 제 2 보호층(256) 상에는 상기 제 2 게이트 배선(244)과 평행하게 이격되어 있는 제 2 공통배선(266)이 위치하고, 상기 제 2 공통배선(266)으로부터 분기하는 다수의 제 2 공통전극(264)이 상기 화소영역에 위치하고 있다. 상기 제 2 공통전극(264)은 상기 제 1 공통전극(234)에 대응하여 위치하며 동일한 폭을 갖고, 상기 제 2 화소전극(262)과 교대로 배열된다. 상기 제 2 공통배선(266)이 상기 제 2 공통전극(264)과 동일층에 위치하는 것을 보이고 있으나, 이와 달리 상기 제 2 공통배선(266)은 상기 제 2 게이트 배선(244)과 동일층에 동일물질로 형성될 수 있다.
- [0074] 한편, 합착 마진을 고려할 때, 상기 제 2 공통전극(264)은 상기 제 1 공통전극(234)보다 큰 폭을 가질 수 있다. 즉, 상기 제 2 공통전극(264)은 상기 제 1 공통전극(234)과 같거나 이보다 큰 폭을 갖는다.
- [0075] 상기 제 2 화소전극(262)과, 상기 제 2 공통전극(264) 및 상기 제 2 공통배선(266) 각각은 인듐-틴-옥사이드(indium-tin-oxide, ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide, IZO)와 같은 투명 도전성 물질로 이루어질 수 있다.
- [0076] 또한, 상기 제 2 화소전극(262) 및 상기 제 2 공통전극(264) 상에는 평탄화층(270)이 형성되고, 상기 평탄화층(270) 상에는 상기 제 2 박막트랜지스터(Tr2), 상기 제 2 게이트 배선(244) 및 상기 제 2 데이터 배선(254)에 대응하여 빛을 차단하기 위한 블랙매트릭스(272)가 위치한다.
- [0077] 상기 제 2 박막트랜지스터(Tr2), 상기 제 2 게이트 배선(244) 및 상기 제 2 데이터 배선(254) 각각은 상기 제 1 박막트랜지스터(Tr1), 상기 제 1 게이트 배선(214) 및 상기 제 1 데이터 배선(224)에 대응하여 위치하고 있기 때문에, 상기 블랙매트릭스(272)는 상기 제 1 박막트랜지스터(Tr1), 상기 제 1 게이트 배선(214) 및 상기 제 1 데이터 배선(224)에 대응하여 위치하는 결과가 된다.
- [0078] 또한, 상기 평탄화층(270) 상에는 상기 화소영역에 대응하여 적, 녹, 청색의 컬러필터(274)가 형성되어 있다. 도시하지 않았으나, 상기 블랙매트릭스(272)와 상기 컬러필터(274)를 덮는 오버코트층이 형성될 수 있다. 상기 오버코트층은 상기 컬러필터(274)의 용출에 의한 액정층(280)의 오염을 방지하는 역할을 한다.
- [0079] 상기 블랙매트릭스(272)와 상기 컬러필터(274)가 상기 제 2 박막트랜지스터(Tr2) 상부로 형성되는 것을 보이고 있으나, 이와 달리 상기 블랙매트릭스(272)와 상기 컬러필터(274)는 상기 제 2 기판(240) 상에 형성되고 상기 제 2 박막트랜지스터(Tr2) 등이 상기 블랙매트릭스(272)와 상기 컬러필터(274) 상부로 형성될 수 있다.
- [0080] 또한, 상기 블랙매트릭스(272)와 상기 컬러필터(274)는 상기 제 1 기판(210) 상에 형성될 수도 있다. 이 경우, 상기 제 1 박막트랜지스터(Tr1) 상부로 제 1 화소전극(232)과 제 1 공통전극(234)을 덮는 평탄화층이 형성되고, 블랙매트릭스와 컬러필터가 상기 평탄화층 상에 형성될 수 있다.
- [0081] 상기 제 1 및 제 2 기판(210, 240) 사이에는 상기 액정층(280)이 개재되고, 그 가장자리를 따라 상기 셀패턴(도 6의 290)이 형성된다. 상기 액정층(280)은 USH 모드일 수 있다. 즉, 상기 액정층(280)은 액정분자가 수십번 꼬여있는 나선형 구조를 가지며 나선형 구조의 축, 즉 나선축은 빛의 진행 방향(z방향)에 평행하다. 또한 상기 액정층은 상기 z방향의 굴절율이 상기 z방향에 각각 수직인 x, y방향의 굴절율보다 작고, 상기 x, y방향의 굴절율

은 서로 동일하다. ($nz < nx = ny$)

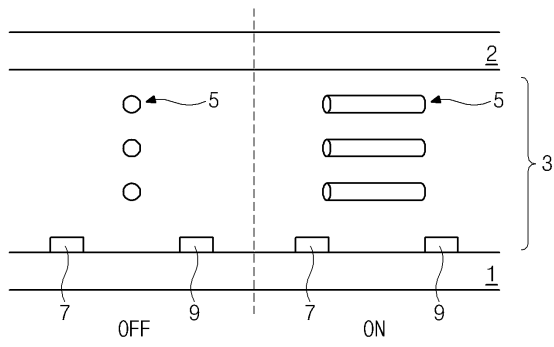
- [0082] 상기 제 1 및 제 2 화소전극(232, 262)과 상기 제 1 및 제 2 공통전극(234, 264) 사이에 전계가 형성됨으로써, 상기 액정층(280)이 구동된다. 이때, 상기 제 1 및 제 2 화소전극(232, 262)은 동일한 위치에 형성되고 등전위를 이루며, 상기 제 1 및 제 2 공통전극(234, 264) 역시 동일한 위치에 형성되고 등전위를 이룬다. 따라서, 상기 제 1 및 제 2 화소전극(232, 262)을 잇는 등전위선과 상기 제 1 및 제 2 공통전극(234, 264)을 잇는 등전위선 사이에서 전계가 발생하게 된다. 이러한 전계는 상기 제 1 및 제 2 기판(210, 240)에 평행한 수평 성분이 극대화되고 상기 제 1 및 제 2 기판(210, 240)에 수직인 수직 성분이 최소화된다.
- [0083] 따라서, 상기 액정층(280)을 구동시키기 위한 수평 전계를 형성하는데 필요한 전압이 줄어들게 되고, 결과적으로 전력 소모 역시 줄어드는 장점을 갖게 된다.
- [0084] 이때, 상기 제 1 공통전극(234)과 상기 제 2 공통전극(264)에 동일한 전압이 인가되도록 하기 위하여, 상기 셀패턴(290)이 도전 특성을 갖도록 할 수 있다. 즉, 상기 셀패턴(290)이 도전부를 포함하도록 하고, 상기 셀패턴(290)의 일단이 상기 제 1 공통배선(236)과 접촉하고 상기 셀패턴(290)의 타단이 상기 제 2 공통배선(266)과 접촉하도록 함으로써, 상기 제 1 공통전극(234)과 상기 제 2 공통전극(264)을 전기적으로 연결시킬 수 있다. 이와 달리, 상기 제 1 및 제 2 기판(210, 240)의 가장자리에 은 등으로 이루어지는 도전 도트를 형성함으로써, 상기 제 1 공통전극(234)과 상기 제 2 공통전극(264)을 전기적으로 연결시킬 수도 있다.
- [0085] 또한 상기 제 1 화소전극(232)과 상기 제 2 화소전극(262)에 동일한 전압이 인가되도록 하기 위하여, 상기 제 1 데이터 배선(224)과 상기 제 2 데이터 배선(254)을 전기적으로 연결시킬 수 있다.
- [0086] 본 발명의 실시예에 따른 액정표시장치의 구동 전압과 투과율 관계를 설명하기 위한 그래프인 도 9를 참조하면, 일반적인 IPS 구조(A)에 비해 본 발명에서와 같이 제 1 및 제 2 기판에 각각 형성되는 제 1 및 제 2 화소전극과 제 1 및 제 2 공통전극에 의해 전계를 형성함으로써 (B), 구동 전압이 낮아진 것을 알 수 있다.
- [0087] 본 발명의 액정표시장치는 하부기판에 제 1 화소전극과 제 1 공통전극을 형성하고 상부기판에 제 2 화소전극과 제 2 공통전극을 형성함으로써, 전계의 수평 성분을 극대화시킬 수 있다. 상기 액정표시장치는 USH 모드 액정을 이용하는데, 수평 성분이 극대화된 전계에 의해 구동됨으로써, 구동 전압을 낮출 수 있는 장점을 갖게 된다.
- [0088] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

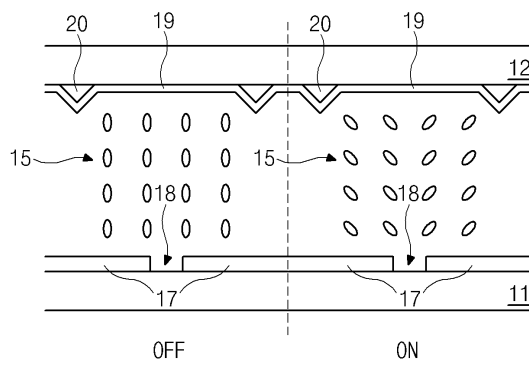
- [0089] Tr1: 제 1 박막트랜지스터
- Tr2: 제 2 박막트랜지스터
- 214: 제 1 게이트 배선
- 224: 제 1 데이터 배선
- 232: 제 1 화소전극
- 234: 제 1 공통전극
- 244: 제 2 게이트 배선
- 254: 제 2 데이터 배선
- 262: 제 2 화소전극
- 264: 제 2 공통전극
- 280: 액정층

도면

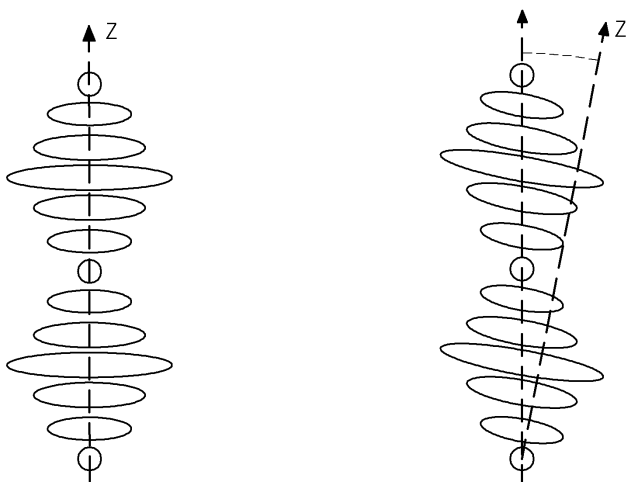
도면1



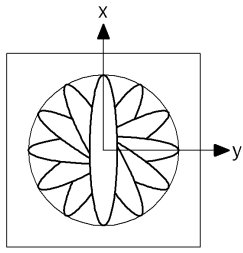
도면2



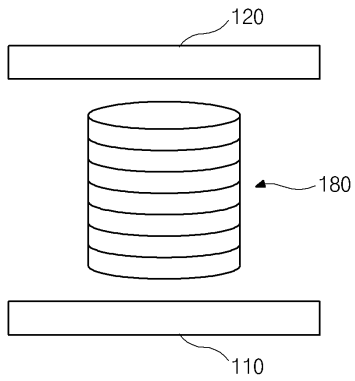
도면3



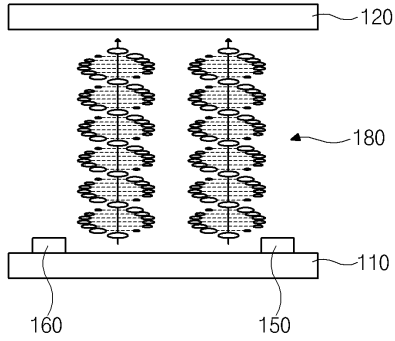
도면4a



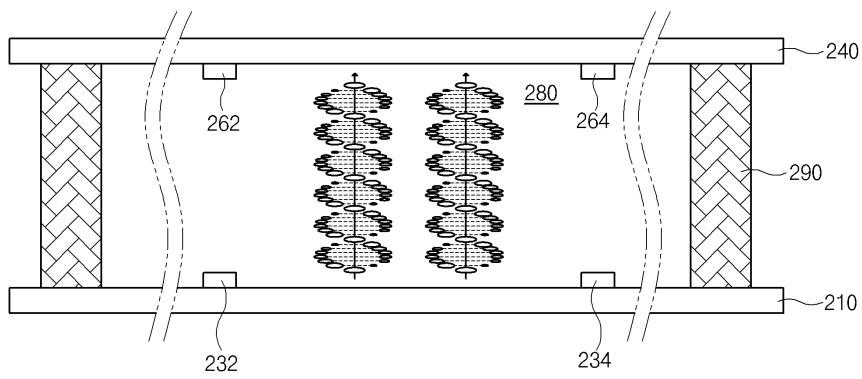
도면4b



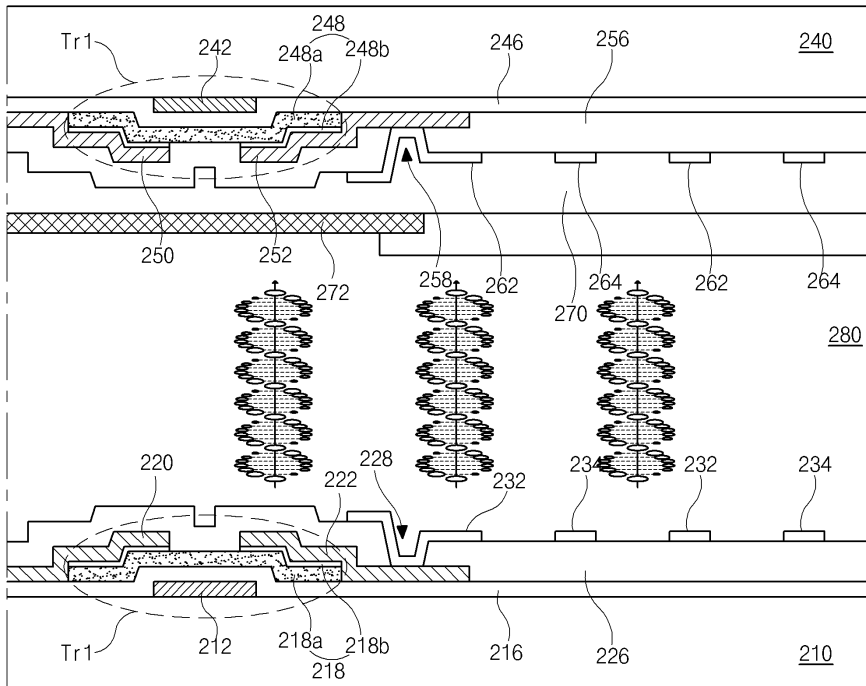
도면5



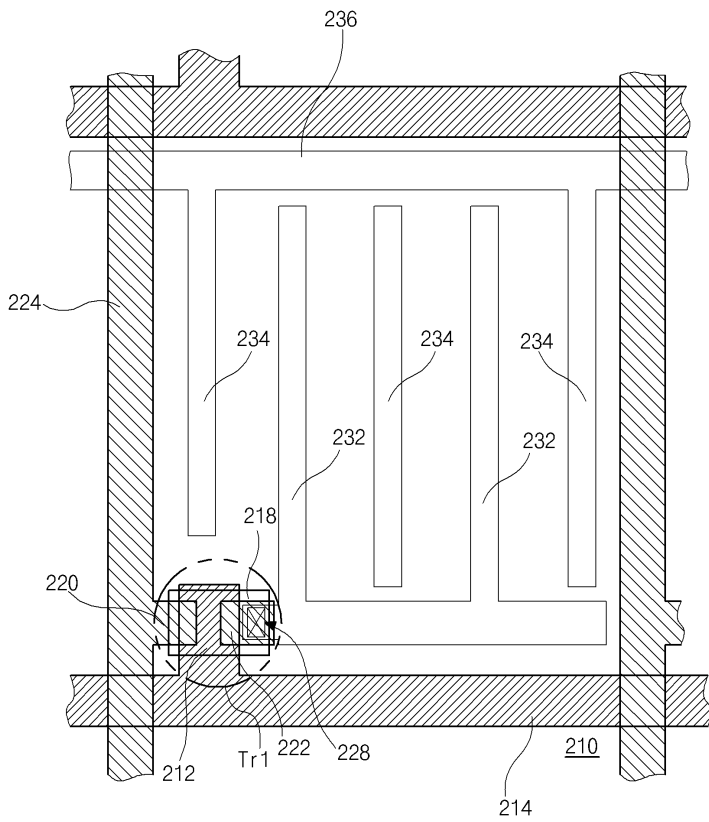
도면6



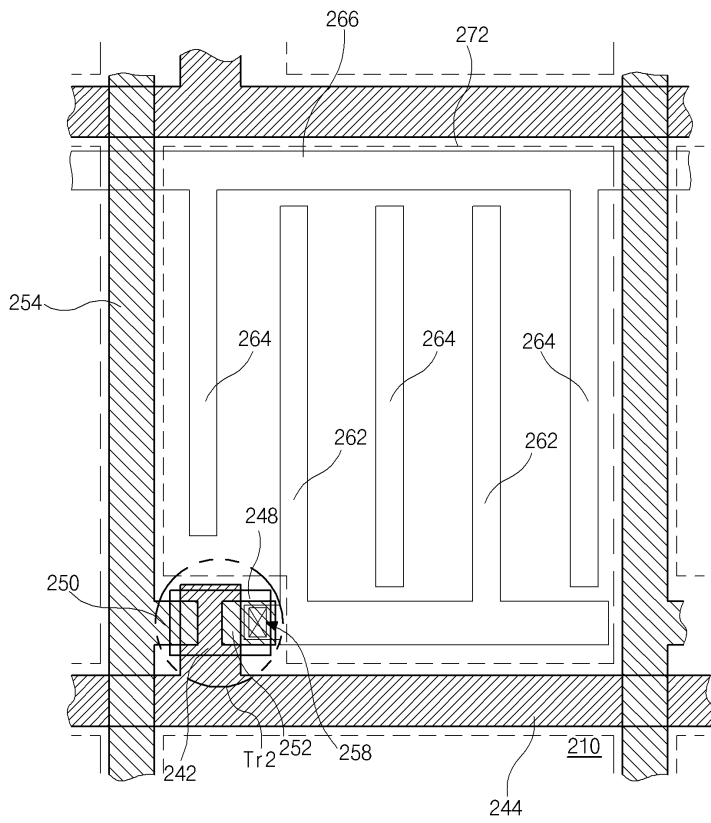
도면7



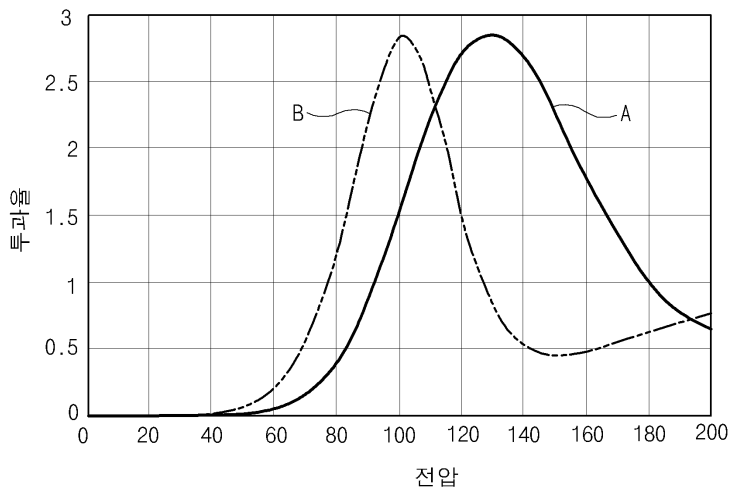
도면8a



도면8b



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR101828482B1	公开(公告)日	2018-02-12
申请号	KR1020100134002	申请日	2010-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DONG JIN 김동진 KIM DONG GUK 김동국 PARK HYUN JIN 박현진 WOO JONG HOON 우중훈 YOON DONG KYU 윤동규		
发明人	김동진 김동국 박현진 우중훈 윤동규		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/13363 G02F1/1337 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/1343 G02F1/1368 G02F1/13363 G02F1/136286 G02F1/133512 G02F1/133514 G02F1/134363 G02F2001/133796 G02F2001/134372 G02F1/13624 G02F1/136204		
其他公开文献	KR1020120072175A		
外部链接	Espacenet		

摘要(译)

本发明提供一种发光装置，包括：第一基板；第一开关元件，位于第一基板上；第一像素电极，位于第一基板上并连接第一开关装置；第一公共电极，设置在第一基板上并与第一像素电极交替排列；面向第一基板的第二基板；第二开关元件，位于第一基板上；第二像素电极，位于第二基板上并连接第二开关元件；第二公共电极，设置在第二基板上，并与第二像素电极交替排列；并且液晶层设置在第一和第二基板之间。

