



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0083348
(43) 공개일자 2016년07월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1343 (2006.01)
(21) 출원번호 10-2014-0194303
(22) 출원일자 2014년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
손민호
대구광역시 달서구 장산남로 33 107동 1301호 (용산동,롯데캐슬아파트)
신용범
부산광역시 북구 화명신도시로 39 716동 2101호 (화명동,대림쌍용강변타운)
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 7 항

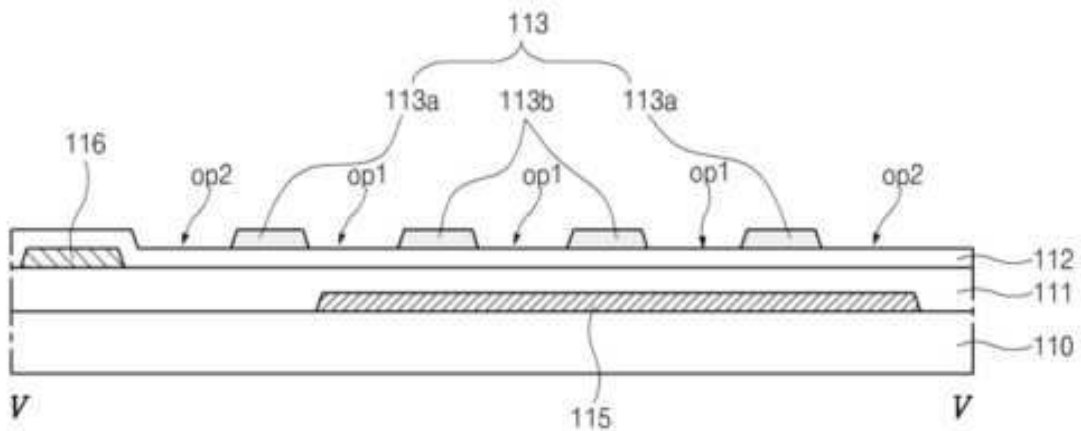
(54) 발명의 명칭 액정표시장치용 어레이 기판의 제조 방법

(57) 요약

본 발명은, 얼룩불량 등의 표시화상 불량을 방지할 수 있는 액정표시장치용 어레이 기판을 제공하기 위하여, 화소전극을 포함하되, 상기 화소전극은 상기 화소전극의 최외각 양측에 배치된 제1화소전극 핑거와 상기 제1화소전극 핑거 사이에 배치된 제2화소전극 핑거 및 상기 제1 및 제2화소전극을 연결하는 화소전극 연결부로 이루어진

(뒷면에 계속)

대표도 - 도5



프린지 필드 스위칭 모드의 액정표시장치용 어레이 기판의 제조방법에 있어서, 기판 상에 공통전극을 형성하는 단계와 상기 공통전극 상부 및 상기 기판 전면에 게이트 절연막을 형성하는 단계와 상기 게이트 절연막 상부에 데이터 배선을 형성하는 단계와 상기 데이터 배선 상부 및 상기 기판 전면에 보호층을 형성하는 단계와 상기 보호층 상부에 투명 도전층을 적층하는 단계와 상기 투명 도전층 상부에 포토레지스트층을 적층하는 단계와 상기 포토레지스트층을 노광 마스크에 의해 노광하여, 상기 공통전극 상부에 상기 데이터 배선과 일정간격 이격된 제1 및 제2포토레지스트 패턴을 형성하는 단계와 상기 제1 및 제2포토레지스트 패턴 외측의 상기 투명 도전층을 식각하여 제거하는 단계와 상기 제1 및 제2포토레지스트 패턴을 스트립하여 제거함으로써, 상기 제1 및 제2포토레지스트 패턴에 각각 대응되는 상기 제1 및 제2화소전극 핑거를 형성하는 단계를 포함하고, 상기 노광 마스크는 상기 제1 및 제2포토레지스트 패턴에 각각 대응되는 제1 및 제2차단영역을 구비하며, 상기 제1차단영역의 폭은 제2차단영역의 폭보다 크게 형성함으로써, 상기 제1 및 제2화소전극 핑거의 폭이 동일하게 형성되는 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

명세서

청구범위

청구항 1

화소전극을 포함하되, 상기 화소전극은 상기 화소전극의 최외각 양측에 배치된 제1화소전극 핑거와 상기 제1화소전극 핑거 사이에 배치된 제2화소전극 핑거 및 상기 제1 및 제2화소전극을 연결하는 화소전극 연결부로 이루어진 액정표시장치용 어레이 기판의 제조방법에 있어서,

기판 상에 공통전극을 형성하는 단계;

상기 공통전극 상부 및 상기 기판 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상부에 데이터 배선을 형성하는 단계;

상기 데이터 배선 상부 및 상기 기판 전면에 보호층을 형성하는 단계;

상기 보호층 상부에 투명 도전층을 적층하는 단계;

상기 투명 도전층 상부에 포토레지스트층을 적층하는 단계;

상기 포토레지스트층을 노광 마스크에 의해 노광하여, 상기 공통전극 상부에 상기 데이터 배선과 일정간격 이격된 제1 및 제2포토레지스트 패턴을 형성하는 단계;

상기 제1 및 제2포토레지스트 패턴 외측의 상기 투명 도전층을 식각하여 제거하는 단계; 및

상기 제1 및 제2포토레지스트 패턴을 스트립하여 제거함으로써, 상기 제1 및 제2포토레지스트 패턴에 각각 대응되는 상기 제1 및 제2화소전극 핑거를 형성하는 단계를 포함하고,

상기 노광 마스크는 상기 제1 및 제2포토레지스트 패턴에 각각 대응되는 제1 및 제2차단영역을 구비하며, 상기 제1차단영역의 폭은 제2차단영역의 폭보다 크게 형성함으로써, 상기 제1 및 제2화소전극 핑거의 폭이 동일하게 형성되는 액정표시장치용 어레이 기판의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제1차단영역의 폭은 상기 제2차단영역의 폭의 105% 내지 110%인 액정표시장치용 어레이 기판의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제2화소전극 핑거는 하나 이상인 액정표시장치용 어레이 기판의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 공통전극은 다수의 공통전극 핑거 및 상기 다수의 공통전극 핑거들을 연결하는 공통전극 연결부를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 다수의 공통전극 핑거는 상기 제1 및 제2화소전극 핑거와 나란하게 배치되되, 중첩되지 않도록 배치되는 액정표시장치용 어레이 기판의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 투명 도전층은 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등으로 이루어진 액정표시장치용 어레이 기판의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 공통전극을 형성하는 단계는, 상기 공통전극과 연결되는 공통 배선과, 게이트전극 및 상기 게이트전극과 연결되는 게이트 배선을 형성하는 단계를 포함하며,

상기 데이터 배선을 형성하는 단계는, 상기 데이터 배선과 연결되는 소스 전극과 상기 화소전극과 연결되는 드레인 전극을 형성하는 단계를 포함하며,

상기 보호층을 형성하는 단계는, 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 형성하는 단계를 포함하며,

상기 제1 및 제2화소전극 핑거를 형성하는 단계는, 상기 드레인 콘택홀을 통해 상기 화소전극과 상기 드레인 전극이 연결되는 단계를 더 포함하는 액정표시장치용 어레이 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히, 표시불량을 방지할 수 있는 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 일반적으로 프린지 필드 스위칭 모드 액정표시장치는 어레이 기판과 이와 대응하여 컬러필터층을 구비한 컬러필터 기판 및 이들 두 기판 사이에 액정층이 구비된 구성을 이루고 있으며, 특히 어레이 기판상에 절연층을 개재하여 화소전극과 공통전극이 구비되며, 화소전극 및 공통전극 중 하나에 다수의 바 형태를 갖는 개구가 구비됨으로써 각 개구의 주변에서 화소전극과 공통전극에 의해 발현되는 프린지 필드(Fringe Field)에 의해 구동되는 것이 특징이다.

[0003] 이러한 구성적 특징에 의해 프린지 필드 스위칭 모드 액정표시장치는 횡전계형 액정표시장치 대비 개구율 및 투과율이 향상된다.

[0004] 도 1은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판에 있어 화소 영역에 대한 평면도이고, 도 2는 도 1의 II-II를 따라 절단한 단면도이다.

[0005] 도면에 도시한 바와 같이, 어레이 기판(10) 상에는 게이트 배선(14)과 데이터 배선(16)이 교차하여 정의되는 화소 영역에 게이트 전극(14a) 및 공통전극(15)이 형성된다.

[0006] 또한, 게이트 전극(14a) 및 공통전극(15) 상부로 전면에 게이트 절연막(11)이 형성되어 있으며, 게이트 전극(14a) 및 게이트 절연막(11) 상부에 반도체층(미도시)이 형성된다.

- [0007] 또한, 반도체층(미도시) 상부에는 게이트 전극(14a)에 대응하여 서로 이격하는 소스 전극(16a)과 드레인 전극(16b)이 형성되고, 게이트 절연막(111) 상부에는 소스전극(16a)과 연결되는 데이터 배선(16)이 형성된다.
- [0008] 이 때, 순차 적층 형성된 게이트 전극(14a)과 게이트 절연막(11)과 반도체층(미도시)과 소스 및 드레인 전극(16a, 16b)은 박막트랜지스터(T)를 이룬다.
- [0009] 또한, 소스 및 드레인 전극(16a, 16b) 상부에 드레인 전극(16b)의 일부를 노출시키는 드레인 콘택홀(DCH)을 구비하는 보호층(12)이 형성되어 있으며, 상기 보호층(12) 상부에는 각 화소영역 별로 독립되며, 드레인 콘택홀(DCH)을 통해 드레인 전극(16b)과 접촉하는 화소전극(13)이 형성된다.
- [0010] 구체적으로, 공통전극(15)은 각 화소 영역에 형성되고, 공통전극(15)과 접속된 공통 배선(미도시)을 통해 액정 구동을 위한 기준 전압(이하, 공통 전압)을 공급받는다.
- [0011] 또한, 화소전극(13)은 다수의 제1개구(OP1)를 정의하는 다수의 화소전극 핑거(13a, 13b)들과, 화소전극 핑거(13a, 13b)들을 연결하는 화소전극 연결부(13c)로 구분된다.
- [0012] 또한, 화소전극(13) 양측에는 제2개구(OP2)가 구비됨으로써 이웃하는 화소전극과 분리 된다.
- [0013] 또한, 다수의 화소전극 핑거(13a, 13b)는 다수의 화소전극 핑거(13a, 13b) 중 최외각 양측에 배치된 제1화소전극 핑거(13a)와 제1화소전극 핑거(13a) 사이에 배치된 제2화소전극 핑거(13b)로 구분된다.
- [0014] 이에 따라, 화소전극 핑거(13a, 13b)와 공통전극(15) 상부에 포물선 형태의 프린지 필드(Fringe Field)가 형성된다.
- [0015] 도 3a 내지 도 3d는 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판에 있어 화소전극이 형성되는 과정을 설명하기 위한 도면이다.
- [0016] 먼저, 어레이 기판(10) 상에 공통 배선(미도시)과 공통전극(15)이 형성되고, 이후 공통 배선(미도시)과 공통전극(15) 상부에 게이트절연막(11)이 형성된다.
- [0017] 다음, 게이트절연막(11) 상부에 데이터 배선(16), 소스 전극(16a) 및 드레인 전극(16b)이 형성된다.
- [0018] 다음, 데이터 배선(16), 소스 전극(16a) 및 드레인 전극(16b) 상부에 드레인 전극(16b) 일부를 노출시키는 드레인 콘택홀(DCH)을 구비하는 보호층(12)이 형성된다.
- [0019] 이 때, 보호층(12)은 유기절연물질 예를 들면, 포토아크릴로 이루어 지거나, 또는 무기절연물질 예를 들면, 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x)으로 이루어질 수 있다.
- [0020] 다음, 도 3a에 도시한 바와 같이, 보호층(12) 상부에 스퍼터링 등의 증착 방법을 통해 투명 도전층(23)이 증착되는데, 투명 도전층(23)은 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등으로 이루어질 수 있다.
- [0021] 다음, 도 3b에 도시한 바와 같이, 투명 도전층(23) 상부에 포토레지스트를 도포하여 포토레지스트층(33)이 형성되고, 포토레지스트층(33) 상부에 투과영역(41a, 41b)과 차단영역(43a, 43b)을 갖는 노광 마스크(40)가 위치한다.
- [0022] 다음, 도 3c에 도시한 바와 같이, 포토레지스트층(33)에 대해 노광을 실시한 후, 포토레지스트층(도 3b의 33)을 현상함으로써 포토레지스트 패턴(34a, 34b)이 형성된다.
- [0023] 이때, 포토레지스트 패턴(34a, 34b)은 화소전극(13)이 형성될 부분에 대응하여 형성되는데, 특히, 제1포토레지스트 패턴(34a)은 제1화소전극 핑거(13a)가 형성될 부분에, 그리고 제2포토레지스트 패턴(34b)은 제2화소전극 핑거(13b)가 형성될 부분에 각각 대응하여 형성된다.
- [0024] 다음, 도 3d에 도시한 바와 같이, 식각을 진행하여 제1 및 제2포토레지스트 패턴(34a, 34b) 외측으로 노출된 투명 도전층(23)이 제거되고, 이후, 제1 및 제2포토레지스트 패턴(34a, 34b)이 스트립(strip)에 의해 제거됨으로써, 제1개구(OP1), 제1 및 제2화소전극 핑거(13a, 13b)와 화소전극 연결부(13c)를 갖는 화소전극(13)이 형성된다.
- [0025] 한편, 최근에는 액정표시장치의 고해상도화가 급격히 진행되고 있는데, 해상도라 함은 단위 면적당 표시되는 화소수(PPI:pixel per inch)로 정의되며, 고해상도의 표시장치라 함은 통상 300 PPI(pixel per inch) 이상인 액

정표시장치를 의미하고 있으며, 최근에는 500 PPI 이상의 초고해상도를 갖는 액정표시장치 또한 요구되고 있다.

- [0026] 또한, 액정표시장치의 고해상도를 실현시키기 위해서는 화상을 표시하는 표시영역의 단위면적당 화소영역의 수를 늘려야 하며, 이는 곧 하나의 화소영역의 크기가 작아짐을 의미한다.
- [0027] 따라서, 고 PPI의 액정표시장치를 구현하기 위해 제1개구(OP1) 및 화소전극 핑거(13a, 13b)의 폭을 작게 예를 들면, 2~3 μ m로 형성되는데, 이에 따라 제1 및 제2포토레지스트 패턴(34a, 34b)의 폭도 작게 형성된다.
- [0028] 또한, 프린지 필드 스위칭 모드의 액정표시장치의 표시불량을 방지하기 위해서는 다수의 제1개구(OP1) 및 화소전극 핑거(13a, 13b)의 폭을 동일하게 형성하여야 하며, 이에 따라 제1 및 제2포토레지스트 패턴(34a, 34b)의 폭도 동일하게 형성되어야 한다.
- [0029] 이 때, 노광 마스크(40)는 제1포토레지스트 패턴(34a)에 대응되는 제1차단영역(43a)과, 제2포토레지스트 패턴(34b)에 대응되는 제2차단영역(43b)과, 제1차단영역(43a)의 외측에 배치되며 제2개구(OP2)에 대응되는 제1투과영역(41a)과, 각 차단영역 사이(43a, 43b)에 배치되며 제1개구(OP1)에 대응되는 제2투과영역(41b)으로 구분된다.
- [0030] 또한, 포토레지스트층(33)에 노광 진행시, 제2투과영역(41b) 양측에는 각각 2개의 차단영역(43a, 43b)이 배치되는데 반해, 제1투과영역(41a)의 일측에만 하나의 차단영역(43a)이 배치되어, 제1투과영역(41a)에서 제1차단영역(43a)에 대응되는 포토레지스트층(33)으로 빛이 투과될 수 있다.
- [0031] 즉, 제1 및 제2 차단영역(43a, 43b)의 폭이 동일하게 형성되면, 제1투과영역(41a)에 대응되는 포토레지스트층(33)이 제2투과영역(41b)에 대응되는 포토레지스트층(33)보다 상대적으로 노광량이 많아질 수 있다.
- [0032] 이에 따라, 현상을 하면, 제1포토레지스트 패턴(34a)은 제2포토레지스트 패턴(34b)에 비해 상대적으로 그 폭이 작게 형성될 수 있고, 이후 식각을 진행하여 제1 및 제2포토레지스트 패턴(34a, 34b) 외측으로 노출된 투명 도전층(23)을 제거하고, 제1 및 제2포토레지스트 패턴(34a, 34b)을 스트립 진행하여 제거하고 나면, 제1화소전극 핑거(13a)의 폭(P1)은 제2화소전극 핑거(13b)의 폭(P2) 보다 상대적으로 작게 형성될 수 있다.
- [0033] 따라서, 종래의 프린지 필드 스위칭 모드 액정표시장치는 하나의 화소전극에 포함되는 화소전극 핑거들의 폭이 상이하게 형성됨에 따라 얼룩불량 등의 표시화상 불량 등의 문제점이 발생한다.

발명의 내용

해결하려는 과제

- [0034] 본 발명은 이러한 문제를 해결하기 위해 안출된 것으로, 하나의 화소전극에 포함되는 화소전극 핑거들의 폭이 상이하게 형성됨에 따라 발생하는 표시화상 불량을 방지할 수 있는 액정표시장치용 어레이 기판의 제조 방법을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0035] 전술한 바와 같은 목적을 달성하기 위하여, 화소전극을 포함하되, 상기 화소전극은 상기 화소전극의 최외각 양측에 배치된 제1화소전극 핑거와 상기 제1화소전극 핑거 사이에 배치된 제2화소전극 핑거 및 상기 제1 및 제2화소전극을 연결하는 화소전극 연결부로 이루어진 액정표시장치용 어레이 기판의 제조방법에 있어서, 기판 상에 공통전극을 형성하는 단계와 상기 공통전극 상부 및 상기 기판 전면에 게이트 절연막을 형성하는 단계와 상기 게이트 절연막 상부에 데이터 배선을 형성하는 단계와 상기 데이터 배선 상부 및 상기 기판 전면에 보호층을 형성하는 단계와 상기 보호층 상부에 투명 도전층을 적층하는 단계와 상기 투명 도전층 상부에 포토레지스트층을 적층하는 단계와 상기 포토레지스트층을 노광 마스크에 의해 노광하여, 상기 공통전극 상부에 상기 데이터 배선과 일정간격 이격된 제1 및 제2포토레지스트 패턴을 형성하는 단계와 상기 제1 및 제2포토레지스트 패턴 외측의 상기 투명 도전층을 식각하여 제거하는 단계와 상기 제1 및 제2포토레지스트 패턴을 스트립하여 제거함으로써, 상기 제1 및 제2포토레지스트 패턴에 각각 대응되는 상기 제1 및 제2화소전극 핑거를 형성하는 단계를 포함하고, 상기 노광 마스크는 상기 제1 및 제2포토레지스트 패턴에 각각 대응되는 제1 및 제2차단영역을 구비하며, 상기 제1차단영역의 폭은 제2차단영역의 폭보다 크게 형성함으로써, 상기 제1 및 제2화소전극 핑거의 폭

이 동일하게 형성되는 액정표시장치용 어레이 기관의 제조 방법을 제공한다.

- [0036] 또한, 상기 제1차단영역의 폭은 상기 제2차단영역의 폭의 105% 내지 110%인 것을 특징으로 한다.
- [0037] 또한, 상기 제2화소전극 핑거는 하나 이상인 것을 특징으로 한다.
- [0038] 또한, 상기 공통전극은 다수의 공통전극 핑거 및 상기 다수의 공통전극 핑거들을 연결하는 공통전극 연결부를 포함하는 것을 특징으로 한다.
- [0039] 또한, 상기 다수의 공통전극 핑거는 상기 제1 및 제2화소전극 핑거와 나란하게 배치되되, 중첩되지 않도록 배치되는 것을 특징으로 한다.
- [0040] 또한, 상기 투명 도전층은 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등으로 이루어지는 것을 특징으로 한다.
- [0041] 또한, 상기 공통전극을 형성하는 단계는, 상기 공통전극과 연결되는 공통 배선과, 게이트전극 및 상기 게이트전극과 연결되는 게이트 배선을 형성하는 단계를 포함하며, 상기 데이터 배선을 형성하는 단계는, 상기 데이터 배선과 연결되는 소스 전극과 상기 화소전극과 연결되는 드레인 전극을 형성하는 단계를 포함하며, 상기 보호층을 형성하는 단계는, 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 형성하는 단계를 포함하며, 상기 제1 및 제2화소전극 핑거를 형성하는 단계는, 상기 드레인 콘택홀을 통해 상기 화소전극과 상기 드레인 전극이 연결되는 단계를 더 포함한다.

발명의 효과

- [0042] 본 발명의 실시예에 따라 제조되는 액정표시장치용 어레이 기관은, 하나의 화소전극에 포함되는 화소전극 핑거들의 폭을 동일하게 형성함으로써 얼룩불량 등의 표시화상 불량을 방지하는 효과가 있다.

도면의 간단한 설명

- [0043] 도 1은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관에 있어 화소 영역에 대한 평면도이다.
 도 2는 도 1의 II-II를 따라 절단한 단면도이다.
 도 3a 내지 도 3d는 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관에 있어 화소전극이 형성되는 과정을 설명하기 위한 도면이다.
 도 4는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관에 있어 화소 영역에 대한 평면도이다.
 도 5는 도 4의 V-V를 따라 절단한 단면도이다.
 도 6a 내지 도 6d는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관에 있어 화소전극이 형성되는 과정을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- [0045] 도 4는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관에 있어 화소 영역에 대한 평면도이고, 도 5는 도 4의 V-V를 따라 절단한 단면도이다.
- [0046] 도면에 도시한 바와 같이, 어레이 기관(100) 상에는 게이트 배선(114)과 데이터 배선(116)이 교차하여 정의되는 화소 영역에 게이트 전극(114a) 및 공통전극(115)이 형성된다.
- [0047] 또한, 게이트 전극(114a) 및 공통전극(115) 상부로 전면에 게이트 절연막(111)이 형성되어 있으며, 게이트 전극(114a) 및 게이트 절연막(111) 상부에 반도체층(미도시)이 형성된다.

- [0048] 또한, 반도체층(미도시) 상부에는 게이트 전극(114a)에 대응하여 서로 이격하는 소스 전극(116a)과 드레인 전극(116b)이 형성되고, 게이트 절연막(111) 상부에 소스전극(116a)과 연결되는 데이터 배선(116)이 형성된다.
- [0049] 이 때, 순차 적층 형성된 게이트 전극(114a)과 게이트 절연막(111)과 반도체층(미도시)과 소스 및 드레인 전극(116a, 116b)은 박막트랜지스터(T)를 이룬다.
- [0050] 또한, 소스 및 드레인 전극(116a, 116b) 상부에 드레인 전극(116b)의 일부를 노출시키는 드레인 콘택홀(DCH)을 구비하는 보호층(112)이 형성되어 있으며, 상기 보호층(112) 상부에는 각 화소영역 별로 독립되며, 드레인 콘택홀(DCH)을 통해 드레인 전극(116b)과 접촉하는 화소전극(113)이 형성된다.
- [0051] 구체적으로, 공통전극(115)은 각 화소 영역에 형성되고, 공통전극(115)과 접속된 공통 배선(미도시)을 통해 액정 구동을 위한 기준 전압(이하, 공통 전압)을 공급받는다.
- [0052] 또한, 도면에는 공통전극(115)이 판형으로 형성되었지만, 공통전극(115) 다수의 개구를 정의하는 다수의 공통전극 핑거들과, 공통전극 핑거들을 연결하는 공통전극 연결부로 구분되어 형성된 경우 횡전계형 액정표시장치를 구현할 수 있다.
- [0053] 이 때, 다수의 공통전극 핑거들은 후술할 화소전극 핑거들(13a, 13b)과 나란하게 배치되며, 중첩되지 않게 형성되는 것이 바람직하다.
- [0054] 이에 따라, 개구율 향상과 더불어 스토리지 캐패시터의 용량을 안정적으로 유지할 수 있다.
- [0055] 화소전극(113)은 다수의 제1개구(OP1)을 정의하는 다수의 화소전극 핑거(113a, 113b)들과, 화소전극 핑거(113a, 113b)들을 연결하는 화소전극 연결부(113c)로 구분된다.
- [0056] 또한, 화소전극(113) 양측에는 제2개구(OP2)가 구비됨으로써 이웃하는 화소전극과 분리 된다.
- [0057] 또한, 다수의 화소전극 핑거(113a, 113b)는 다수의 화소전극 핑거(113a, 113b) 중 최외각 양측에 배치된 제1화소전극 핑거(113a)와 제1화소전극 핑거(113a) 사이에 배치된 제2화소전극 핑거(113b)로 구분된다.
- [0058] 이에 따라, 화소전극 핑거(113a, 113b)와 공통전극(115) 상부에 포물선 형태의 프린지 필드(Fringe Field)가 형성되며, 이러한 프린지 필드에 의해 액정 분자들이 구동됨으로써 액정표시장치의 시야각을 확보함과 아울러 개구율이 향상된다.
- [0059] 한편, 도면에는 제1 및 제2화소전극 핑거(113a, 113b)를 각각 2개씩 4개로 도시하였지만, 제1화소전극 핑거(113a) 사이에 제2화소전극 핑거(113b)가 하나 이상이면 본 발명의 효과를 달성할 수 있다.
- [0060] 도 6a 내지 도 6d는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판에 있어 화소전극이 형성되는 과정을 설명하기 위한 도면이다.
- [0061] 먼저, 어레이 기판(100) 상에 공통 배선(미도시)과 공통전극(115)이 형성되고, 이후 공통 배선(미도시)과 공통전극(115) 상부에 게이트절연막(111)이 형성된다.
- [0062] 다음, 게이트절연막(111) 상부에 데이터 배선(116), 소스 전극(116a) 및 드레인 전극(116b)이 형성된다.
- [0063] 다음, 데이터 배선(116), 소스 전극(116a) 및 드레인 전극(116b) 상부에 드레인 전극(116b) 일부를 노출시키는 드레인콘택홀(DCH)을 구비하는 보호층(112)이 형성된다.
- [0064] 이 때, 보호층(12)은 유기절연물질 예를 들면, 포토아크릴로 이루어 지거나, 또는 무기절연물질 예를 들면, 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x)으로 이루어질 수 있다.
- [0065] 다음, 도 6a에 도시한 바와 같이, 보호층(112) 상부에 스퍼터링 등의 증착 방법을 통해 투명 도전층(123)이 증착되는데, 투명 도전층(123)은 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등으로 이루어질 수 있다.
- [0066] 다음, 도 6b에 도시한 바와 같이, 투명 도전층(123) 상부에 포토레지스트를 도포하여 포토레지스트층(133)이 형성되고, 포토레지스트층(133) 상부에 투과영역(141a, 141b)과 차단영역(143a, 143b)을 갖는 노광 마스크(140)가 위치한다.
- [0067] 다음, 도 6c에 도시한 바와 같이, 포토레지스트층(133)에 대해 노광을 실시한 후, 포토레지스트층(도 6b의 13

3)을 현상함으로써 포토레지스트 패턴(134a, 134b)이 형성된다.

[0068] 이때, 포토레지스트 패턴(134a, 134b)은 화소전극(113)이 형성될 부분에 대응하여 형성되는데, 특히, 제1포토레지스트 패턴(134a)은 제1화소전극 핑거(113a)가 형성될 부분에, 그리고 제2포토레지스트 패턴(134b)은 제2화소전극 핑거(113b)가 형성될 부분에 각각 대응하여 형성된다.

[0069] 다음, 도 6d에 도시한 바와 같이, 식각을 진행하여 제1 및 제2포토레지스트 패턴(134a, 134b) 외측으로 노출된 투명 도전층(123)이 제거되고, 이후, 제1 및 제2포토레지스트 패턴(134a, 134b)이 스트립(strip)에 의해 제거됨으로써, 제2개구(OP2), 제1 및 제2화소전극 핑거(113a, 113b)와 화소전극 연결부(113c)를 갖는 화소전극(113)이 형성된다.

[0070] 한편, 노광 마스크(140)는 제1포토레지스트 패턴(134a)에 대응되는 제1차단영역(143a)과, 제2포토레지스트 패턴(134b)에 대응되는 제2차단영역(143b)과, 제1차단영역(143a)의 외측에 배치되며 제2개구(OP2)에 대응되는 제1투과영역(141a)과, 각 차단영역 사이(143a, 143b)에 배치되며 제1개구(OP1)에 대응되는 제2투과영역(141b)으로 구분된다.

[0071] 또한, 포토레지스트층(133)에 노광 진행시, 제2투과영역(141b) 양측에는 각각 2개의 차단영역(143a, 143b)이 배치되는데 반해, 제1투과영역(141a)의 일측에만 하나의 차단영역(143a)이 배치되어, 제1투과영역(141a)에서 제1차단영역(143a)에 대응되는 포토레지스트층(133)으로 빛이 투과될 수 있다.

[0072] 즉, 제1 및 제2차단영역(143a, 143b)의 폭이 동일하게 형성되면, 제1투과영역(141a)에 대응되는 포토레지스트층(133)이 제2투과영역(141b)에 대응되는 포토레지스트층(133)보다 상대적으로 노광량이 많아질 수 있다.

[0073] 이에 따라, 현상을 하면, 제1포토레지스트 패턴(134a)은 제2포토레지스트 패턴(134b)에 비해 상대적으로 그 폭이 작게 형성될 수 있고, 이후 식각을 진행하여 제1 및 제2포토레지스트 패턴(134a, 134b) 외측으로 노출된 투명 도전층(123)을 제거하고, 제1 및 제2포토레지스트 패턴(134a, 134b)을 스트립 진행하여 제거하고 나면, 제1화소전극 핑거(113a)의 폭(도 4의 P1)은 제2화소전극 핑거(113b)의 폭(도4의 P2) 보다 상대적으로 작게 형성될 수 있다.

[0074] 아래의 표 1은 노광 마스크의 차단영역의 폭을 동일 하게 형성한 경우, 각 화소전극 핑거들의 폭이 상이하게 형성됨을 증명하기 위해 실험한 결과값을 표로 나타낸 것이다.

[0075] 도 7은 표 1의 결과값을 알기 쉽게 도시한 그래프이다.

표 1

[0076]

	Finger 1	Finger 2	Finger 3	Finger 4
Pixel 1	1.770	1.990	1.940	1.810
Pixel 2	1.860	1.990	1.950	1.860
Pixel 3	1.850	1.980	2.020	1.850
Pixel 4	1.590	1.850	1.760	1.550
Pixel 5	1.720	1.940	1.940	1.810
Pixel 6	1.740	1.870	1.870	1.740
Pixel 7	1.880	2.100	2.010	1.880
Pixel 8	2.080	2.130	2.080	1.910
Pixel 9	1.670	1.800	1.850	1.710
Pixel 10	1.680	1.850	1.850	1.680
Pixel 11	1.930	2.150	2.110	1.890
Pixel 12	1.610	1.740	1.830	1.700
평균	1.782	1.949	1.934	1.783

[0077] 먼저, 도 7 및 표 1의 Pixel 1 내지 Pixel 12는 어레이 기관의 임의의 화소전극이고, Finger 1 내지 Finger 4는 Pixel 1 내지 Pixel 12의 각 화소전극 핑거를 순차적으로 나타낸다. 또한, 각 결과값의 단위는 μm 이다.

[0078] 화소전극의 최외각에 각각 배치된 Finger 1 및 2의 폭의 평균값은 각각 $1.782\mu\text{m}$ 와 $1.783\mu\text{m}$ 이고, Finger 1 및 2 사이에 각각 배치된 Finger 3 및 4의 폭의 평균값은 각각 $1.949\mu\text{m}$ 와 $1.934\mu\text{m}$ 이다.

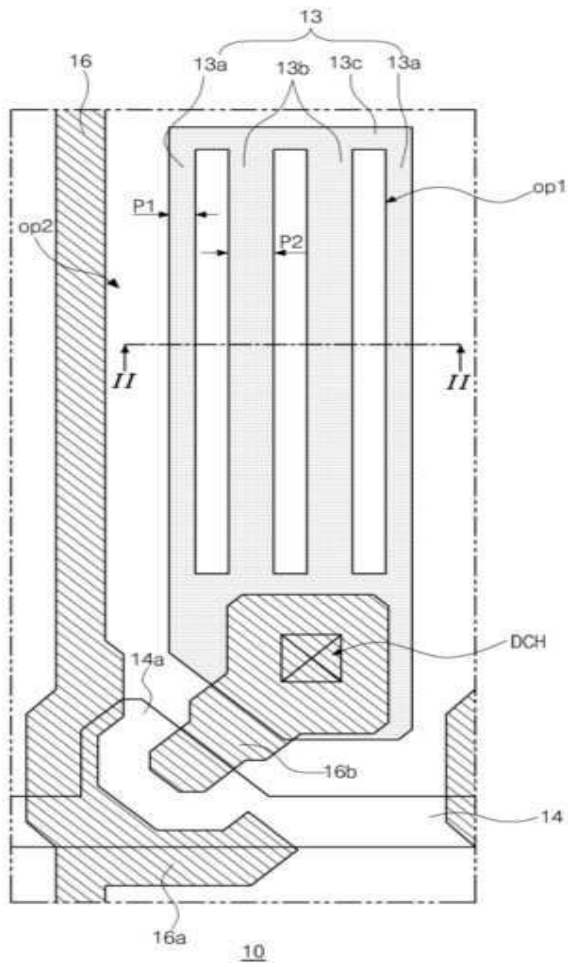
- [0079] 따라서, Finger 1 및 2의 폭의 평균값이 Finger 3 및 4의 폭의 평균값보다 약 0.16 μ m 정도 작게 형성되는 것을 실험적으로 알 수 있다.
- [0080] 본 발명의 실시예에 따른 어레이 기관(100)은 노광 마스크(140)의 제1차단영역(143a)의 폭은 제2차단영역(143b) 대비 크게 형성한다.
- [0081] 예를 들어, 노광 마스크(140)의 차단영역(143a, 143b)의 폭을 동일하게 형성하는 경우, Finger 1 및 2의 폭의 평균값이 Finger 3 및 4의 폭의 평균값보다 약 0.16 μ m 정도 작게 형성된다는 도 7 및 표 1의 실험값에 근거하여, 노광 마스크(140)의 제1차단영역(143a)의 폭은 제2차단영역(143b)의 폭 대비 0.1 내지 0.2 μ m 정도 더 크게 형성하는 것이 바람직하다.
- [0082] 또한, 이를 퍼센트로 환산하면, 노광 마스크(140)의 제1차단영역(143a)의 폭은 제2차단영역(143b)의 폭의 5% 내지 10% 정도 더 크게 형성하는 것이 바람직하다.
- [0083] 이에 따라, 제1투과영역(141a)에 대응되는 포토레지스트층(133)의 노광량은 제2투과영역(141b)에 대응되는 포토레지스트층(133)의 노광량은 동일하게 할 수 있고, 이후 현상을 하여, 제1포토레지스트 패턴(134a)의 폭은 제2포토레지스트 패턴(134b)과 동일하게 형성될 수 있다.
- [0084] 또한, 이후 식각을 진행하여 제1 및 제2포토레지스트 패턴(134a, 134b) 외측으로 노출된 투명 도전층(123)을 제거하고, 제1 및 제2포토레지스트 패턴(134a, 134b)을 스트립 하여 제거하고 나면, 제1화소전극 핑거(113a)의 폭(P1)은 제2화소전극 핑거(113b)의 폭(P2)과 동일하게 형성될 수 있다.
- [0085] 따라서, 본 발명의 실시예에 따른 액정표시장치는 하나의 화소전극에 포함되는 화소전극 핑거들의 폭을 동일하게 형성할 수 있어 얼룩불량 등의 표시화상 불량을 방지할 수 있다.
- [0086] 본 발명은 전술한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

부호의 설명

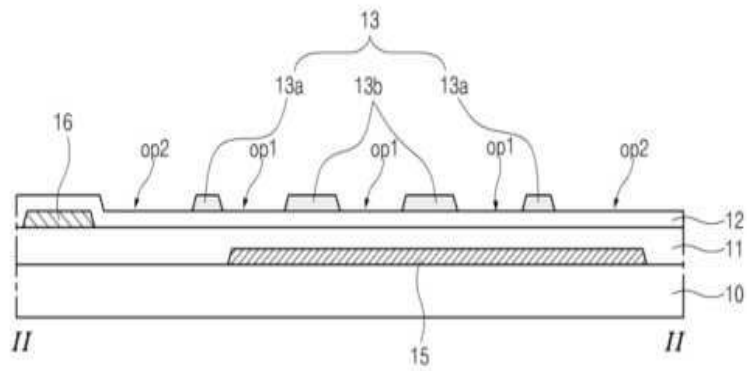
- [0087] 100 : 어레이 기관
- 111 : 게이트 절연막
- 112 : 보호층
- 113a, 113b : 제1 및 제2화소전극 핑거
- 115 : 공통전극
- 116 : 데이터 배선

도면

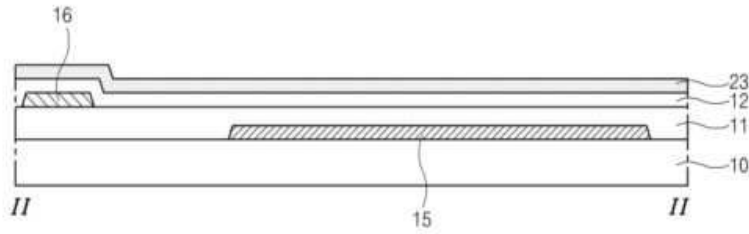
도면1



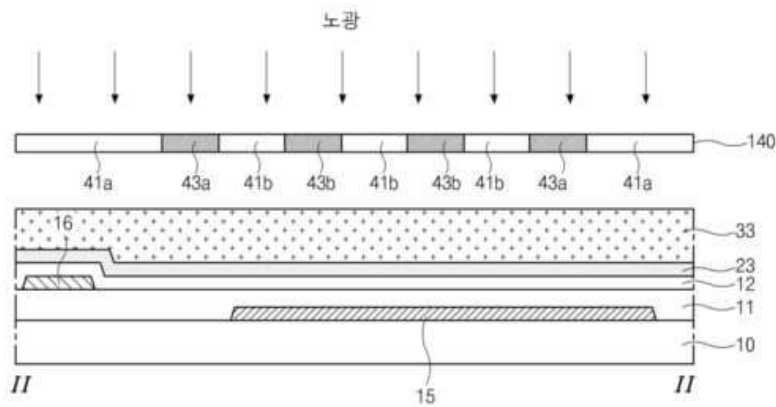
도면2



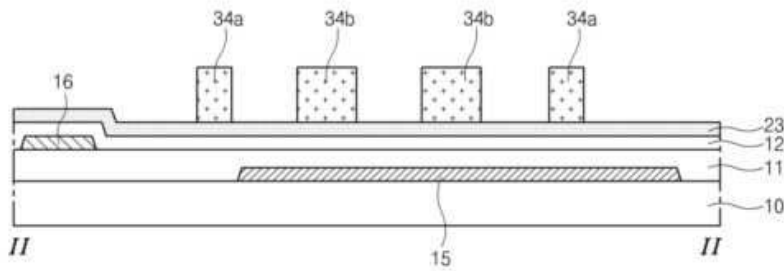
도면3a



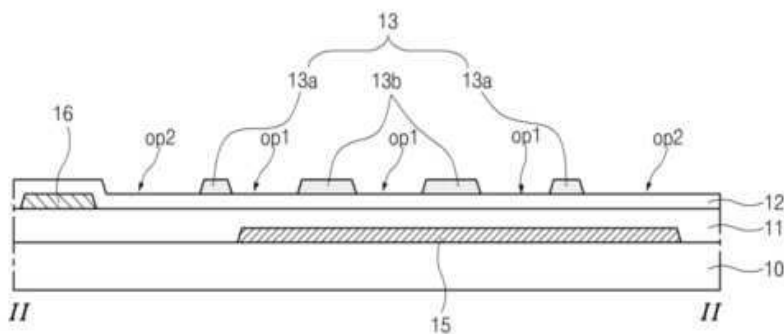
도면3b



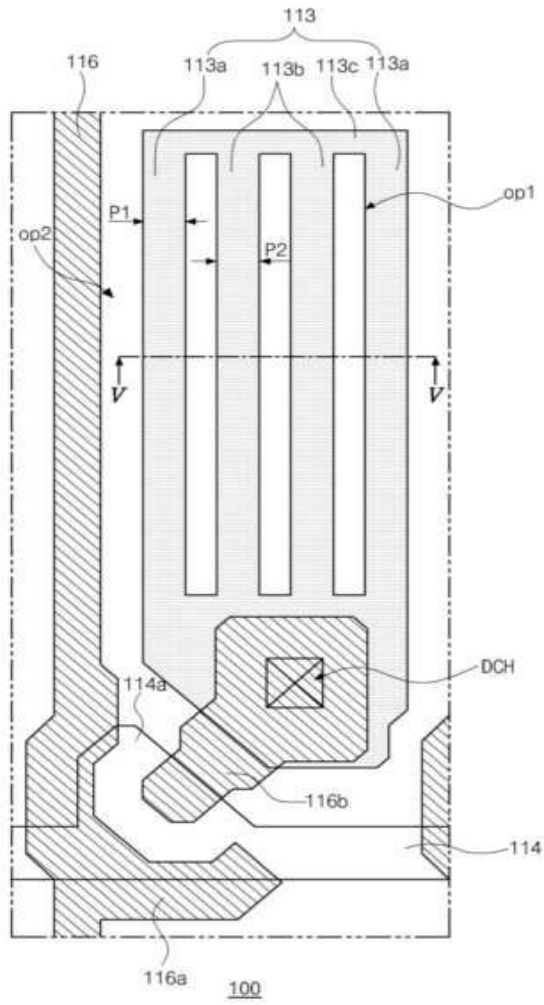
도면3c



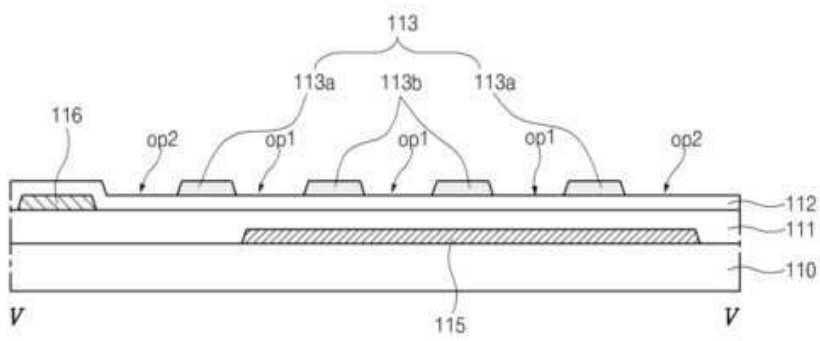
도면3d



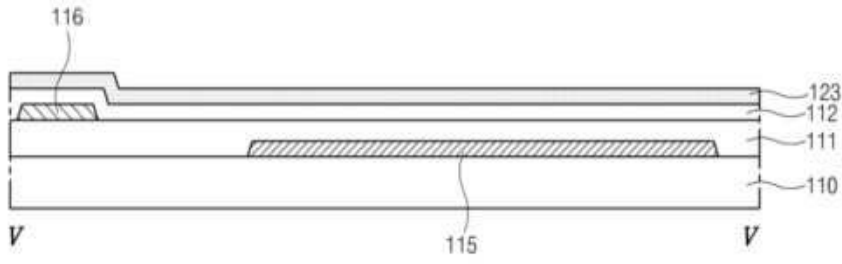
도면4



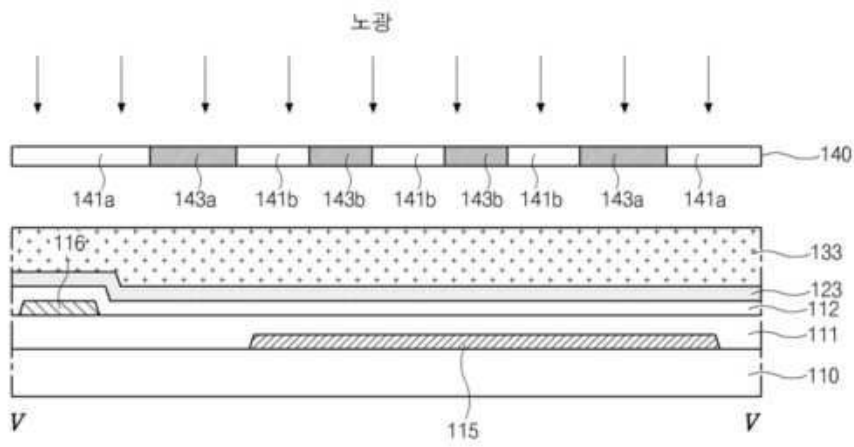
도면5



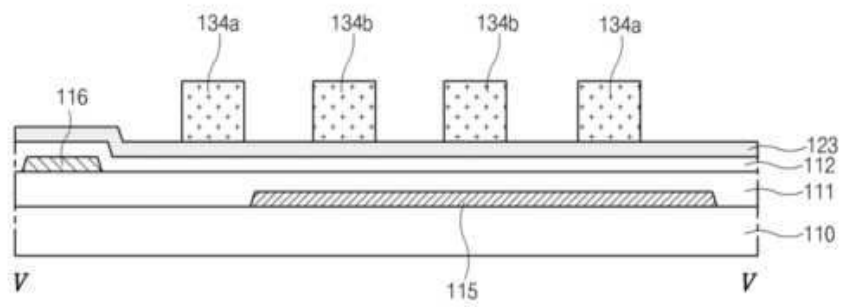
도면6a



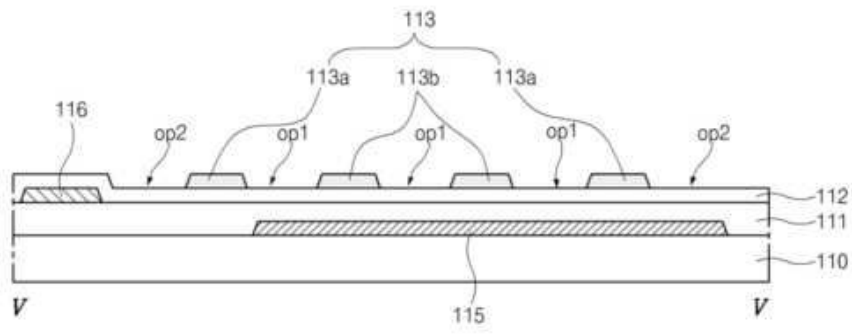
도면6b



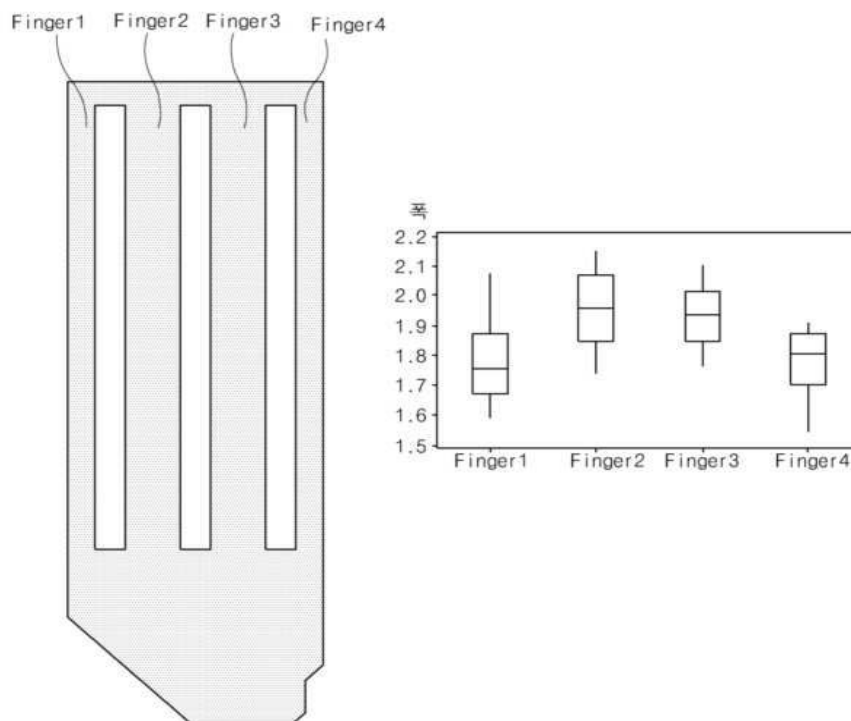
도면6c



도면6d



도면7



专利名称(译)	一种制造用于液晶显示装置的阵列基板的方法		
公开(公告)号	KR1020160083348A	公开(公告)日	2016-07-12
申请号	KR1020140194303	申请日	2014-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SON MIN HO 손민호 SHIN YONG BUM 신용범		
发明人	손민호 신용범		
IPC分类号	G02F1/1362 G02F1/1343		
CPC分类号	G02F1/1362 G02F1/1343 G02F1/136204 G02F1/136286 G02F2001/134372		
外部链接	Espacenet		

摘要(译)

为了提供一种能够防止诸如不均匀缺陷等显示图像缺陷的液晶显示器阵列基板，本发明包括像素电极，其中像素电极包括第一像素第二像素电极指设置在第一指状电极和第一指状电极之间，以及连接第一和第二像素电极的像素电极连接部分，用于液晶显示装置的阵列基板的制造方法的步骤中，形成公共电极上并与所述栅绝缘膜的上部相中的数据线，形成栅极在衬底表面上的绝缘膜和形成在衬底上的公共电极和所述数据线和上段和所述透明导电层和层压在所述钝化层上的透明导电层的步骤，以在衬底表面上的保护层在公共电极上形成第一光刻胶图案和第二光刻胶图案，第一和第二光刻胶图案与数据线隔开预定距离；在第二光刻胶图案外蚀刻和去除透明导电层，剥离并去除第一和第二光刻胶图案，第二，其包括分别形成对应于光致抗蚀剂图案的第一和第二像素电极指的步骤，和在曝光掩模具有第一和第二块分别对应于第一和第二光致抗蚀剂图案区域并且具有，在液晶显示基板上，其中射线术语一个块区域的由比所述第二壁的宽度的第二较大的宽度，所述第一和第二像素电极指的宽度相同地形成以及制造它的方法。

