(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0056622
(43) 공개일자 2012년06월04일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
(21) 출원번호 10-2010-0118249
(22) 출원일자 2010년11월25일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
문소영
서울특별시 성동구 옥수2동 226번지 202호
박상혁
부산광역시 수영구 광안2동 473-2번지 SK VIEW아파트 105동 2003호
(74) 대리인
특허법인네이트

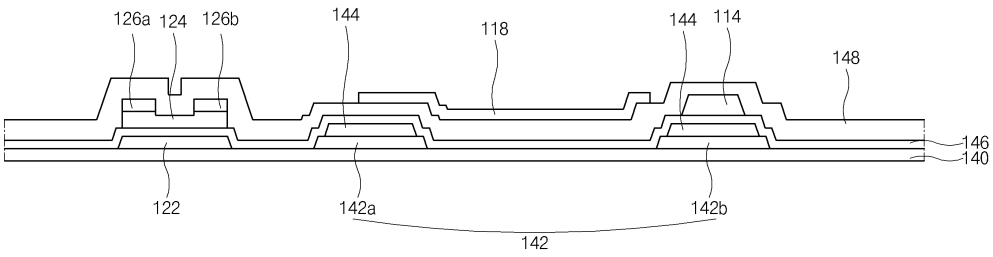
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **액정표시소자용 어레이 기판의 제조방법**

(57) 요 약

본 발명은 패터닝 과정에서 전극과 절연층의 언더컷의 발생을 방지하는 액정표시소자용 어레이 기판의 제조방법에 관한 것으로, 기판 상에 금속 물질층과 상기 금속 물질층 상에 제 1 절연층 패턴과 상기 제 1 절연층 패턴보다 얇은 두께를 가지는 제 2 절연층 패턴을 형성하는 단계; 상기 제 1 및 제 2 절연층 패턴을 식각 마스크로 상기 금속 물질층을 습식식각하여 게이트 배선, 상기 게이트 배선으로부터 연장되는 게이트 전극 및 게이트 배선과 고립되는 캐패시터의 제 1 전극을 형성하는 단계; 열처리 공정을 실시하여 상기 게이트 배선, 상기 게이트 전극 및 상기 캐패시터의 제 1 전극의 상면 및 측면에 상기 제 1 및 제 2 절연층 패턴을 플로잉시키는 단계; 상기 제 1 및 제 2 절연층 패턴을 건식식각하여 상기 게이트 배선 및 상기 게이트 전극 상의 상기 제 1 절연층 패턴을 제거하고, 상기 캐패시터의 제 1 전극 상의 상기 제 2 절연층 패턴의 일부를 잔류시켜 중간 절연층을 형성하는 단계; 및 상기 게이트 배선, 상기 게이트 전극, 상기 캐패시터의 제 1 전극 및 상기 중간 절연층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계;를 포함하는 것을 특징으로 한다.

대 표 도 - 도4



특허청구의 범위

청구항 1

기판 상에 금속 물질층과 상기 금속 물질층 상에 제 1 절연층 패턴과 상기 제 1 절연층 패턴보다 얇은 두께를 가지는 제 2 절연층 패턴을 형성하는 단계;

상기 제 1 및 제 2 절연층 패턴을 식각 마스크로 상기 금속 물질층을 습식식각하여 게이트 배선, 상기 게이트 배선으로부터 연장되는 게이트 전극 및 게이트 배선과 고립되는 캐패시터의 제 1 전극을 형성하는 단계;

열처리 공정을 실시하여 상기 게이트 배선, 상기 게이트 전극 및 상기 캐패시터의 제 1 전극의 상면 및 측면에 상기 제 1 및 제 2 절연층 패턴을 플로잉시키는 단계;

상기 제 1 및 제 2 절연층 패턴을 건식식각하여 상기 게이트 배선 및 상기 게이트 전극 상의 상기 제 1 절연층 패턴을 제거하고, 상기 캐패시터의 제 1 전극 상의 상기 제 2 절연층 패턴의 일부를 잔류시켜 중간 절연층을 형성하는 단계; 및

상기 게이트 배선, 상기 게이트 전극, 상기 캐패시터의 제 1 전극 및 상기 중간 절연층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계;

를 포함하는 것을 특징으로 하는 액정표시소자용 어레이 기판의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 절연층 패턴을 형성하는 단계는,

상기 금속 물질층 상에 광반응 및 절연특성을 가지는 액상 물질층을 형성하나는 단계; 및

하프톤 마스크를 적용한 상기 액상 물질층의 노광 및 현상에 의해 상기 캐패시터의 제 1 전극에 대응되는 상기 제 1 절연층 패턴과 상기 게이트 배선 및 상기 게이트 전극에 대응되는 상기 제 2 절연층 패턴을 형성하는 단계;

를 포함하는 것을 특징으로 하는 액정표시소자용 어레이 기판의 제조방법.

청구항 3

제 2 항에 있어서,

상기 액상 물질층은 메틸비닐실록산(Methylvinylsiloxane), 비닐페닐실록산(Vinylphenylsiloxane) 및 실세스퀴옥산(silsesquioxane) 중 하나와, 광개시제 및용매을 포함하는 것을 특징으로 하는 액정표시소자용 어레이 기판의 제조방법.

청구항 4

제 1 항에 있어서,

상기 열처리공정은 230℃에서 30분 수행하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 5

제 1 항에 있어서,

상기 게이트 절연층 상에 데이터 배선, 활성층 및 소스 및 드레인 전극을 형성하는 단계;

상기 데이터 배선, 활성층 및 소스 및 드레인 전극을 포함한 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및

상기 보호층 상에 상기 드레인 전극과 연결되는 화소전극을 형성하는 단계;

를 포함하는 것을 액정표시장치요 어레이 기판의 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 패터닝 과정에서 전극과 절연층의 언더컷의 발생을 방지하는 액정표시소자용 어레이 기판의 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재에는 박막트랜지스터와 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0004] 액정표시장치는 구동방식에 따라 수직전계 방식 및 횡전계 방식으로 구분할 수 있다. 수직전계 방식은 공통전극이 형성된 컬러필터 기판, 화소전극이 형성된 어레이 기판, 및 두 기판 사이에 개재된 액정으로 이루어지고, 이러한 액정표시장치는 공통전극과 화소전극 사이에 유기되는 수직전계에 의해 액정이 구동되고 투과율과 개구율 등의 특성이 우수하다.

[0005] 도면을 참조하여 종래기술에 따른 액정표시장치의 어레이 기판에 대하여 상세하게 설명하면 다음과 같다.

[0006] 도 1a 내지 도 1d는 종래기술에 따른 액정표시장치용 어레이 기판의 제조방법을 단계적으로 도시한 공정 단면도이다.

[0007] 도 1a와 같이, 절연기판(40) 상에 제 1 금속 물질층(50)과 제 1 금속 물질층(50) 상에 절연층 패턴(52)을 형성한다. 절연층 패턴(52)은 제 1 하프톤 마스크(54)를 적용하여 형성한다. 절연층 패턴(52)은 광반응 및 절연특성을 가지는 액상물질을 사용한다. 제 1 하프톤 마스크(54)는 조사광을 모두 투과시키는 투과영역(TA), 조사광을 완전하게 차단하는 차단영역(BA) 및 조사광의 일부를 투과시키는 반투과 영역(HTA)을 포함한다.

[0008] 절연층 패턴(52)을 형성하는 방법은, 제 1 금속 물질층(50) 상에 액상 물질층(도시하지 않음)을 형성하는 단계 및 제 1 하프톤 마스크(54)를 이용한 액상 물질층의 노광 및 현상에 의해 제 1 및 제 2 패턴(52a, 52b)을 형성하는 단계를 포함한다. 절연층 패턴(52)은 제 1 하프톤 마스크(54)의 차단영역(BA)에 대응되어 형성되는 제 1 절연층 패턴(52a)과 제 1 하프톤 마스크(54)의 반투과 영역(HTA)에 대응되어 형성되는 제 2 절연층 패턴(52b)을 포함한다. 제 1 절연층 패턴(52a)의 두께는 제 2 절연층 패턴(52b)의 두께보다 두껍게 형성된다. 그리고, 제 1 하프톤 마스크(54)의 투과영역(TA)에 대응되는 액상 물질층은 제거되어 제 1 금속 물질층(50)이 노출되는 노출영역(52c)이 된다. 제 1 및 제 2 절연층 패턴(52a, 52b)을 형성한 후, 열처리 공정을 실시하여 제 1 및 제 2 절연층 패턴(52a, 52b)을 경화처리한다.

[0009] 도 1b와 같이, 제 1 및 제 2 절연층 패턴(52a, 52b)을 식각 마스크로 도 1a의 제 1 금속 물질층(50)을 습식식

각하여 게이트 전극(22) 및 캐패시터의 제 1 전극(42)을 형성한다. 습식식각은 등방성의 특징을 가지고 있어, 습식식각의 과정에서 제 1 및 제 2 절연층 패턴(52a, 52b)의 하부에 위치한 게이트 전극(22) 및 캐패시터의 제 1 전극(42)의 측면은 경사면을 이루고, 게이트 전극(22) 및 캐패시터의 제 1 전극(42)의 상면너비는 제 1 및 제 2 절연층 패턴(52a, 52b)의 하면너비보다 작게 되어, 게이트 전극(22) 및 캐패시터의 제 1 전극(42) 각각과 제 1 및 제 2 절연층 패턴(52a, 52b) 각각의 사이에 공간이 생성된다.

[0010] 습식식각으로 게이트 전극(22) 및 캐패시터의 제 1 전극(42)을 패터닝한 후, 게이트 전극(22)의 상부에 위치한 제 1 절연층 패턴(52a)이 완전히 제거될 때까지 건식식각을 수행하면, 게이트 전극(22) 상에는 도 1c와 같이 제 2 절연층 패턴(52b)이 완전히 제거되고, 제 1 전극(42) 상에는 제 1 절연층 패턴(52a)이 잔류하여 중간 절연층(44)이 형성된다. 도 1b와 같이, 제 1 및 제 2 절연층 패턴(52a, 52b)을 제거하기 위하여 건식식각하는 과정에서, 게이트 전극(22) 및 캐패시터의 제 1 전극(42) 각각과 제 1 및 제 2 절연층 패턴(52a, 52b) 각각의 사이에 공간을 통해 플라즈마가 침범하여 게이트 전극(22) 및 캐패시터의 제 1 전극(42)과 접촉하는 제 1 및 제 2 절연층 패턴(52a, 52b)이 식각되어 언더컷(undercut) 영역(A)을 발생시킨다. 계속해서, 도 1c와 같이, 게이트 전극(22), 제 1 전극(42) 및 중간 절연층(44)을 포함하는 절연기판(40) 상에 게이트 절연층(36)을 형성한다.

[0011] 도 1d와 같이, 게이트 절연층(36) 상에 데이터 배선(14), 활성층(24) 및 소스와 드레인 전극(26a, 26b)을 형성하고, 데이터 배선(14), 활성층(24) 및 소스와 드레인 전극(26a, 26b)을 포함하는 게이트 절연층(36) 상에 보호층(48)을 형성한 후, 보호층(48) 상에 화소전극(18)을 형성한다.

[0012] 데이터 배선(14), 활성층(24) 및 소스와 드레인 전극(26a, 26b)을 형성하는 방법은, 게이트 절연층(36) 상에 반도체층(도시하지 않음)을 형성하는 단계, 반도체층 상에 제 2 금속 물질층(도시하지 않음)을 형성하는 단계, 제 2 금속 물질층 상에 감광층(도시하지 않음)을 형성하는 단계, 제 2 하프톤 마스크(도시하지 않음)을 적용한 감광층의 노광 및 현상에 의해 제 1 및 제 2 감광층 패턴(도시하지 않음)을 포함하는 감광층 패턴(도시하지 않음)을 형성하는 단계, 제 1 및 제 2 감광층 패턴을 식각 마스크로 반도체층 및 제 2 금속 물질층을 패터닝하는 단계를 포함한다.

[0013] 제 2 하프톤 마스크는 조사광을 모두 투과시키는 투과영역, 조사광을 완전하게 차단하는 차단영역 및 조사광의 일부를 투과시키는 반투과 영역을 포함하고, 제 2 하프톤 마스크의 차단영역에 대응되어 형성되는 제 1 감광층 패턴의 두께는 제 2 하프톤 마스크의 반투과 영역에 대응되어 형성되는 제 2 감광층 패턴의 두께보다 두껍게 형성된다. 그리고, 제 2 하프톤 마스크의 투과영역에 대응되는 감광층은 제거되어 게이트 절연층(46)이 노출된다.

[0014] 제 1 및 제 2 감광층 패턴을 식각 마스크로 반도체층 및 제 2 금속 물질층을 패터닝하는 단계에 있어서, 첫번째 단계로 반도체층 및 제 2 금속 물질층으로 구성되는 데이터 배선(14)과 게이트 전극(22)에 대응되는 게이트 절연층(36) 상에 반도체층 및 제 2 금속 물질층으로 구성되는 임시패턴(도시하지 않음)을 형성한다. 데이터 배선(14) 및 임시패턴을 형성하는 과정에서 제 1 감광층 패턴보다 얇은 두께를 가지는 제 2 감광층 패턴은 제거되고, 제 1 감광층 패턴은 최초보다 얇은 두께를 가지게 된다. 연속해서 두번째 단계로 제 1 감광층 패턴을 식각 마스크로 임시패턴의 제 2 금속 물질층과 제 2 비정질 실리콘층을 식각하여, 소스 및 드레인 전극(26a, 26b)과 활성층(24)을 형성한다.

[0015] 게이트 절연층(36)이 언더컷 영역(A)을 완전하게 피복하지 못하므로, 언더컷 영역(A)에 대응되는 게이트 절연층(36)에 핀홀(pin hole)(46)이 발생될 수 있다. 게이트 절연층(36)은 데이터 배선(14) 및 임시패턴을 식각하는 과정과, 임시패턴을 식각하여 소스 및 드레인 전극(26a, 26b)과 활성층(24)을 형성하는 과정을 포함하여 총 2 회에 걸쳐 에천트에 노출된다. 제 2 금속 물질층을 식각하기 위하여 적용되는 에천트가 언더컷 영역(A)에 대응되어 게이트 절연층(36)에 생성된 핀홀(46)을 통하여 침투하여 캐패시터의 제 1 전극(42)이 식각될 수

있다.

[0016] 도 2는 종래기술에 따른 액정표시장치용 어레이 기판에서 언더컷이 발생한 사진이다.

[0017] 캐패시터의 제 1 전극(42)과 중간 절연층(44) 사이에 언더컷 영역(A)이 발생하고, 이후의 식각공정의 에천트가 언더컷 영역(A)에 침투하여 캐패시터의 제 1 전극(42)이 식각되어, 중간 절연층(44)이 캐패시터의 제 1 전극(42)에서 들떠있는 현상이 나타난다.

발명의 내용

해결하려는 과제

[0018] 상기와 같은 문제를 해결하기 위해, 본 발명은 패터닝 과정에서 캐패시터의 제 1 전극과 절연층 사이의 언더컷 영역의 발생을 억제하여, 이후 진행되는 식각공정의 에천트에 의해 캐패시터의 제 1 전극이 침식되는 것을 방지하는 액정표시소자용 어레이 기판의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0019] 상기와 같은 목적을 달성하기 위해, 본 발명은 기판 상에 금속 물질층과 상기 금속 물질층 상에 제 1 절연층 패턴과 상기 제 1 절연층 패턴보다 얇은 두께를 가지는 제 2 절연층 패턴을 형성하는 단계; 상기 제 1 및 제 2 절연층 패턴을 식각 마스크로 상기 금속 물질층을 습식식각하여 게이트 배선, 상기 게이트 배선으로부터 연장되는 게이트 전극 및 게이트 배선과 고립되는 캐패시터의 제 1 전극을 형성하는 단계; 열처리 공정을 실시하여 상기 게이트 배선, 상기 게이트 전극 및 상기 캐패시터의 제 1 전극의 상면 및 측면에 상기 제 1 및 제 2 절연층 패턴을 플로잉시키는 단계; 상기 제 1 및 제 2 절연층 패턴을 건식식각하여 상기 게이트 배선 및 상기 게이트 전극 상의 상기 제 1 절연층 패턴을 제거하고, 상기 캐패시터의 제 1 전극 상의 상기 제 2 절연층 패턴의 일부를 잔류시켜 중간 절연층을 형성하는 단계; 및 상기 게이트 배선, 상기 게이트 전극, 상기 캐패시터의 제 1 전극 및 상기 중간 절연층을 포함하는 상기 기판 상에 게이트 절연층을 형성하는 단계;를 포함하는 액정표시소자용 어레이 기판의 제조방법을 제공한다.

[0020] 상기 제 1 및 제 2 절연층 패턴을 형성하는 단계는, 상기 금속 물질층 상에 광반응 및 절연특성을 가지는 액상 물질층을 형성하나는 단계; 및 하프톤 마스크를 적용한 상기 액상 물질층의 노광 및 현상에 의해 캐패시터의 제 1 전극에 대응되는 상기 제 1 절연층 패턴과 상기 게이트 배선 및 상기 게이트 전극에 대응되는 상기 제 2 절연층 패턴을 형성하는 단계;를 포함하는 액정표시소자용 어레이 기판의 제조방법을 제공한다.

[0021] 상기 액상 물질층은 메틸비닐실록산(Methylvinylsiloxane), 비닐페닐실록산(Vinylphenylsiloxane) 및 실세스퀴옥산(silsesquioxane) 중 하나와, 광개시제 및용매을 포함하는 액정표시소자용 어레이 기판의 제조방법을 제공한다.

[0022] 상기 열처리공정은 230℃에서 30분 수행하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

[0023] 상기 게이트 절연층 상에 데이터 배선, 활성층 및 소스 및 드레인 전극을 형성하는 단계; 상기 데이터 배선, 활성층 및 소스 및 드레인 전극을 포함한 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및 상기 보호층 상에 상기 드레인 전극과 연결되는 화소전극을 형성하는 단계;를 포함하는 액정표시장치요 어레이 기판의 제조방법을 제공한다.

발명의 효과

[0024] 본 발명은 캐패시터의 제 1 전극과 절연층의 패터닝 과정에서 절연층의 플로잉에 의해 캐패시터의 제 1 전극의 측면에 절연층을 형성하여 캐패시터의 제 1 전극과 절연층 사이에서 언더컷 영역이 발생하는 것을 억제하

고, 개패시터의 제 1 전극과 절연층 상에 게이트 절연층이 완전하게 피복되어, 캐패시터의 제 1 전극을 침식할 수 있는 식각공정의 에천트가 게이트 절연층을 통하여 침투하는 것을 방지할 수 있다.

도면의 간단한 설명

[0025] 도 1a 내지 도 1d는 종래기술에 따른 액정표시장치용 어레이 기판의 제조방법을 단계적으로 도시한 공정 단면도

도 2는 종래기술에 따른 액정표시장치용 어레이 기판에서 언더컷이 발생한 사진

도 3은 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 평면도

도 4는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 단면도

도 5a 내지 도 5f는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 단계적으로 도시한 공정 단면도

발명을 실시하기 위한 구체적인 내용

[0026] 이하에서는 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

[0027] 도 3은 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 평면도이다. 도 3은 화소전극과 공통전극 사이에서 발생하는 수직 전계에 의해서 액정이 구동하는 액정표시장치의 어레이 기판을 도시한다.

[0028] 액정표시장치의 어레이 기판(110)은, 다수의 게이트 배선(112), 다수의 데이터 배선(114), 다수의 게이트 배선(112) 및 데이터 배선(114)의 교차에 의해서 정의되는 다수의 화소영역(PA), 다수의 화소영역(PA) 각각에 위치하고 게이트 및 데이터 배선(112, 114)과 연결되고 스위칭 기능을 하는 박막 트랜지스터(116), 박막 트랜지스터(116)에 연결되는 화소전극(118), 및 스토리지 캐패시터(120)를 포함하여 형성된다. 화소전극(118)과 함께 수직전계를 발생시켜 액정을 구동시키는 공통전극은 어레이 기판(110)과 합착되는 컬러필터 기판(도시하지 않음)에 형성되므로, 어레이 기판(110)에는 도시되지 않았다.

[0029] 박막 트랜지스터(116)는 게이트 배선(112)에 연결된 게이트 전극(122), 게이트 절연층(도시하지 않음), 활성층(124), 활성층(124)의 일단 및 타단과 연결되는 소스 및 드레인 전극(126a, 126b)을 포함하여 구성된다. 소스 및 드레인 전극(126a, 126b)은 서로 이격되어 형성되고, 소스전극(126a)은 데이터 배선(114) 및 활성층(124)의 일단과 연결되고, 드레인 전극(126b)은 콘택홀(CNT)을 통하여 화소전극(118)과 연결된다.

[0030] 스토리지 캐패시터(120)는 게이트 배선(112)과 동시에 형성되고 게이트 배선(112)과 전기적으로 연결되지 않는 고립패턴으로 형성되는 제 1 전극(142)과 게이트 절연층(도시하지 않음)을 개재하여 제 1 전극(142) 상에 형성되어 제 2 전극으로 사용되는 데이터 배선(114)을 포함한다. 제 1 전극(142)은 화소영역(PA)의 내부에 위치하는 수평부(142a) 및 수평부(142a)에 연결되고 데이트 배선(114)과 중첩되는 수직부(142b)를 포함한다. 화소전극(118)은 화소영역(PA)의 내부에 형성되고, 게이트 및 데이터 배선(112, 114)과 이격되며 판형으로 형성된다.

[0031] 도 4는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 단면도이다. 도 4는 도 3의 어레이 기판(110)을 I-I'로 절단한 단면도이다.

[0032] 절연기판(140) 상에 게이트 배선(도시하지 않음), 게이트 배선으로 연장된 게이트 전극(122) 및 캐패시터의 제 1 전극(142)이 형성된다. 제 1 전극(142)은 게이트 배선과 이격되어 고립패턴으로 형성되고, 화소영역의 내부에 형성되는 수평부(142a)와 수평부(142a)에 연결되는 수직부(142b)를 포함한다. 캐패시터의 제 1 전극

(142) 상에는 중간 절연층(144)이 형성되고, 게이트 배선, 게이트 전극(122), 캐패시터의 제 1 전극(142), 및 중간 절연층(144)을 포함한 절연기판(140) 상에는 게이트 절연층(146)이 형성된다.

[0033] 게이트 절연층(146) 상에 게이트 배선과 수직으로 교차하는 데이터 배선(114), 활성층(124), 활성층(124)와 연결되고 데이터 배선(114)으로부터 연장되는 소스전극(126a), 소스전극(126a)과 이격되고 활성층(124)에 연결되는 드레인 전극(126b)이 형성된다. 활성층(124)은 게이트 전극(122)에 대응되는 게이트 절연층(146) 상에 형성된다. 활성층(124)은 반도체 물질로 구성되고, 소스 및 드레인 전극(126a, 126b)은 금속물질로 구성된다. 그리고, 데이터 배선(114)은 활성층(124)을 구성하는 반도체 물질과 소스 및 드레인 전극(126a, 126b)을 구성하는 금속물질로 구성된다.

[0034] 데이터 배선(114), 활성층(124)과 소스 및 드레인 전극(126a, 126b)을 포함하는 게이트 절연층(146) 상에 보호층(148)을 형성하고, 보호층(148)을 선택적으로 식각하여 드레인 전극(126b)이 노출되는 도 2의 콘택홀(CNT)을 형성한다. 그리고, 도 2의 콘택홀(CNT)을 통하여 드레인 전극(126b)과 연결되는 화소전극(118)을 형성한다.

[0035] 스토리지 캐패시터(120)는 제 1 전극(142) 및 제 1 전극(142)과 중첩되어 제 2 전극으로 사용되는 데이터 배선(114)과, 제 1 전극(142) 및 데이터 배선(114) 사이에 개재되는 게이트 절연층(146) 및 중간 절연층(144)을 포함하여 구성된다. 만약, 스토리지 캐패시터(120)에서 제 1 전극(142)과 데이터 배선(114) 사이에 게이트 절연층(146) 만이 개재된다면, 스토리지 캐패시터(120)의 정전용량(capacitance)이 과도하여 데이터 배선(114)에 저항성분으로 작용할 수 있다. 따라서, 스토리지 캐패시터(120)의 정전용량을 감소시키기 위해, 제 1 전극(142) 상에 중간 절연층(144)을 형성한다.

[0036] 도 5a 내지 도 5f는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 단계적으로 도시한 공정 단면도이다. 도 5a 내지 도 5f는 도 3의 어레이 기판(110)을 I-I'로 절단한 공정 단면도이다.

[0037] 도 5a와 같이, 절연기판(140) 상에 제 1 금속 물질층(150)과 제 1 금속 물질층(150) 상에 절연층 패턴(152)을 형성한다. 제 1 금속 물질층(150)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물 사용하여 단일층, 이중층, 또는 삼중층으로 형성할 수 있다. 도면으로 도시하지 않았지만, 제 1 금속 물질층(150)을 이중층으로 형성하는 경우, 몰리브덴(Mo) 또는 티타늄(Ti) 또는 이들의 합금으로 이루어진 제 1 하부 금속 물질층과 제 1 하부 금속 물질층 상에 구리(Cu)로 이루어진 제 1 상부 금속 물질층을 포함할 수 있다.

[0038] 절연층 패턴(152)은 제 1 하프톤 마스크(154)를 적용하여 형성한다. 절연층 패턴(152)은 광반응 물질을 포함한 유기물질, 무기물질 및 유무기 혼합물질 중 하나를 사용할 수 있다. 하프톤 마스크(154)는 조사광을 모두 투과시키는 투과영역(TA), 조사광을 완전하게 차단하는 차단영역(BA) 및 조사광의 일부를 투과시키는 반투과영역(HTA)을 포함한다.

[0039] 절연층 패턴(152)을 형성하는 방법은, 제 1 금속 물질층(150) 상에 광반응 및 절연특성을 가지는 액상 물질층(도시하지 않음)을 형성하는 단계 및 하프톤 마스크(154)를 적용한 액상 물질층의 노광 및 현상에 의해 제 1 및 제 2 패턴(152a, 152b)을 형성하는 단계를 포함한다. 액상 물질층은 메틸비닐실록산(Methylvinylsiloxane), 비닐페닐실록산(Vinylphenylsiloxane) 및 실세스퀴옥산(silsesquioxane) 중 하나와, 하프톤 마스크(154)를 통하여 자외선으로 노광할 때, 자외선과 반응하기 위한 광개시제(photoinitiator) 및 코팅 특성을 확보하기 위한 용매(solvent) 등을 포함하여 구성된다.

[0040] 제 1 하프톤 마스크(154)의 차단영역(BA)에 대응되어 형성되는 제 1 절연층 패턴(152a)의 제 1 두께는 하프톤

마스크(154)의 반투과 영역(HTA)에 대응되어 형성되는 제 2 절연층 패턴(152b)의 제 2 두께보다 두껍게 형성된다. 그리고, 하프톤 마스크(154)의 투과영역(TA)에 대응되는 액상 물질층은 제거되어 제 1 금속 물질층(150)이 노출되는 노출영역(152c)이 된다.

[0041] 제 1 및 제 2 절연층 패턴(152a, 152b)을 식각 마스크로 이용하여 제 1 금속 물질층(150)을 습식식각하여, 도 5b와 같이 게이트 전극(122) 및 캐패시터의 제 1 전극(142)이 형성된다. 캐패시터의 제 1 전극(142)은 수평부(142a)와 수직부(142b)를 포함한다. 습식식각은 등방성으로 식각되는 특성을 가지고 있어, 도 5b와 같이, 제 1 및 제 2 절연층 패턴(152a, 152b)과, 게이트 전극(122) 및 캐패시터의 제 1 전극(142) 각각의 사이에는 공간이 발생한다.

[0042] 도 5c와 같이, 열처리를 실시하여 제 1 및 제 2 절연층 패턴(152a, 152b)을 플로잉(flowing)시킨다. 열처리에 의해 제 1 및 제 2 절연층 패턴(152a, 152b)은 게이트 전극(122) 및 제 1 전극(142)의 측면으로 유동된다. 따라서, 최종적으로 제 1 및 제 2 절연층 패턴(152a, 152b) 각각의 상면과 공간이 발생한 측면에 경화된 제 1 및 제 2 절연층 패턴(152a, 152b)이 형성된다. 제 1 및 제 2 절연층 패턴(152a, 152b)의 열처리는 대략적으로 230℃에서 30분정도 시행한다. 도 5c에서, 제 1 절연층 패턴(152a)의 두께는 제 2 절연층 패턴(152b)의 두께보다 두껍게 잔류한다.

[0043] 절연층 패턴(152)을 제 1 절연층 패턴(152a)이 완전히 제거될 때까지 건식식각을 수행하면, 도 5d와 같이, 게이트 전극(122) 상에는 제 2 절연층 패턴(152b)이 완전히 제거되고, 제 1 전극(142) 상에는 도 5c의 제 1 절연층 패턴(152a)의 일부가 잔류하여 중간 절연층(144)이 형성된다. 제 1 및 제 2 절연층 패턴(152a, 152b)이 게이트 전극(122) 및 제 1 전극(142)의 측면에 형성되기 때문에 건식식각시에 게이트 전극(122) 및 제 1 전극(142)의 측면은 에천트에 의해 침식되지 않는다. 다시 말하면, 건식식각의 과정에서 플라즈마가 게이트 전극(122) 및 제 1 전극(142)을 침식할 수 있는 공간이 주어지지 않는다. 도 5d의 중간 절연층(144)의 두께는 도 5c의 제 1 절연층 패턴(152a)의 일부가 건식식각되었기 때문에 제 1 절연층 패턴(152a)의 두께보다 얇다.

[0044] 도 5e와 같이, 게이트 전극(122), 제 1 전극(142) 및 중간 절연층(144)을 포함하는 절연기판(140) 상에 게이트 절연층(146)을 형성하고, 게이트 절연층(146) 상에 데이터 배선(114), 활성층(124) 및 소스와 드레인 전극(126a, 126b)을 형성한다. 게이트 절연층(146)은 실리콘 산화물(SiO2) 또는 실리콘 질화물(SiNx)과 같은 무기 절연물질을 일례로 PECVD와 같은 방법을 사용하여 형성한다. 중간 절연층(144)의 너부는 제 1 전극(142)의 너비보다 작게 형성되므로, 게이트 절연층(146)은 균일하게 제 1 전극(142) 및 중간 절연층(144)의 상면 및 측면을 피복할 수 있다.

[0045] 데이터 배선(114), 활성층(124) 및 소스와 드레인 전극(126a, 126b)을 형성하는 방법은, 게이트 절연층(146) 상에 반도체층(도시하지 않음)을 형성하는 단계, 반도체층 상에 제 2 금속 물질층(도시하지 않음)을 형성하는 단계, 제 2 금속 물질층 상에 감광층(도시하지 않음)을 형성하는 단계, 제 2 하프톤 마스크(도시하지 않음)을 적용한 감광층의 노광 및 현상에 의해 제 1 및 제 2 감광층 패턴(도시하지 않음)을 포함하는 감광층 패턴(도시하지 않음)을 형성하는 단계, 제 1 및 제 2 감광층 패턴을 식각 마스크로 반도체층 및 제 2 금속 물질층을 식각하여 데이터 배선(114)와 활성층(124)을 형성하는 단계를 포함한다.

[0046] 반도체층은 불순물이 도핑되지 않은 제 1 비정질 실리콘층(도시하지 않음) 및 N 형 불순물이 도핑된 제 2 비정질 실리콘층(도시하지 않음)을 포함한다. 제 2 금속 물질층은 구리(Cu), 몰리브덴(Mo), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물질을 사용하여 단일층, 이중층, 또는 삼중층으로 형성할 수 있다.

[0047] 제 2 하프톤 마스크는 조사광을 모두 투과시키는 투과영역, 조사광을 완전하게 차단하는 차단영역 및 조사광

의 일부를 투과시키는 반투과 영역을 포함하고, 제 2 하프톤 마스크의 차단영역에 대응되어 형성되는 제 1 감광층 패턴의 두께는 제 2 하프톤 마스크의 반투과 영역에 대응되어 형성되는 제 2 감광층 패턴의 두께보다 두껍게 형성된다. 그리고, 제 2 하프톤 마스크의 투과영역에 대응되는 감광층은 제거되어 게이트 절연층(146)이 노출된다.

[0048] 제 1 및 제 2 감광층 패턴을 식각 마스크로 반도체층 및 제 2 금속 물질층을 식각하여, 반도체층 및 제 2 금속 물질층으로 구성되고 도 2의 게이트 배선(112)과 수직으로 교차하는 데이터 배선(114)과 게이트 전극(122)에 대응되는 게이트 절연층(146) 상에 반도체층 및 제 2 금속 물질층으로 구성되는 임시패턴(도시하지 않음)을 형성한다. 데이터 배선(114) 및 임시패턴을 형성하는 과정에서 제 1 감광층 패턴보다 얇은 두께를 가지는 제 2 감광층 패턴은 제거되고, 제 1 감광층 패턴은 최초보다 얇은 두께를 가지게 된다. 연속해서 제 1 감광층 패턴을 식각 마스크로 임시패턴의 제 2 금속 물질층과 제 2 비정질 실리콘층을 식각하여, 소스 및 드레인 전극(126a, 126b)과 활성층(124)을 형성한다.

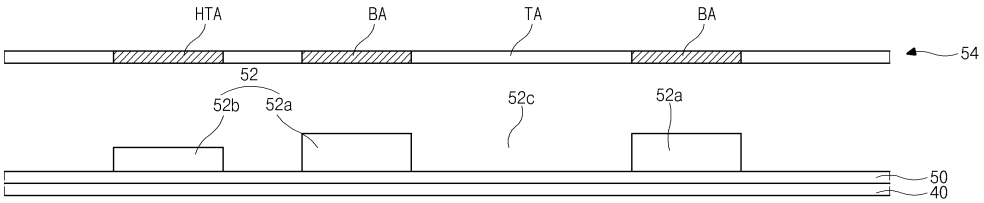
[0049] 게이트 절연층(146)은 데이터 배선(114) 및 임시패턴을 식각하는 과정과, 임시패턴을 식각하여 소스 및 드레인 전극(126a, 126b)과 활성층(124)을 형성하는 과정을 포함하여 총 2 회에 걸쳐 에천트에 노출된다. 그러나, 게이트 절연층(146)이 게이트 전극(122), 제 1 전극(142) 및 중간 절연층(144)을 포함하는 절연기판(140) 상에 균일하게 결함없이 피복되어 있기 때문에, 에천트가 게이트 절연층(146)을 통과하여 캐패시터의 제 1 전극(142)이 침식되는 것이 방지된다.

[0050] 도 5f와 같이, 데이터 배선(114), 활성층(124) 및 소스와 드레인 전극(126a, 126b)을 포함하는 게이트 절연층(146) 상에 보호층(148)과, 보호층(148) 상에 화소전극(118)을 형성한다. 보호층(148)은 실리콘 산화물(SiO2) 및 실리콘 질화물(SiNx)을 포함하는 무기 절연물질 또는 포토 아크릴과 벤조싸이클로부텐을 포함하는 유기절연물질을 선택하여 사용할 수 있다. 화소전극(118)은 도 3의 화소영역(PA)에 대응되는 보호층(148) 상에 형성되고 도 3의 콘택홀(CNT)을 통하여 드레인 전극(126b)과 연결된다. 화소전극(118)은 ITO(indium tin oxide) 및 IZO(indium zinc oxide) 등과 같이 투명도전성 물질로 형성한다.

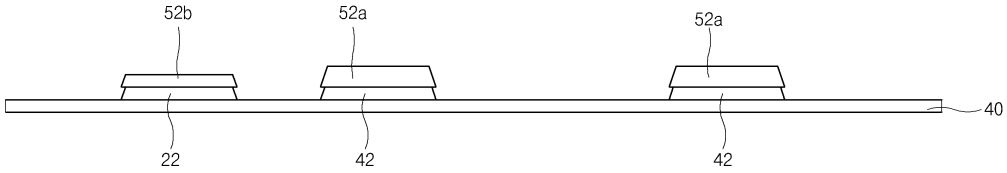
[0051] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

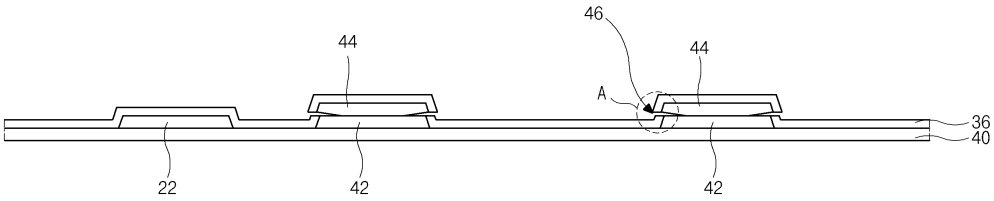
도면1a



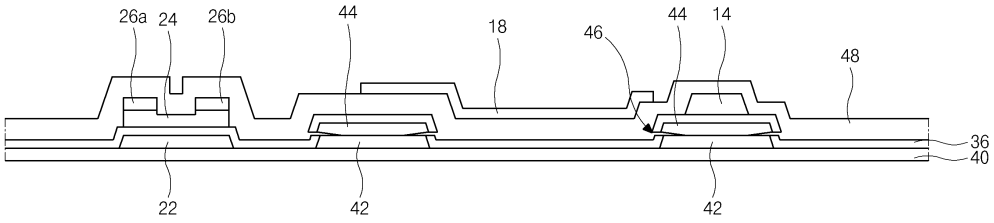
도면1b



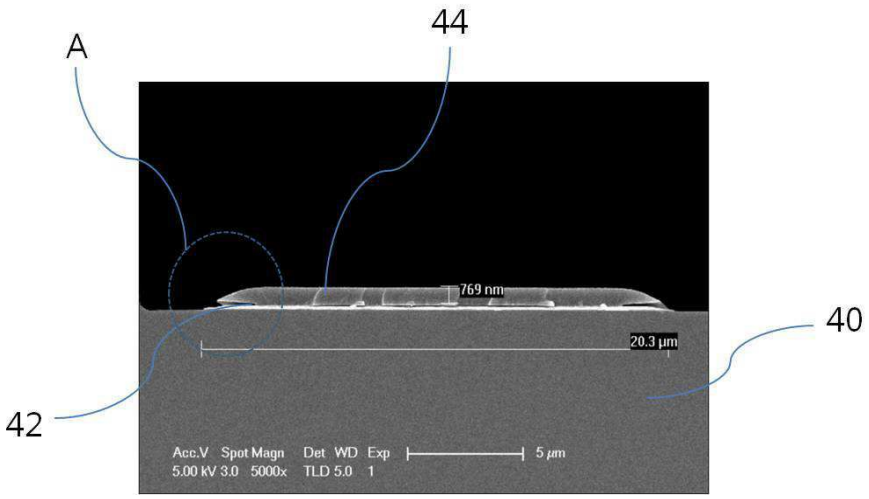
도면1c



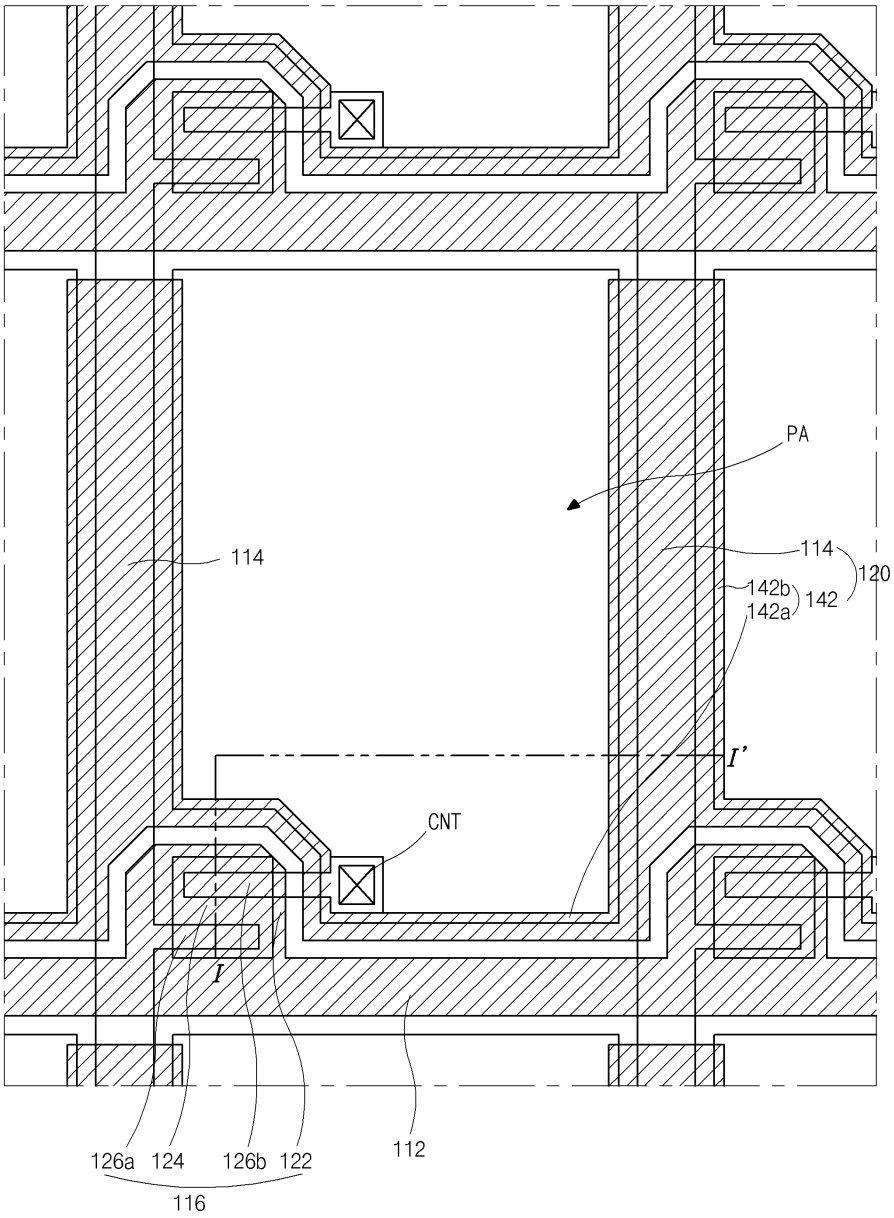
도면1d



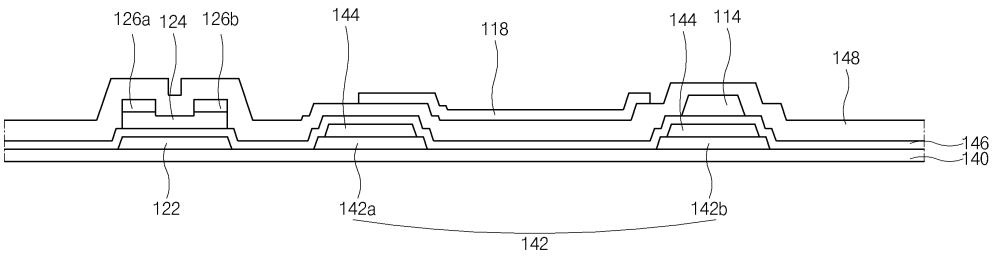
도면2



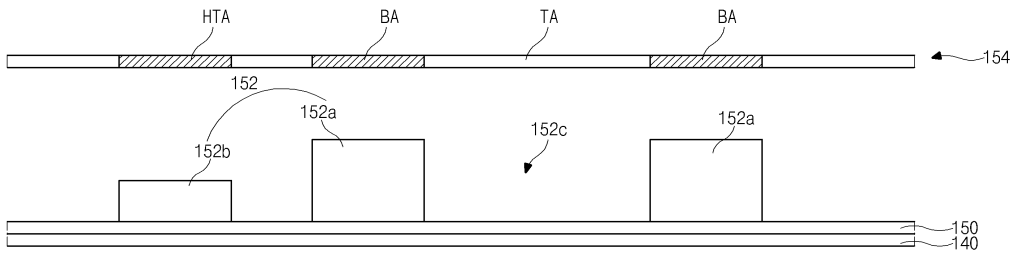
도면3


PA
114
114
120
142b
142
142a
I'
CNT
I
126a
124
126b
122
112
116

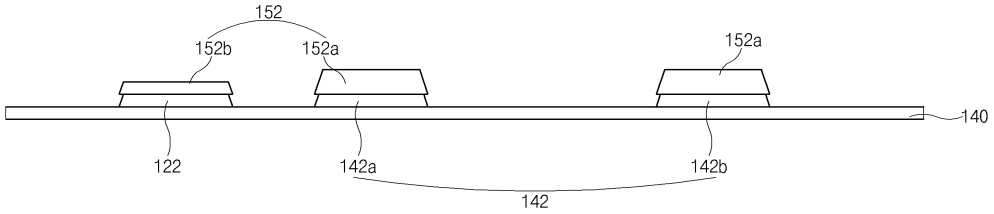
도면4


126a
124
126b
144
118
144
114
148
146
140
122
142a
142b
142

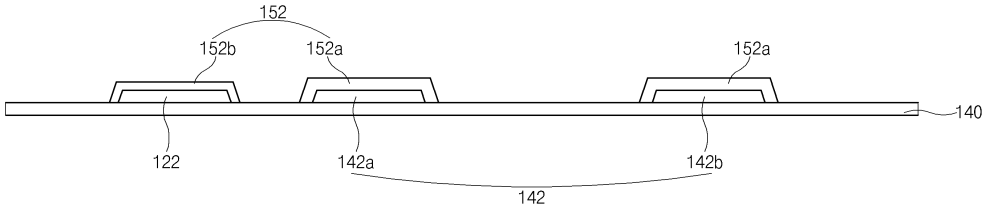
도면5a



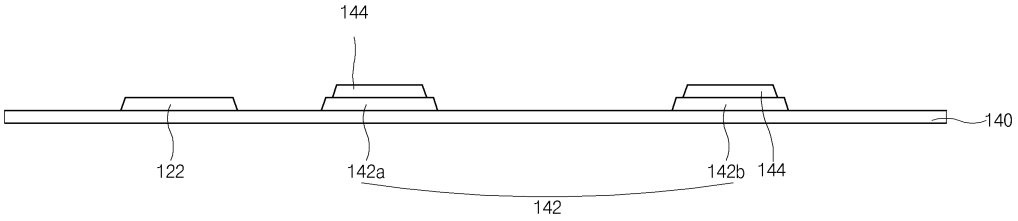
도면5b



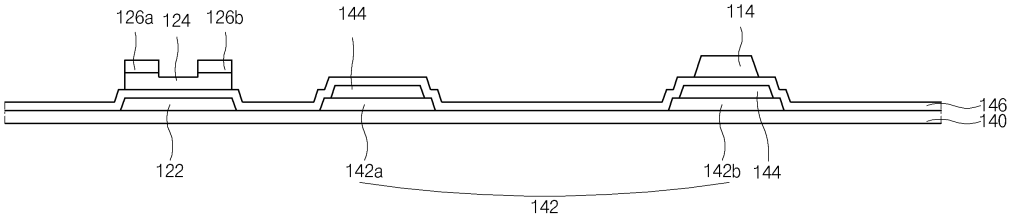
도면5c



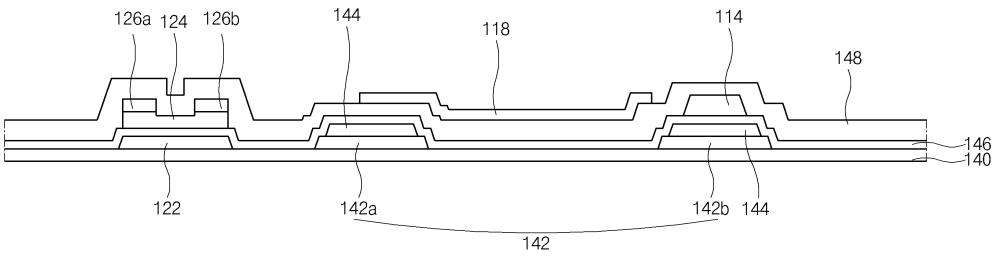
도면5d



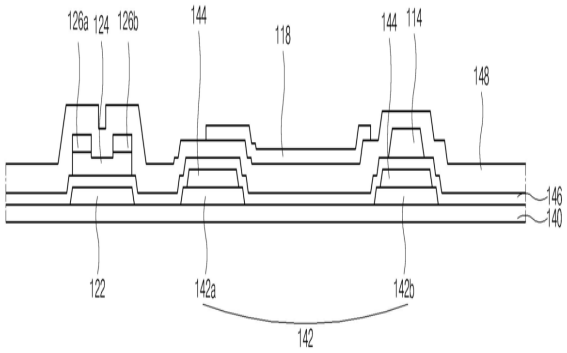
도면5e



도면5f



专利名称(译)	标题：制造液晶显示元件的阵列基板的方法		
公开(公告)号	KR1020120056622A	公开(公告)日	2012-06-04
申请号	KR1020100118249	申请日	2010-11-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON SO YOUNG 문소영 PARK SANG HUCK 박상혁		
发明人	문소영 박상혁		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1368 G02F1/133345 G02F1/1343 G02F1/13439 G02F1/136286 G02F2201/121 G02F2203/09 H01L27/1288		
外部链接	Espacenet		

摘要(译)

本发明包括一个基片层和上制造用于防止底切的电极，并在图案化工艺在绝缘层的发生的液晶显示元件的阵列基板的方法中的金属层上的第一绝缘层图案和在对金属材料，形成厚度小于第一绝缘层图案的第二绝缘层图案;使用第一和第二绝缘层图案作为蚀刻掩模湿法蚀刻金属材料层以形成栅极布线，从栅极布线延伸的栅电极，以及与栅极布线隔离的电容器的第一电极;执行热处理工艺以使第一和第二绝缘层图案流动在电容器的栅极布线，栅电极和第一电极的上表面和侧表面上;干蚀刻第一和第二绝缘层图案以去除栅极布线和栅电极上的第一绝缘层图案，以在电容器的第一电极上留下第二绝缘层图案的一部分，形成绝缘层;并且在包括栅极布线，栅电极，电容器的第一电极和中间绝缘层的基板上形成栅极绝缘层。