



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월03일
(11) 등록번호 10-2051389
(24) 등록일자 2019년11월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0003620
(22) 출원일자 2013년01월11일
심사청구일자 2017년12월27일
(65) 공개번호 10-2014-0091399
(43) 공개일자 2014년07월21일
(56) 선행기술조사문헌
JP2000236234 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장세현
경상북도 포항시 남구 대송면 운제로227번길 10-2
(74) 대리인
특허법인(유한) 대아

전체 청구항 수 : 총 12 항

심사관 : 정원식

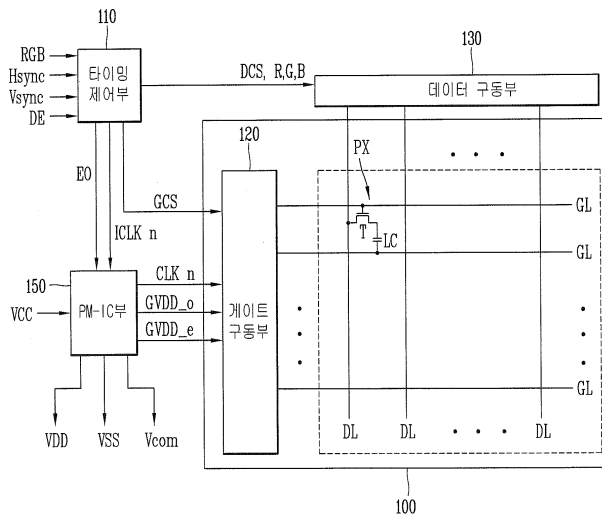
(54) 발명의 명칭 액정표시장치 및 이의 구동회로

(57) 요약

본 발명은 액정표시장치의 구동회로를 개시한다. 특히, 본 발명은 액정표시장치의 구동을 위한 전원을 공급하는 PM-IC(power management IC)의 단자 개수를 저감하여 IC의 생산단가를 낮추고 기타 부가단자로 대체할 수 있도록 한 구동회로 및 이를 포함하는 액정표시장치에 관한 것이다.

본 발명의 실시예에 따른 액정표시장치는, 액정패널, 게이트 및 데이터구동부 및 타이밍 제어부를 구비하고, 타이밍 제어부로부터 하나의 구동전압 인터페이스신호를 공급받아 제1 및 제2 풀-다운 박막트랜지스터를 각각 교번 구동하는 제1 및 제2 구동전압을 생성하는 PM-IC부를 포함한다. 이에 따라, 하나의 구동전압 인터페이스신호에 따라 두 구동전압을 생성함으로써 PM-IC의 입출력단자를 저감하여 IC의 생산단가를 낮추고 기타 부가단자로 대체할 수 있는 효과가 있다.

대표도 - 도2



(56) 선행기술조사문헌

KR1020070118386 A*

KR1020110123525 A

JP2012088679 A

JP3059048 B2

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 게이트 배선 및 데이터 배선이 형성되어 복수의 화소를 정의하는 액정패널;

상기 게이트 배선과 연결되어 상기 화소에 게이트 출력신호를 공급하고, 적어도 하나의 풀-업 박막트랜지스터, 제1 및 제2 풀-다운 박막트랜지스터를 구비하며, 제 1 및 제 2 구동 전압을 인가 받아 상기 제 1 및 제 2 풀-다운 박막트랜지스터를 각각 교번구동하는 게이트 구동부;

상기 데이터배선과 연결되어 데이터전압을 상기 화소에 공급하는 데이터 구동부;

상기 게이트 구동부 및 데이터 구동부의 제어신호를 생성하는 타이밍 제어부; 및

상기 타이밍 제어부로부터 하나의 구동전압 인터페이스신호를 공급받아 상기 제1 및 제2 구동전압을 생성하는 PM-IC부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 구동전압 인터페이스신호는,

상기 제1 및 제2 구동전압이 동시에 로우레벨 상태인 지연구간이 정의된 신호인 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 및 제2 구동전압은

상기 지연구간을 제외하고 서로 반전된 전압인 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항 및 제 2 항 중, 어느 하나의 항에 있어서,

상기 PM-IC부는,

상기 구동전압 인터페이스신호에 대응하여 서로 반전된 제1 및 제2 출력신호를 출력하는 플립플롭;

상기 제1 및 제2 출력신호를 일정시간 지연시키는 딜레이회로; 및

상기 딜레이회로가 출력하는 제1 및 제2 출력지연신호와, 상기 구동전압 인터페이스신호를 각각 논리곱하여 상기 제1 및 제2 구동전압을 출력하는 앤드게이트회로

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 플립플롭은,

상기 구동전압 인터페이스신호가 폴링 에지일 때, 상기 제1 및 제2 출력신호를 서로 반전시켜 출력하는 네가티브 에지 트리거드 플립플롭인 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,
 상기 게이트 구동부는,
 전단 스테이지 또는 개시신호에 따라, 일반구동전압 레벨로 Q노드를 충전하는 제1 박막트랜지스터;
 후단 스테이지로부터 게이트 출력신호를 인가받아 상기 Q노드를 방전하는 제2 박막트랜지스터(T2);
 Qb_o노드의 충전에 따라 상기 Q노드를 방전시키는 제3_o 박막트랜지스터;
 Qb_e노드의 충전에 따라 상기 Q노드를 방전시키는 제3_e 박막트랜지스터;
 다이오드 연결되어 상기 제1 구동전압을 상기 Qb_o노드에 충전하는 제4_o 박막트랜지스터;
 다이오드 연결되어 상기 제2 구동전압(VDD_e)를 상기 Qb_e노드에 충전하는 제4_e 박막트랜지스터;
 상기 Q노드의 충전에 따라 Qb_o노드를 방전시키는 제5_o 트랜지스터; 및
 상기 Q노드의 충전에 따라 Qb_e노드를 방전시키는 제5_e 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,
 상기 풀-업 박막트랜지스터는, 상기 Q노드의 충전에 따라 클럭신호의 전압레벨에 해당하는 상기 게이트 출력신호를 출력하며,
 상기 제1 풀-다운 박막트랜지스터는 상기 Qb_o노드의 충전에 따라 접지전압 레벨의 상기 게이트 출력신호를 출력하고,
 상기 제2 풀-다운 박막트랜지스터는, 상기 Qb_e노드의 충전에 따라 접지전압 레벨의 상기 게이트 출력신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,
 상기 제1 및 제2 풀-다운 박막트랜지스터는, 2 내지 3 프레임씩 교번구동하는 것을 특징으로 하는 액정표시장치.

청구항 9

타이밍 제어부로부터 인가되는 구동전압 인터페이스신호에 대응하여 서로 반전된 제1 및 제2 출력신호를 출력하는 플립플롭;
 상기 제1 및 제2 출력신호를 일정시간 지연시키는 딜레이회로; 및
 상기 딜레이회로가 출력하는 제1 및 제2 출력지연신호와, 상기 구동전압 인터페이스신호를 각각 논리곱하여 제1 및 제2 구동전압을 출력하는 앤드게이트회로를 포함하며,
 상기 앤드게이트회로는 제 1 및 제 2 풀-다운 박막트랜지스터를 각각 교번구동하는 게이트 구동부에 상기 제 1 및 제 2 구동 전압을 제공하는 액정표시장치의 구동회로.

청구항 10

제 9 항에 있어서,
 상기 구동전압 인터페이스신호는,
 상기 제1 및 제2 구동전압이 동시에 로우레벨 상태인 지연구간이 정의된 신호인 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 11

제 10 항에 있어서,

상기 제1 및 제2 구동전압은,

상기 지연구간을 제외하고 서로 반전된 전압인 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 12

제 9 항에 있어서,

상기 플립플롭은,

상기 구동전압 인터페이스신호가 폴링 에지일 때, 상기 제1 및 제2 출력신호를 서로 반전시켜 출력하는 네가티브 에지 트리거드 플립플롭인 것을 특징으로 하는 액정표시장치의 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치의 구동회로에 관한 것으로, 특히 액정표시장치의 구동을 위한 전원을 공급하는 PM-IC(power management IC)의 단자 개수를 저감하여 IC의 생산단가를 낮추고 기타 부가단자로 대체할 수 있도록 한 구동회로 및 이를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근, 휴대폰(Mobile Phone), 노트북컴퓨터와 같은 각종 포터블기기(portable device) 및, HDTV 등의 고해상도, 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 적용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되었지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 현재에는 액정표시장치(LCD)가 각광을 받고 있다.

[0003] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor, TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.

[0004] 도 1은 기존의 액정표시장치의 일부를 개략적으로 나타낸 것으로, 기존의 액정표시장치는 복수의 화소(미도시)가 정의되어 화상을 표시하는 액정패널(10)과, 액정패널(10)에 일 방향으로 형성된 복수의 게이트배선(GL)을 통해 화소에 게이트 출력신호를 공급하는 게이트 구동부(20)를 포함한다.

[0005] 게이트 구동부(20)는 복수의 스테이지로 구성되며, 각 스테이지는 각종 게이트 제어신호에 대응하여 게이트배선(GL)을 통해 게이트 출력신호(VG)를 동일 수평선상의 화소마다 순차적으로 공급하게 된다. 이러한 스테이지(ST)는 적어도 하나의 플립플롭(12), 풀-업 트랜지스터(TPU) 및 풀-다운 트랜지스터(TPD_o, TPD_e)를 포함한다.

[0006] 특히, 하이레벨의 클럭신호(CLK)을 인가하는 풀-업 트랜지스터(TPU)는 달리, 접지전압(VSS)을 인가하는 풀-다운 트랜지스터(TPD_o, TPD_e)들은 적어도 두 개가 구비되어, 소정주기로 교번구동함으로써 지속적으로 인가되는 고전압에 의한 트랜지스터 열화를 방지하는 구조로 구성된다.

[0007] 상세하게는, 각 스테이지(ST)는 1 프레임동안 1수평기간(1H)을 제외하고는 항상 게이트 로우전압(VGL)을 출력하게 되며, 따라서 Qb 출력에는 풀-다운 트랜지스터를 턴-온하기 위한 하이전압이 지속적으로 인가된다. 이는 풀-다운 트랜지스터를 열화시켜 문턱전압 특성을 변화시키는 원인이 되어, 결국 게이트 구동부의 오작동을 유발하게 된다.

[0008] 이러한 문제를 개선하기 위해, Qb 출력을 복수개(Qb_o, Qb_e)로 형성하고, 각각 별도의 풀-다운 트랜지스터(TPD_o, TPD_e)를 구비하여 소정주기씩 교번하여 구동함으로써 하나의 풀-다운 트랜지스터(TPD_o, TPD_e)에 집중되는 스트레스를 분산하여 소자의 열화를 최소화 하게 된다.

[0009] 그러나, 두 개의 풀-다운 트랜지스터(TPD_o, TPD_e)를 제어하기 위해서는 서로 반전된 파형을 갖는 두 개의 구동전압(VDD_o, VDD_e)이 필요하다. 이러한 구동 전압은 액정표시장치의 구동을 위한 각종신호를 생성하는 PM-IC

부(미도시)가 타이밍 제어부(미도시)로부터 두 개의 구동전압 인터페이스신호를 인가받아 생성하는 것이다. 여기서, 두 구동전압(VDD_o, VDD_e)은 파형이 완전히 반전되는 형태가 아닌, 전압레벨 변동시점에서 두 전압이 모두 로우레벨이 되는 지연구간을 갖도록 생성되어야 하며, 따라서, 단순히 하나의 구동전압을 반전회로를 이용하여 반전시키는 형태로는 두 개의 구동전압(VDD_o, VDD_e)를 생성할 수 없다.

[0010] 따라서, PM-IC부(미도시)는 두 개의 입력단자가 할당되어 구동전압 인터페이스신호를 입력받고, 또한 두 개의 출력단자가 할당되어 두 개의 구동전압(VDD_o, VDD_e)를 출력하는 형태로 구현된다.

[0011] 그러나, 액정표시장치 및 이의 구동회로의 소형화 추세에 따라, 액정표시장치의 구동회로는 가능한 구동IC의 입출력단자의 개수를 줄여 구동IC의 크기를 축소하는 형태로 설계되어야 한다. 따라서 게이트 구동부의 교번구동 방식의 액정표시장치 및 이의 구동회로는 이러한 추세를 반영하기 어렵다는 한계가 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 기술한 문제를 해결하기 위해 안출된 것으로, 본 발명의 목적은 적어도 2개의 풀-다운 트랜지스터를 구비하고 교번으로 구동하는 액정표시장치의 구동회로의 입출력단자를 저감하는 데 있다.

과제의 해결 수단

[0013] 기술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 액정표시장치는, 복수의 게이트 배선 및 데이터 배선이 형성되어 복수의 화소를 정의하는 액정패널; 상기 게이트 배선과 연결되어 상기 화소에 게이트 출력신호를 공급하고, 적어도 하나의 풀-업 박막트랜지스터, 제1 및 제2 풀-다운 박막트랜지스터를 구비하는 게이트 구동부; 상기 데이터배선과 연결되어 데이터전압을 상기 화소에 공급하는 데이터 구동부; 상기 게이트 구동부 및 데이터 구동부의 제어신호를 생성하는 타이밍 제어부; 및 상기 타이밍 제어부로부터 하나의 구동전압 인터페이스신호를 공급받아 상기 제1 및 제2 풀-다운 박막트랜지스터를 각각 교번구동하는 제1 및 제2 구동전압을 생성하는 PM-IC부를 포함한다.

[0014] 상기 구동전압 인터페이스신호는, 상기 제1 및 제2 구동전압이 동시에 로우레벨 상태인 지연구간이 정의된 신호인 것을 특징으로 한다.

[0015] 상기 제1 및 제2 구동전압은, 상기 지연구간을 제외하고 서로 반전된 전압인 것을 특징으로 한다.

[0016] 상기 PM-IC부는, 상기 구동전압 인터페이스신호에 대응하여 서로 반전된 제1 및 제2 출력신호를 출력하는 플립플롭; 상기 제1 및 제2 출력신호를 일정시간 지연시키는 딜레이회로; 및 상기 딜레이회로가 출력하는 제1 및 제2 출력지연신호와, 상기 구동전압 인터페이스신호를 각각 논리곱하여 상기 제1 및 제2 구동전압을 출력하는 앤드게이트회로를 포함하는 것을 특징으로 한다.

[0017] 상기 플립플롭은, 상기 구동전압 인터페이스신호가 폴링 에지일 때, 상기 제1 및 제2 출력신호를 서로 반전시켜 출력하는 네가티브 에지 트리거드 플립플롭인 것을 특징으로 한다.

[0018] 상기 게이트 구동부는, 전단 스테이지 또는 개시신호에 따라, 일반구동전압 레벨로 Q노드를 충전하는 제1 박막트랜지스터; 후단 스테이지로부터 게이트 출력신호를 인가받아 상기 Q노드를 방전하는 제2 박막트랜지스터; Qb_o노드의 충전에 따라 상기 Q노드를 방전시키는 제3_o 박막트랜지스터; Qb_e노드의 충전에 따라 상기 Q노드를 방전시키는 제3_e 박막트랜지스터; 다이오드 연결되어 상기 제1 구동전압을 상기 Qb_o노드에 충전하는 제4_o 박막트랜지스터; 다이오드 연결되어 상기 제2 구동전압(VDD_e)을 상기 Qb_e노드에 충전하는 제4_e 박막트랜지스터; 상기 Q노드의 충전에 따라 Qb_o노드를 방전시키는 제5_o 트랜지스터; 및 상기 Q노드의 충전에 따라 Qb_e노드를 방전시키는 제5_e 트랜지스터를 포함한다.

[0019] 상기 풀-업 박막트랜지스터는, 상기 Q노드의 충전에 따라 클록신호의 전압레벨에 해당하는 상기 게이트 출력신호를 출력하며, 상기 제1 풀-다운 박막트랜지스터는 상기 Qb_o노드의 충전에 따라 접지전압 레벨의 상기 게이트 출력신호를 출력하고, 상기 제2 풀-다운 박막트랜지스터는, 상기 Qb_e노드의 충전에 따라 접지전압 레벨의 상기 게이트 출력신호를 출력하는 것을 특징으로 한다.

[0020] 상기 제1 및 제2 풀-다운 박막트랜지스터는, 2 내지 3 프레임씩 교번구동하는 것을 특징으로 한다.

[0021] 기술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 액정표시장치의 구동회로는, 타이밍 제어부로

부터 인가되는 구동전압 인터페이스신호에 대응하여 서로 반전된 제1 및 제2 출력신호를 출력하는 플립플롭; 상기 제1 및 제2 출력신호를 일정시간 지연시키는 딜레이회로; 상기 딜레이회로가 출력하는 제1 및 제2 출력지연신호와, 상기 구동전압 인터페이스신호를 각각 논리곱하여 게이트 구동부의 제1 및 제2 풀-다운 박막트랜지스터를 각각 구동하는 제1 및 제2 구동전압을 출력하는 앤드게이트회로를 포함한다.

[0022] 상기 구동전압 인터페이스신호는, 상기 제1 및 제2 구동전압이 동시에 로우레벨 상태인 지연구간이 정의된 신호인 것을 특징으로 한다.

[0023] 상기 제1 및 제2 구동전압은, 상기 지연구간을 제외하고 서로 반전된 전압인 것을 특징으로 한다.

[0024] 상기 플립플롭은, 상기 구동전압 인터페이스신호가 폴링 에지일 때, 상기 제1 및 제2 출력신호를 서로 반전시켜 출력하는 네가티브 에지 트리거드 플립플롭인 것을 특징으로 한다.

발명의 효과

[0025] 본 발명의 실시예에 따르면, 지연구간에 대응하는 로우레벨구간을 갖는 하나의 구동전압 인터페이스신호를 생성하고, 에지 트리거드(edge triggered) 소자를 이용하여 반전되는 두 구동전압을 생성함으로써 PM-IC의 입출력단자를 저감하여 IC의 생산단가를 낮추고 기타 부가단자로 대체할 수 있는 효과가 있다.

도면의 간단한 설명

[0026] 도 1은 기존의 액정표시장치의 일부를 개략적으로 나타낸 도면이다.

도 2는 본 발명의 실시예에 따른 액정표시장치의 전체 구조를 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 액정표시장치의 PM-IC부에 포함된 제1 및 제2 구동전압을 생성하기 위한 논리회로에 대한 등가회로도이다.

도 4는 PM-IC부의 입출력되는 신호파형을 나타내는 도면이다.

도 5는 본 발명의 실시예에 따른 액정표시장치의 구동회로의 일부 단자 연결형태를 나타내는 도면이다.

도 6은 본 발명의 실시예에 따른 액정표시장치의 게이트 구동부의 일 스테이지에 대한 등가회로도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및 이의 구동회로를 설명한다.

[0028] 도 2는 본 발명의 실시예에 따른 액정표시장치의 전체 구조를 나타내는 도면이다.

[0029] 도시된 바와 같이, 본 발명의 액정표시장치는 화상을 표시하는 액정패널(100)과, 각 구동부(120, 130)를 제어하는 타이밍 제어부(110)와, 액정패널(100)의 일측에 구비되어 게이트배선(GL)으로 게이트 출력신호(VG)를 인가하는 게이트 구동부(120)와, 각 화소에 데이터신호(VDATA)를 인가하는 데이터 구동부(130)와, 각 구동부(120)에 구동을 위한 다수의 전압을 공급하되, 특히 게이트 구동부(120)에 교번구동을 위한 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e)를 공급하는 PM-IC부(150)를 포함한다.

[0030] 액정패널(100)은 글라스를 이용한 기관 상에 다수의 게이트배선(GL)과 다수의 데이터배선(DL)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소(PX)를 정의한다.

[0031] 액정패널(100)의 표시영역 상에는 R,G,B 삼원색에 각각 대응하는 복수의 화소(PX)가 매트릭스 형태로 형성되며, 각 화소(PX)에는 스위칭 소자의 역할을 하는 적어도 하나의 박막트랜지스터(T)와, 액정층이 개재된 상하 전극으로 이루어지는 액정캐패시터(LC)가 구비되어 화상을 표시하게 된다.

[0032] 전술한 박막트랜지스터(T)는 게이트전극이 게이트 배선(GL)에 연결되고, 소스전극은 데이터 배선(DL)에 연결된다. 또한, 드레인전극은 공통전극과 대향하는 화소전극과 연결되어 있다. 이러한 박막트랜지스터(T)의 액티브층을 이루는 물질로는 비정질 실리콘(a-si silicon) 및 폴리 실리콘(poly silicon)등이 이용될 수 있으나, 액정표시장치의 대형화 및 고화질화 추세에 따라 소자 성능 역시 고성능이 요구되어 이동도 0.5cm²/Vs 수준의 기존 비정질 실리콘 박막트랜지스터에는 한계가 있으며, 이에 산화물 실리콘(Oxide silicon)이 이용될 수도 있다.

[0033] 특히, 산화물 실리콘 박막트랜지스터는 비정질 실리콘 박막트랜지스터에 비해 이동도(mobility)가 높아, 액정표시장치에 구비되는 액정패널(100)내의 스위칭 소자뿐만 아니라, 스위칭 소자를 제어하기 위한 게이트 구동부

(120)를 구현하는 데 유리하다는 장점이 있다.

- [0034] 타이밍 제어부(110)는 외부시스템으로부터 전송되는 수평동기신호(Hsync), 수직동기신호(Vsync), 데이터 인에이블 신호(DE)등의 타이밍 신호를 인가받으며, 그 신호들에 대응하여 게이트 구동부(120) 및 데이터 구동부(130)의 제어신호를 생성한다. 또한, 전송되는 디지털 형태의 영상신호(RGB)를 데이터 구동부(130)가 처리할 수 형태로 변환하여 데이터 구동부(130)에 공급한다.
- [0035] 특히, 타이밍 제어부(110)는 게이트 구동부(120)를 구동하기 위한 전압 및 클럭신호를 생성하는 기준이 되는 구동전압 인터페이스신호(E0) 및 클럭인터페이스신호(ICLK)를 생성하여 PM-IC부(150)에 공급한다. 여기서, 구동전압 인터페이스신호(E0)는 하나의 신호배선을 통해 PM-IC부(150)에 공급되는 신호로서 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e)의 지연구간이 정의되어 있다.
- [0036] 게이트 구동부(120)는 액정패널(100)의 일측 화소영역을 제외한 비표시영역에 형성된 복수의 박막트랜지스터로 이루어지는 쉬프트 레지스터이다. 이러한 게이트 구동부(120)는 액정패널(100)의 화소영역상의 박막트랜지스터와 동일공정에서 동시에 형성되므로, 따라서 화소영역의 박막트랜지스터와 동일 반도체층을 갖게 된다.
- [0037] 특히, 게이트 구동부(120)는 타이밍 제어부(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(100)에 형성된 게이트배선(GL)을 통해 수평기간(1H)마다 하이레벨의 게이트 구동전압(VG)을 순차적으로 출력한다. 또한 현재 게이트 구동전압(VG)이 출력되지 않는 게이트배선(GL)에는 로우레벨이 게이트 구동전압(VG)을 출력하게 된다. 하나의 게이트배선(GL)은 하나의 스테이지가 할당되며, 게이트 구동부(120)의 각 스테이지 중, 현재 하이레벨인 게이트 배선(GL)을 제외한 나머지 게이트 배선(GL)에는 로우레벨의 게이트 구동전압(VG)이 인가되게 된다.
- [0038] 이에 따라, 하이레벨의 게이트배선(GL)과 연결된 박막트랜지스터(T)는 턴-온(turn-on)하며, 동시에 데이터 구동부(130)는 공급되는 아날로그 파형의 데이터신호(VDATA)를 데이터배선(DL)을 통해 박막트랜지스터(T)에 접속된 액정캐패시터(LC)들로 인가하게 된다.
- [0039] 특히, 게이트 구동부(120)는 내장된 박막트랜지스터들을 소정의 프레임씩 나누어 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e) 중 어느 하나를 이용하여 교번구동하는 구조이다.
- [0040] 일 예로서, 게이트 구동부(120)를 초기 3 프레임 동안 제1 게이트 구동전압(GVDD_o)을 이용하여 구동하고, 차기 3 프레임 동안 제2 게이트 구동전압(GVDD_e)을 이용하여 구동하는 형태로 설정할 수 있다.
- [0041] 이에 따라, 하나의 스테이지에 두 개씩 구비되는 풀-다운 박막트랜지스터를 교번하여 구동함으로써 스트레스에 따른 박막트랜지스터의 열화를 최소화하게 된다.
- [0042] 데이터 구동부(130)는 타이밍 제어부(110)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 정렬된 디지털형태의 영상신호(RGB)를 기준전압에 따라 아날로그 형태의 데이터신호(VDATA)로 변환한다. 데이터신호(VDATA)는 하나의 수평선단위로 래치되어 1수평기간(1H)마다 모든 데이터 배선(DL)을 통해 동시에 액정패널(100)로 출력된다.
- [0043] PM-IC부(150)는 시스템전원전압(VCC)를 인가받아, 액정패널(100), 게이트 및 데이터 구동부(120, 130)의 구동을 위한 전원전압(VDD), 접지전압(VSS) 및 공통전압(Vcom)등을 생성 및 공급한다.
- [0044] 뿐만 아니라, PM-IC부(150)는 타이밍 제어부(110)로부터 하나의 구동전압 인터페이스신호(E0) 및 복수의 클럭인터페이스신호(ICLK n)를 인가받아, 이를 기준으로 하여 게이트 구동부(120)를 교번구동하기 위한 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e)와, 복수의 클럭신호(CLK n)를 생성하고, 게이트 구동부(120)에 공급한다. 이를 위해, PM-IC부(150)는 구동전압 인터페이스신호(E0)의 폴링에지(falling edge) 및 라이징 에지(rising edge)에 대응하여, 로우레벨 또는 반전된 레벨의 전압을 출력하는 논리회로를 더 포함한다.
- [0045] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 구동회로의 구조를 설명한다.
- [0046] 도 3은 본 발명의 실시예에 따른 액정표시장치의 PM-IC부에 포함된 제1 및 제2 구동전압을 생성하기 위한 논리회로에 대한 등가회로도이고, 도 4는 PM-IC부의 입출력되는 신호파형을 나타내는 도면이다.
- [0047] 도 3 및 도 4를 참조하면, 본 발명은 제1 입력단(I)이 반전출력단(\bar{Q})에 연결되어 출력신호를 피드백 받으며, 제2 입력단(C)이 구동전압 인터페이스신호(E0)를 입력받아 비반전출력단(Q) 및 반전출력단(\bar{Q})에서 서로 반전

된 신호를 출력하는 플립플롭(152)과, 게이트 구동부(120)를 안정적으로 구동시키기 위해 비반전출력단(Q) 및 반전출력단(\bar{Q})의 출력신호를 일정시간 유지시키는 딜레이회로(155)와, 제1 출력지연신호(DS1) 및 제2 출력지연신호(DS2)의 출력신호와 구동전압 인터페이스신호(E0)를 논리곱하여 지연구간을 갖는 제1 게이트구동전압(GVDD_o) 및 제2 게이트구동전압(GVDD_e)를 출력하는 앤드게이트회로(157)를 포함한다.

[0048] 플립플롭(152)은 제1 입력단(I)이 반전출력단(\bar{Q})에 연결되어 출력신호를 피드백 받으며, 제2 입력단(C)이 타이밍 제어부(도 2의 110)과 연결되어 구동전압 인터페이스신호(E0)를 인가받아 이에 대응하여 서로 반전형태의 두 신호를 출력한다. 여기서, 구동전압 인터페이스신호(E0)가 하이레벨일 경우, 비반전출력단(Q)에서는 하이레벨의 출력신호가 출력되며, 반전출력단(\bar{Q})에서는 로우레벨의 출력신호가 출력된다. 또한, 구동전압 인터페이스신호(E0)가 하이레벨에서 로우레벨로 천이될 경우, 즉, 제2 입력단(C)에 인가되는 신호에 폴링 에지(falling edge)가 발생하면, 비반전출력단(Q) 및 반전출력단(\bar{Q})의 전압레벨은 현재상태에서 서로 반전된다.

[0049] 여기서, 구동전압 인터페이스신호(E0)는 제1 게이트 구동전압(GVDD_o) 및 제2 게이트 구동전압(GVDD_e)을 생성하는 기준이 되는 신호이며, 특히 두 전압(GVDD_o, GVDD_e)간 지연구간을 정의하는 신호이다. 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e)은 서로 반전된 파형을 갖는 신호이나 완전히 일치하는 것은 아니며, 전압레벨 변동시점에서 두 전압(GVDD_o, GVDD_e)이 모두 로우레벨이 되는 지연구간이 설정되어야 한다.

[0050] 따라서, 구동전압 인터페이스신호(E0)는 액정표시장치 구동시 제1 구간동안 연속하여 하나의 전압레벨로 고정되는 것이 아닌, 지연구간에 대응하는 로우레벨 구간이 포함되어 있으며, 이에 따라 두 전압(GVDD_o, GVDD_e)간에 하이레벨로 변동시점이 소정시간 지연된다.

[0051] 본 발명의 실시예에서는 구동전압 인터페이스신호(E0)의 폴링에지(falling edge)를 기준으로 전압레벨 변동시점에 두 게이트 구동전압(VDD_o, VDD_e)의 전압레벨의 변동하도록 하는 플립플롭(152) 구조를 나타내고 있다. 이러한 플립플롭(152)으로는 구동전압 인터페이스신호(E0)을 클록파형으로 반전된 형태로 입력받고, 반전출력단(\bar{Q})의 제2 출력신호를 제1 입력단(I)에 피드백하는 네가티브 에지 트리거드 플립플롭(negative edge triggered F/F)가 이용될 수 있다.

[0052] 딜레이회로(155)는 제1 딜레이(1551) 및 제2 딜레이(1552)로 구성되며, 비반전출력단(Q) 및 반전출력단(\bar{Q})으로부터 출력되는 제1 및 제2 출력신호를 일정시간 지연시켜 앤드게이트회로(157)에 전달함으로써, 구동전압 인터페이스신호(E0)와 제1 및 제2 출력신호의 전압레벨이 동시에 반전됨에 따라 발생할 수 있는 논리곱 연산의 오류를 방지한다.

[0053] 앤드게이트회로(157)는 제1 및 제2 딜레이(1551, 1552)에 의한 지연된 출력신호인 제1 및 제2 출력지연신호(DS1, DS2)와, 구동전압 인터페이스신호(E0)를 각각 논리곱 연산하여, 지연구간을 결정하는 제1 앤드게이트(1571) 및 제2 앤드게이트(1572)로 구성된다.

[0054] 상세하게는, 상기의 플립플롭(152)은 폴링에지시점에서 비반전출력단(Q) 및 반전출력단(\bar{Q})의 출력신호 전압레벨이 변동되며, 항상 서로 반전된 신호만 출력됨에 따라, 적어도 하나의 출력신호는 하이레벨로 출력된다. 즉 제1 출력지연신호(DS1)가 로우레벨일 경우, 제2 출력지연신호(DS2)는 하이레벨이 된다. 또한, 구동전압 인터페이스신호(E0)가 로우레벨로 천이되면 제1 앤드게이트(1571)에는 로우레벨의 구동전압 인터페이스신호(E0) 및 제1 출력지연신호(DS1)가 인가됨에 따라, 로우레벨의 제1 게이트 구동전압(GVDD_o)가 출력된다. 동시에, 제2 앤드게이트(1572)에는 로우레벨의 구동전압 인터페이스신호(E0) 및 하이레벨의 제2 출력지연신호(DS2)가 인가되어 로우레벨의 제2 게이트 구동전압(GVDD_e)가 출력되어 지연구간이 시작된다.

[0055] 이후, 구동전압 인터페이스신호(E0)가 하이레벨로 천이됨에 따라 지연구간이 종료되며, 플립플롭(152)은 네가티브 에지 타입이므로 비반전출력단(Q) 및 반전출력단(\bar{Q})의 출력신호 전압레벨의 변동이 발생하지 않게 된다. 그러나, 제2 앤드게이트(1572)에 하이레벨의 구동전압 인터페이스신호(E0) 및 하이레벨의 제2 출력지연신호(B

가 인가되어 하이레벨의 제2 게이트 구동전압(GVDD_e)가 출력되게 된다.

- [0056] 도 5는 본 발명의 실시예에 따른 액정표시장치의 구동회로의 일부 단자 연결형태를 나타내는 도면이다.
- [0057] 도시된 바와 같이, 본 발명의 액정표시장치의 구동회로인 PM-IC부(150)는 시스템전원전압(VCC)을 인가받아 동작 하되, 입력단자로서 I2C 데이터통신을 위한 SCL 및 SDA 단자와, 플리커(FLK)신호 입력단자와, 클럭신호(CLK1 ~ CLK4)의 생성기준이 되는 클럭인터페이스신호(ICLK1 ~ICLK4)입력단자와, 클럭리셋제어(ICLK_RESET)단자와, 하나의 구동전압 인터페이스신호(E0) 입력단자를 포함한다. 또한 출력단자로서 저항(R)에 의해 조절되는 복수의 클럭신호(CLK1 ~ CLK4) 출력단자와, 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e) 출력단자를 포함한다.
- [0058] 도시되어 있지는 않지만, 구동전압 인터페이스신호(E0) 입력단자와 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e) 출력단자는 상기의 도 3의 회로와 연결되어 있다.
- [0059] 이러한 구조에 따라, 본 발명의 PM-IC부(150)에 따르면 종래대비 구동전압 인터페이스신호(E0) 입력단자의 개수를 저감함으로써 IC의 생산단가를 낮추거나, 남은 단자부분을 다른 신호에 대한 옵션단자로 활용할 수 있다.
- [0060] 이하, 도면을 참조하여 본 발명의 실시예에 따른 PM-IC부로부터 공급되는 제1 및 제2 게이트 구동전압(GVDD_o, GVDD_e)에 의해 구동되는 액정표시장치의 게이트 구동부의 일 예를 설명한다.
- [0061] 도 6은 본 발명의 실시예에 따른 액정표시장치의 게이트 구동부의 일 스테이지에 대한 등가회로도이다.
- [0062] 게이트 구동부는 복수의 스테이지(st)를 포함하며, 하나의 스테이지(st)는 복수의 박막트랜지스터로 이루어진다. 도면에서는 소정 프레임 단위로 교번하여 Qb_e노드(Qb_e) 및 Qb_o노드(Qb_o)가 충전되는 쉬프트 레지스터의 일 예를 나타내고 있다.
- [0063] 도 6을 참조하면, 본 발명의 게이트 구동부는 전단 스테이지로부터 게이트 출력신호(VG_{n-1}) 또는 개시신호를 인가받아 일반구동전압(VDD)레벨로 Q노드(Q)를 충전하는 제1 박막트랜지스터(T1)와, 후단 스테이지로부터 게이트 출력신호(VG_{n+1})을 인가받아 Q노드(Q)를 방전하는 제2 박막트랜지스터(T2)와, Qb_o노드(Qb_o)의 충전에 따라 Q노드(Q)를 방전시키는 제3_o 박막트랜지스터(T3_o)와, Qb_e노드(Qb_e)의 충전에 따라 Q노드(Q)를 방전시키는 제3_e 박막트랜지스터(T3_e)와, 다이오드 연결(diode connection)되어 제1 구동전압(VDD_o)를 Qb_o노드(Qb_o)에 충전하는 제4_o 박막트랜지스터(T4_o)와, 다이오드 연결되어 제2 구동전압(VDD_e)를 Qb_e노드(Qb_e)에 충전하는 제4_e 박막트랜지스터(T4_e)와, Q노드(Q)의 충전에 따라 Qb_o노드(Qb_o)를 방전시키는 제5_o 트랜지스터(T5_o)와, Q노드(Q)의 충전에 따라 Qb_e노드(Qb_e)를 방전시키는 제5_e 트랜지스터(T5_e)와, Q노드(Q)의 충전에 따라 클럭신호(CLK_n)의 전압레벨에 해당하는 게이트 출력신호(VG)를 출력하는 풀-업 박막트랜지스터(TPU)와, Qb_o노드(Qb_o)의 충전에 따라 접지전압 레벨의 게이트 출력신호(VG)를 출력하는 제1 풀-다운 박막트랜지스터(TPD_o)와, Qb_e노드(Qb_e)의 충전에 따라 접지전압 레벨의 게이트 출력신호(VG)를 출력하는 제2 풀-다운 박막트랜지스터(TPD_e)를 포함한다.
- [0064] 이러한 구조에 따른 본 발명의 게이트 구동부의 동작을 설명하면, 먼저 임의의 2~3 프레임에서 전단 스테이지의 게이트 출력신호(VG_{n-1})에 따라 제1 박막트랜지스터(T1)가 턴-온되어 Q노드(Q)를 충전하고, 또한 풀-업 박막트랜지스터가 턴-온되어 하이레벨의 클럭신호(CLK)를 게이트 출력신호(VG_n)로 출력하게 된다. 이러한 게이트 출력신호(VG_n)는 1 수평기간동안 유지된다.
- [0065] 이후, 하이레벨의 제1 게이트 구동전압(GVDD_o)이 하이레벨로 천이되면, 제4_o 박막트랜지스터(T4_o)가 턴-온되어 Qb_o노드(Qb_o)를 충전하고, 이에 따라 제3_o 박막트랜지스터(T3_o)가 턴-온되어 Q노드(Q)에 충전된 전압을 방전한다. 동시에 제2 박막트랜지스터(T2)도 턴-온되어, Q노드(Q)의 방전이 신속하게 진행되도록 한다. 이에 따라 풀-업 트랜지스터(TPU)은 턴-오프 된다.
- [0066] 이어서, Qb_o노드(Qb_o)의 충전이 완료되면, 제1 풀-다운 박막트랜지스터(TPD_o)가 턴-온되어 접지전압 레벨의 게이트 출력신호(VG_n)를 출력하게 된다.
- [0067] 이러한 동작을 2~3 프레임 수행하고, 차기 2~3 프레임동안에는 제1 게이트 구동전압(GVDD_o)이 로우레벨로 천이 되고, 제2 게이트 구동전압(GVDD_e)이 하이레벨로 천이됨에 따라, Qb_e노드(Qb_e)가 충전되면, 전술한 과정을 거쳐 제2 풀-다운 박막트랜지스터(TPD_e)를 턴-온시켜 접지전압 레벨의 게이트 출력신호(VG_n)를 출력하는 단계를 진행하게 된다.
- [0068] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와

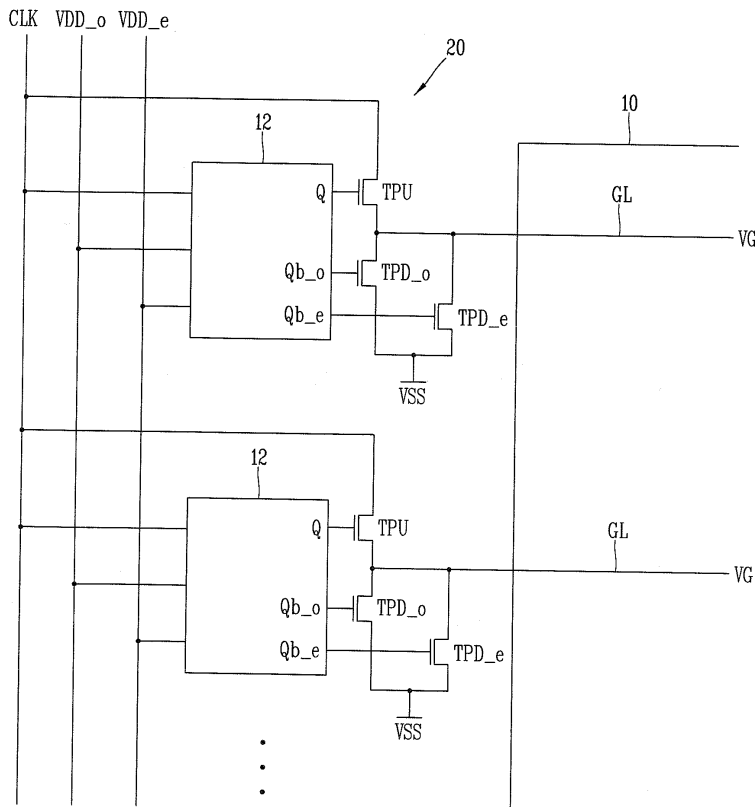
특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

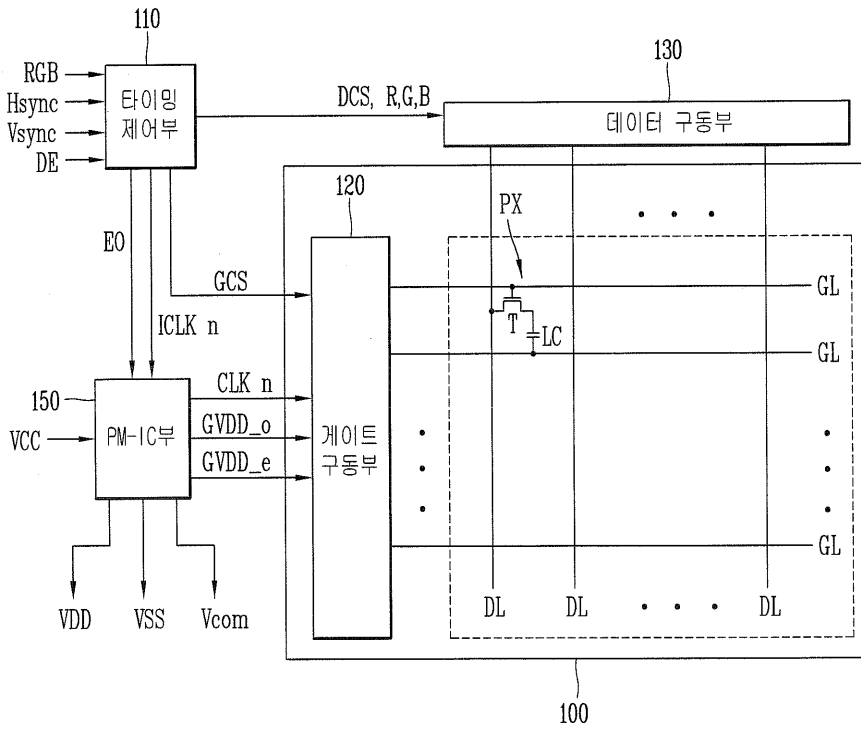
- [0069]
- | | |
|-------------------|------------------|
| 100 : 액정패널 | 110 : 타이밍 제어부 |
| 120 : 게이트 구동부 | 130 : 데이터 구동부 |
| 150 : PM-IC부 | GL : 게이트배선 |
| DL : 데이터배선 | PX : 화소 |
| T : 박막트랜지스터 | LC : 액정캐패시터 |
| E0 : 구동전압 인터페이스신호 | CLK : 클럭신호 |
| R,G,B : 데이터신호 | Hsync : 수평동기화신호 |
| Vsync : 수직동기화신호 | DE : 인에이블신호 |
| GCS : 게이트 제어신호 | DCS : 데이터 제어신호 |
| VCC : 시스템전원전압 | VDD : 일반구동전압 |
| VSS : 접지전압 | Vcom : 공통전압 |
| ICLK : 클럭인터페이스신호 | GVDD_o : 제1 구동전압 |
| GVDD_e : 제2 구동전압 | |

도면

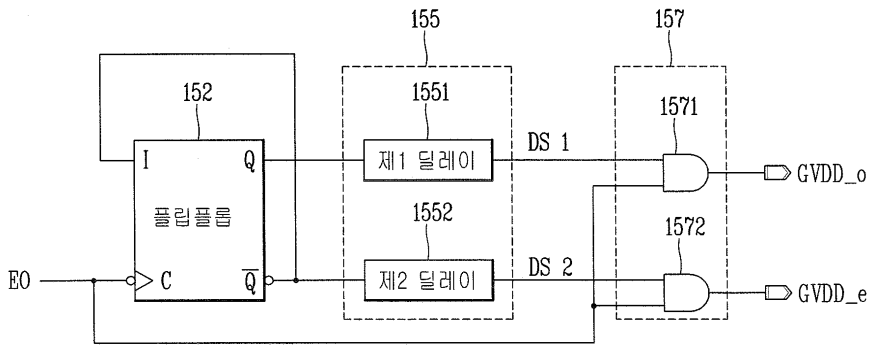
도면1



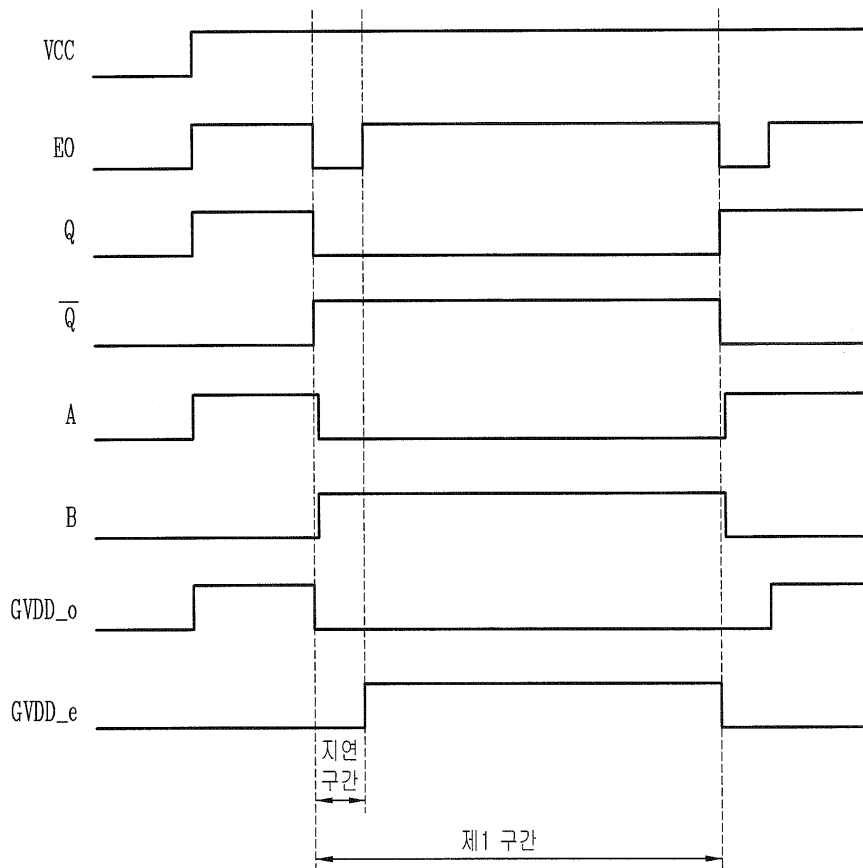
도면2



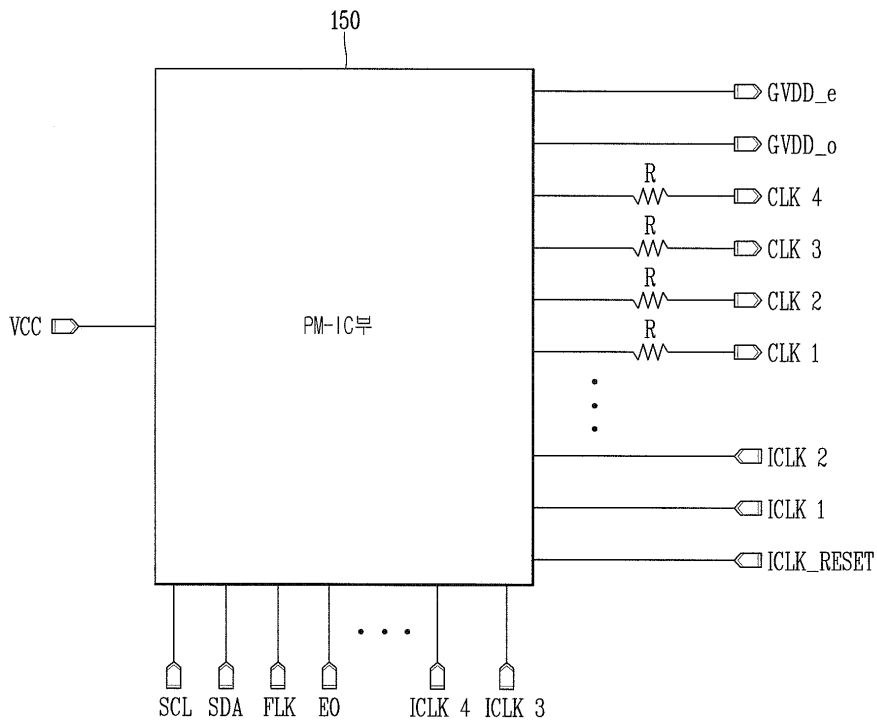
도면3



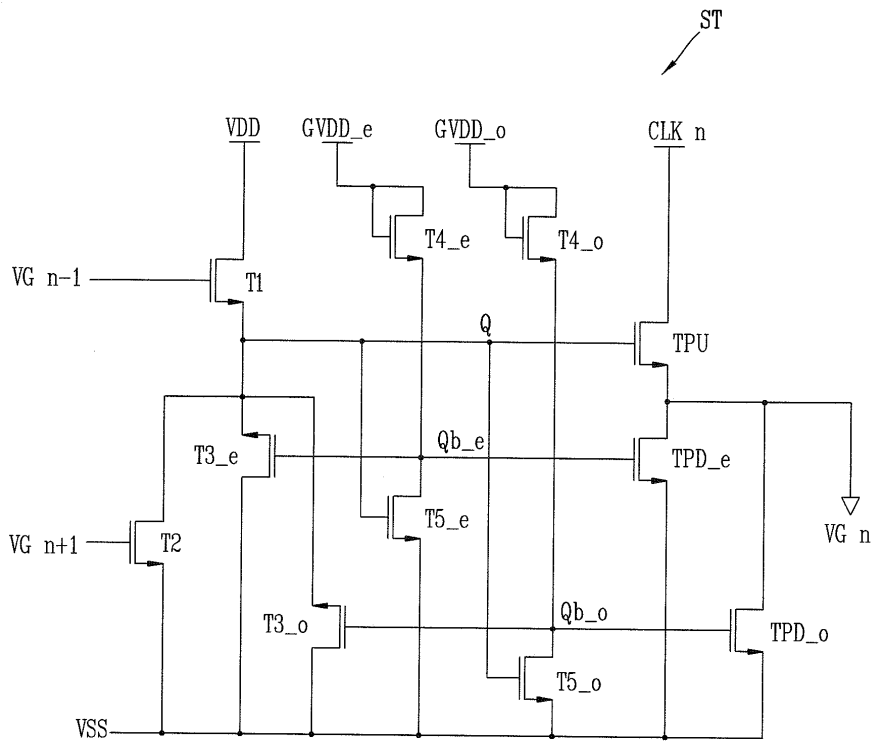
도면4



도면5



도면6



专利名称(译)	液晶显示装置及其驱动电路		
公开(公告)号	KR102051389B1	公开(公告)日	2019-12-03
申请号	KR1020130003620	申请日	2013-01-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	장세현		
发明人	장세현		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G02F1/133 G09G3/3614 G09G3/3696 G09G2310/08		
审查员(译)	庭院式		
其他公开文献	KR1020140091399A		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示装置的驱动电路。特别地，本发明涉及一种驱动电路和包括该驱动电路的液晶显示装置，该驱动电路和液晶显示装置通过减少电源管理IC (PM-IC) 的端子数量来降低IC的生产成本，并且将该端子替代为辅助端子。根据本发明实施例的液晶显示装置包括液晶面板；和门和数据驱动单元；定时控制单元；PM-IC单元，其从时序控制单元接收一个驱动电压接口信号，并产生第一和第二驱动电压，所述第一和第二驱动电压交替地驱动第一和第二降压晶体管。因此，通过根据一个驱动电压接口信号产生驱动电压来减少PM-IC的输入-输出端子的数量，降低了IC的生产成本，并用该端子代替了辅助端子。

