



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0068271  
(43) 공개일자 2020년06월15일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/>G02F 1/1339 (2019.01) G02F 1/1343 (2006.01)<br/>G02F 1/1362 (2006.01)</p> <p>(52) CPC특허분류<br/>G02F 1/1339A (2013.01)<br/>G02F 1/1343 (2013.01)</p> <p>(21) 출원번호 10-2018-0155048</p> <p>(22) 출원일자 2018년12월05일<br/>심사청구일자 없음</p> | <p>(71) 출원인<br/>엘지디스플레이 주식회사<br/>서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자<br/>김지은<br/>경기도 파주시 월롱면 엘지로 245</p> <p>이승욱<br/>경기도 파주시 월롱면 엘지로 245<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>특허법인 정안</p> |
|---|--|

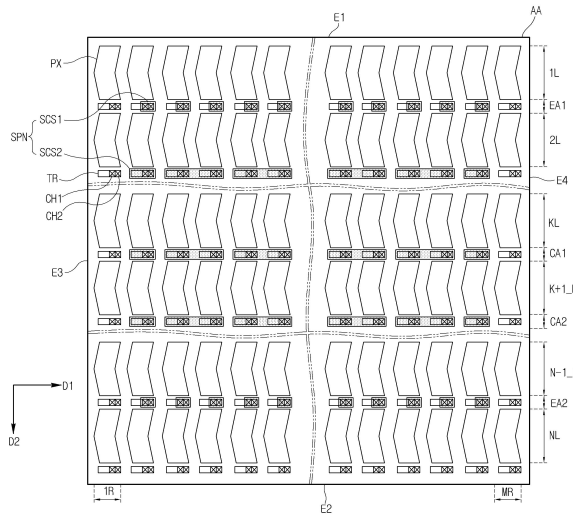
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 액정표시패널

(57) 요약

액정표시패널의 다수의 화소들의 각각은 화소전극과 공통전극을 포함하고, 다수의 화소들은 액티브 영역에 대응하여 제1 기판 위에 N개(N은 자연수)의 행들과 M개(M은 자연수)의 열들로 배열된다. 박막 트랜지스터는 제1 콘택홀을 통해 화소전극과 콘택된다. 차광성 스페이서 패턴은 다수의 화소들 중 서로 인접한 화소들 사이에 대응하여 제2 기판 위에 배치된다. 다수의 화소들 중 1번째 화소열과 M번째 화소열 각각에 대응하여 차광성 스페이서 패턴은 개구된다. 1번째 화소행과 2번째 화소행 사이 및 N-1번째 화소행과 N번째 화소행 사이에 정의되는 액티브 영역의 테두리 영역에서 차광성 스페이서 패턴은 제1 콘택홀과 중첩된다. 2번째 화소행과 N-1번째 화소행 사이에 정의되는 액티브 영역의 내측 영역에서 차광성 스페이서 패턴은 제1 콘택홀과 박막 트랜지스터에 중첩된다.

대표도



- (52) CPC특허분류  
*G02F 1/1362* (2013.01)  
*G02F 2001/13398* (2013.01)

**양광열**

경기도 파주시 월롱면 엘지로 245

- (72) 발명자  
**윤성모**  
경기도 파주시 월롱면 엘지로 245
-

## 명세서

### 청구범위

#### 청구항 1

액티브 영역이 정의된 액정표시패널에 있어서,

제1 기관;

상기 제1 기관에 마주하는 제2 기관;

상기 제1 기관과 상기 제2 기관의 사이에 개재되는 액정;

각각이 화소전극과 공통전극을 포함하여 행방향과 열방향으로 배열되고, 상기 액티브 영역에 대응하여 상기 제1 기관 위에 N개(N은 자연수)의 행들과 M개(M은 자연수)의 열들로 배열된 다수의 화소들;

상기 제1 기관 위에 배치된 절연막에 형성된 제1 콘택홀을 통해 상기 화소전극과 콘택되는 박막 트랜지스터; 및 차광성의 특성을 갖고, 상기 다수의 화소들 중 서로 인접한 화소들 사이에 대응하여 상기 제2 기관 위에 배치된 차광성 스페이스 패턴;을 포함하고,

상기 다수의 화소들 중 1번째 화소열과 M번째 화소열 각각에 대응하여 상기 차광성 스페이스 패턴은 개구된 형상을 갖고,

상기 다수의 화소들 중 1번째 화소행과 2번째 화소행 사이 및 N-1번째 화소행과 N번째 화소행 사이에 정의되는 상기 액티브 영역의 테두리 영역에서 상기 차광성 스페이스 패턴은 상기 제1 콘택홀과 중첩되고,

상기 다수의 화소들 중 2번째 화소행과 N-1번째 화소행 사이에 정의되는 상기 액티브 영역의 내측 영역에서 상기 차광성 스페이스 패턴은 상기 제1 콘택홀과 상기 박막 트랜지스터에 중첩되는 액정표시패널.

#### 청구항 2

제 1 항에 있어서, 상기 차광성 스페이스 패턴은,

상기 테두리 영역에 형성되어 상기 제1 콘택홀에 중첩되고, 상기 박막 트랜지스터에 이격되는 제1 스페이스; 및

상기 내측 영역에 형성되어 상기 제1 콘택홀과 상기 박막 트랜지스터에 중첩되는 제2 스페이스를 포함하는 액정표시패널.

#### 청구항 3

제 2 항에 있어서,

상기 공통전극 측으로 공통 전압을 제공하는 공통 전압 라인을 더 포함하고,

상기 공통전극은 상기 공통 전압 라인을 커버하는 절연막에 형성된 제2 콘택홀을 통해 상기 공통전극에 콘택되고,

상기 제1 스페이스와 상기 제2 스페이스는 상기 제2 콘택홀에 중첩되는 액정표시패널.

#### 청구항 4

제 2 항에 있어서, 상기 제1 스페이스의 상기 행방향의 길이는 상기 제2 스페이스의 상기 행방향의 길이보다 짧은 액정표시패널.

#### 청구항 5

제 2 항에 있어서, 상기 제1 스페이스의 크기는 상기 제2 스페이스의 크기보다 작은 액정표시패널.

#### 청구항 6

제 2 항에 있어서, 상기 테두리 영역에서 상기 제1 스페이스가 다수로 서로 이격되어 배열되고, 상기 내측 영역

에서 상기 제2 스페이서가 다수로 서로 이격되어 배열되고, 일정한 개수의 화소들에 대응하여 형성된 상기 제1 스페이서의 개수는 상기 제2 스페이서의 개수보다 많은 액정표시패널.

**청구항 7**

제 2 항에 있어서,

상기 제1 기관과 상기 제2 기관 간의 갭을 지지하는 갭 스페이서를 더 포함하고,

상기 갭 스페이서는 상기 제2 기관 위에 배치되어 상기 제1 기관 위에 배치된 최상층과 접촉되고, 상기 제1 스페이서와 상기 제2 스페이서의 각각은 상기 제1 기관 위에 배치된 최상층과 이격되는 액정표시패널.

**청구항 8**

제 7 항에 있어서, 상기 갭 스페이서는 차광성 특성을 갖는 것을 특징으로 하는 액정표시패널.

**청구항 9**

제 1 항에 있어서,

상기 다수의 화소들의 각각에 대응하여 상기 제1 기관 위에 배치된 컬러필터를 더 포함하고,

상기 공통전극과 상기 화소전극은 상기 컬러필터에 중첩된 액정표시패널.

**청구항 10**

제 1 항에 있어서,

상기 액티브 영역의 비화소 영역에 대응하여 상기 제1 기관 위에 배치되는 컬러필터들을 더 포함하고,

상기 컬러필터들은 서로 다른 색상을 가져 다중층 구조로 적층되어 차광성의 특성을 갖는 액정표시패널.

**청구항 11**

제 10 항에 있어서, 상기 비화소 영역에서 상기 차광성 스페이서 패턴은 상기 다중층 구조를 갖는 컬러필터들에 중첩된 액정표시패널.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정표시패널에 관한 것으로, 보다 상세하게는 표시품질이 향상된 액정표시패널에 관한 것이다.

**배경 기술**

[0002] 액정표시장치는 액정표시패널과 백라이트를 포함한다. 백라이트는 광을 출력하고, 액정표시패널은 백라이트로부터 출력되는 광을 이용하여 영상을 표시한다. 액정표시패널에는 액티브 영역에 대응하여 배열된 다수의 화소들이 구비되며, 액정표시패널은 액티브 영역을 통해 출력되는 광을 이용하여 영상을 표시한다.

[0003] 액정표시패널은 서로 마주하는 두 기관들과 상기 두 기관들 사이에 개재된 액정을 포함한다. 상기 두 기관들 중 어느 하나에는 다수의 화소들이 형성되고, 상기 다수의 화소들 각각은 화소전극과 공통전극으로 구성될 수 있다. 화소전극과 공통전극 간에는 전계가 형성되며, 상기 전계에 의해 액정의 액정분자들의 배열 상태가 조절되고, 이에 따라 액정표시패널을 투과하는 광량이 조절되어 액정표시패널에 영상이 표시될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 목적은 액티브 영역의 전체에 걸쳐 균일하게 제공된 액정을 포함하여 표시품질이 향상된 액정표시패널을 제공하는 데 있다.

**과제의 해결 수단**

- [0005] 상술한 본 발명의 목적을 달성하기 위하여, 액티브 영역이 정의된 액정표시패널은 제1 기관, 제2 기관, 액정, 다수의 화소들, 박막 트랜지스터 및 차광성 스페이서 패턴을 포함한다.
- [0006] 상기 제1 기관과 상기 제2 기관은 서로 마주하고, 상기 액정은 상기 제1 기관과 상기 제2 기관의 사이에 개재된다. 상기 다수의 화소들의 각각은 화소전극과 공통전극을 포함하고, 상기 다수의 화소들은 상기 액티브 영역에 대응하여 상기 제1 기관 위에 N개(N은 자연수)의 행들과 M개(M은 자연수)의 열들로 배열된다.
- [0007] 상기 박막 트랜지스터는 제1 기관 위에 배치된 절연막에 형성된 제1 콘택홀을 통해 상기 화소전극과 콘택된다. 상기 차광성 스페이서 패턴은 차광성의 특성을 갖고, 상기 차광성 스페이서 패턴은 상기 다수의 화소들 중 서로 인접한 화소들 사이에 대응하여 상기 제2 기관 위에 배치된다.
- [0008] 상기 다수의 화소들 중 1번째 화소열과 M번째 화소열 각각에 대응하여 상기 차광성 스페이서 패턴은 개구된다. 또한, 상기 다수의 화소들 중 1번째 화소행과 2번째 화소행 사이 및 N-1번째 화소행과 N번째 화소행 사이에 정의되는 상기 액티브 영역의 테두리 영역에서 상기 차광성 스페이서 패턴은 상기 제1 콘택홀과 중첩된다. 또한, 상기 다수의 화소들 중 2번째 화소행과 N-1번째 화소행 사이에 정의되는 상기 액티브 영역의 내측 영역에서 상기 차광성 스페이서 패턴은 상기 제1 콘택홀과 상기 박막 트랜지스터에 중첩된다.

**발명의 효과**

- [0009] 본 발명의 실시예에 따르면, 액정표시패널의 액티브 영역 내의 위치에 따라 차광성 스페이서 패턴이 차등적인 형상으로 설계될 수 있다. 따라서, 액티브 영역의 내측 영역에서는 반사되는 외부광이 흡수되는 효과가 향상될 수 있고, 액티브 영역의 테두리 영역에서는 액정의 미퍼짐 불량이 방지될 수 있다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명의 일 실시예 따른 액정표시패널의 사시도이다.
- 도 2는 도 1에 도시된 액티브 영역의 테두리 영역과 내측 영역에 배열된 화소들을 확대하여 나타낸 도면이다.
- 도 3은 도 2에 도시된 액티브 영역의 테두리 영역에 배치된 화소와 이에 대응하여 배치된 차광성 스페이서 패턴의 제1 스페이서를 나타내는 평면도이다.
- 도 4는 도 3에 도시된 I-I'을 따라 절취된 면을 나타내는 단면도이다.
- 도 5는 도 3에 도시된 II-II'을 따라 절취된 면을 나타내는 단면도이다.
- 도 6은 도 2에 도시된 액티브 영역의 내측 영역에 배치된 화소와 이에 대응하여 배치된 차광성 스페이서 패턴의 제2 스페이서를 나타내는 평면도이다.
- 도 7은 도 6에 도시된 III-III'을 따라 절취된 면을 나타내는 단면도이다.
- 도 8은 도 1에 도시된 액정표시패널의 액티브 영역 내에 배치된 화소들과 화소들에 대응되어 형성된 차광성 스페이서 패턴을 나타낸 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 살펴보기로 한다. 상기한 본 발명의 목적, 특징 및 효과는 도면과 관련된 실시예들을 통해서 이해될 수 있을 것이다. 다만, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고, 다양한 형태로 응용되어 변형될 수도 있다. 오히려 후술될 본 발명의 실시예들은 본 발명에 의해 개시된 기술 사상을 보다 명확히 하고, 나아가 본 발명이 속하는 분야에서 평균적인 지식을 가진 당업자에 본 발명의 기술 사상이 충분히 전달될 수 있도록 제공되는 것이다. 따라서, 본 발명의 범위가 후술될 실시예들에 의해 한정되는 것으로 해석되어서는 안될 것이다. 한편, 하기 실시예와 도면 상에 동일한 참조 번호들은 동일한 구성 요소를 나타낸다.
- [0012] 또한, 본 명세서에서 '제1' 및 '제2' 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 '위에' 또는 '상에' 있다고 할 때, 다른 부분 바로 위에 있는 경우 뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0013] 도 1은 본 발명의 일 실시예 따른 액정표시패널의 사시도이고, 도 2는 도 1에 도시된 액티브 영역의 테두리 영

역과 내측 영역에 배열된 화소들을 확대하여 나타낸 도면이다.

- [0014] 도 1 및 도 2를 참조하면, 액정표시패널(500)은 티브이, 스마트폰, 모니터 및 태블릿PC와 같은 정보처리장치에 장착되어 백라이트(미도시)로부터 출력되는 광을 이용하여 영상을 표시한다.
- [0015] 액정표시패널(500)에는 액티브 영역(AA)이 정의되고, 액티브 영역(AA)에 대응하여 액정표시패널(500)에는 다수의 화소들(PX)이 배열된다. 이 실시예에서는 다수의 화소들(PX)은 제1 방향(D1)의 행방향과 제2 방향(D2)의 열방향으로 매트릭스 형상으로 배열된다.
- [0016] 이 실시예에서는 액정표시패널(500)은 어레이 기관(100), 대향 기관(300) 및 액정(도 5의 200)을 포함한다. 어레이 기관(100)과 대향 기관(300)은 서로 대향하도록 배치되며, 어레이 기관(100)과 대향 기관(300) 중 어느 하나에 실런트가 제공되어 상기 실런트에 의해 어레이 기관(100)과 대향 기관(300)이 서로 결합될 수 있다.
- [0017] 액정(도 5의 200)은 어레이 기관(100)과 대향 기관(300)의 사이에 개재된다. 상기 액정에는 액정분자들이 배치되고, 보다 상세하게는 어레이 기관(100)과 대향 기관(300)의 사이에 정의되는 갭에 상기 액정이 채워진다. 이 실시예에서는, 상기 액정은 어레이 기관(100) 또는 대향 기관(300) 중 어느 하나의 중앙부 위에 액적의 상태로 제공되고, 액정이 제공된 기관이 회전되어 발생하는 원심력에 의해 액정이 기관의 에지들을 향해 퍼지는 방식으로 형성될 수 있다.
- [0018] 이 실시예에서는 다수의 화소들(PX)의 각각은 화소전극(도 3의 PE) 및 공통전극(도 3의 CE)을 포함할 수 있다. 다수의 화소들(PX)의 각각은 상기 화소전극과 상기 공통전극 간에 발생하는 전계를 이용하여 액정의 액정 분자들의 배열을 제어한다. 또한, 다수의 화소들(PX)의 각각에 인접하여 박막 트랜지스터(TR)가 배치될 수 있으며, 박막 트랜지스터(TR)는 상기 화소전극에 전기적으로 연결되어 상기 화소전극 측으로 제공되는 화소전압을 스위칭할 수 있다.
- [0019] 이 실시예에서는, 다수의 화소들(PX) 중 인접한 화소들 사이에 대응하여 대향 기관(300)에 차광성 스페이서 패턴(SPN)이 구비된다. 차광성 스페이서 패턴(SPN)은 레진과 카본이 혼합된 차광성 레진으로 형성되어 광을 흡수하는 특성을 가질 수 있다. 상술한 구조를 갖는 차광성 스페이서 패턴(SPN)은 외부로부터 액정표시패널(500) 측으로 진행되는 외부광 및 액정표시패널(500)에서 반사되는 외부광을 흡수할 수 있다.
- [0020] 따라서, 차광성 스페이서 패턴(SPN)에 의해 액정표시패널(500)의 표면에서 반사되는 외부광의 광량이 감소되어 액정표시패널(500)의 액티브 영역(AA)에서 표시되는 영상의 선명도가 향상될 수 있다. 또한, 어레이 기관(100)과 대향 기관(300) 사이의 공간이 차광성 스페이서 패턴(SPN)으로 채워지므로 어레이 기관(100)과 대향 기관(300) 사이의 공간에 채워지는 액정의 양이 저감되는 효과도 발생할 수 있다.
- [0021] 이 실시예에서는 차광성 스페이서 패턴(SPN)은 다수의 제1 스페이서들(SCS1)과 다수의 제2 스페이서들(SCS2)을 포함한다. 다수의 제1 스페이서들(SCS1)의 각각은 제1 콘택홀(CH1)과 제2 콘택홀(CH2)에 중첩된다. 다수의 제2 스페이서들(SCS2)의 각각은 제1 콘택홀(CH1)과 제2 콘택홀(CH2) 뿐만 아니라 박막 트랜지스터(TR)에 중첩될 수 있다.
- [0022] 이 실시예에서는 다수의 제1 스페이서들(SCS1)의 각각의 제1 방향(D1)에 대한 제1 길이(LE1)는 다수의 제2 스페이서들(SCS2)의 각각의 제1 방향(D1)에 대한 제2 길이(LE2)보다 짧을 수 있고, 다수의 제1 스페이서들(SCS1)의 각각의 크기는 다수의 제2 스페이서들(SCS2)의 각각의 크기보다 작을 수 있다. 즉, 다수의 제2 스페이서들(SCS2)의 각각은 다수의 제1 스페이서들(SCS1)의 각각에 비해 제1 방향(D1)으로 더 신장된 구조를 갖는다. 따라서, 도 2에 도시된 바와 같이, 4개의 화소들에 대응하여 형성된 제1 스페이서(SCS1)의 개수가 4개라면, 4개의 화소들에 대응하여 형성된 제2 스페이서(SCS2)의 개수는 4개보다 적은 2개일 수 있다.
- [0023] 이 실시예에서는 액티브 영역(AA) 내의 위치에 따라 차광성 스페이서 패턴(SPN)이 차등적인 형상으로 설계될 수 있다. 보다 상세하게는, 이 실시예에서 액티브 영역(AA)이 상측변(E1), 하측변(E2), 좌측변(E3) 및 우측변(E4)으로 정의될 수 있고, 액티브 영역(AA) 내의 상측변(E1)에 인접한 제1 테두리 영역(EA1)에서는 차광성 스페이서 패턴(SPN)의 다수의 제1 스페이서들(SCS1)이 배치된다. 또한, 액티브 영역(AA)의 제1 내측 영역(CA1)에서는 차광성 스페이서 패턴(SPN)의 다수의 제2 스페이서들(SCS2)이 배치된다.
- [0024] 본 발명의 실시예와 달리, 액티브 영역(AA)의 전체에 다수의 제2 스페이서들(SCS2)으로만 구성된 차광성 스페이서 패턴(SPN)이 적용되는 경우에, 차광성 스페이서 패턴(SPN)에 의해 표시품질이 향상되는 효과와 액정의 사용량이 감소되는 효과가 최대화될 수 있으나, 이 경우에 어레이 기관(100)과 대향기관(300) 사이에 액정을 주입할 때 차광성 스페이서 패턴(SPN)에 의해 액정이 퍼지는 동작을 방해하여 액티브 영역(AA)의 상측변(E1), 하측변

(E2) 및 좌측면(E3)와 우측면(E4) 측에 액정의 미퍼짐 현상이 발생할 수 있다. 따라서, 본 발명의 실시예에서는 액정의 퍼짐성을 고려하여 액티브 영역(AA)의 위치에 따라 차광성 스페이서 패턴(SPN)이 차등적으로 설계될 수 있다.

- [0025] 도 3은 도 2에 도시된 액티브 영역의 테두리 영역에 배치된 화소와 이에 대응하여 배치된 차광성 스페이서 패턴의 제1 스페이서를 나타내는 평면도이고, 도 4는 도 3에 도시된 I-I'을 따라 절취된 면을 나타내는 단면도이고, 도 5는 도 3에 도시된 II-II'을 따라 절취된 면을 나타내는 단면도이다.
- [0026] 도 3, 도 4 및 도 5를 참조하여 액정표시패널(500)의 화소영역(PA)에 배치된 화소(PX)와 비화소영역(NPA)에 배치된 박막 트랜지스터(TR)의 구조를 설명하면 다음과 같다.
- [0027] 액정표시패널(500)의 어레이 기관(100)은 제1 기관(10), 박막 트랜지스터(TR), 게이트 라인(GL), 데이터 라인(DL), 공통 전압 라인(CL), 스토리지 커패시터(STG), 제1 컬러필터(CF1) 및 제2 컬러필터(CF2)를 포함한다.
- [0028] 제1 기관(20)은 글라스 기관과 같이 투명한 기관일 수 있다. 게이트 라인(GL)은 게이트 메탈로 형성되어 제1 기관(20) 위에 배치된다. 데이터 라인(DL)은 소스/드레인 메탈로 형성되고, 데이터 라인(DL)은 게이트 절연막(L1)에 의해 게이트 라인(GL)에 절연되어 게이트 라인(GL)에 교차한다.
- [0029] 박막 트랜지스터(TR)는 게이트 전극(GE), 액티브 패턴(AP), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다. 게이트 전극(GE)은 게이트 라인(GL)으로부터 분기되고, 액티브 패턴(AP)은 게이트 절연막(L1)을 사이에 두고 게이트 전극(GE)에 중첩된다. 소스 전극(SE)은 데이터 라인(DL)으로부터 분기되어 액티브 패턴(AP)에 콘택된다. 드레인 전극(DE)은 소스 전극(SE)에 이격되어 액티브 패턴(AP)에 콘택된다. 드레인 전극(DE)은 제1 콘택홀(CH1)을 통해 화소전극(50)에 콘택되고, 이에 따라 드레인 전극(DE)을 통해 출력되는 데이터 신호가 화소전극(50)에 제공될 수 있다.
- [0030] 공통 전압 라인(CL)은 상기 게이트 메탈로 형성되어 게이트 라인(GL)과 평행하게 제1 기관(10) 위에 배치된다. 이 실시예에서는 공통 전압 라인(CL)은 제2 콘택홀(CH2)을 통해 공통전극(CE)에 콘택된다. 따라서, 공통 전압 라인(CL)을 통해 공통 전압이 공통전극(CE) 측으로 제공될 수 있다.
- [0031] 층간 절연막(L2)은 박막 트랜지스터(TR)를 커버하고, 층간 절연막(L2) 위에는 제1 컬러필터(CF1)와 제2 컬러필터(CF2)가 배치될 수 있다. 즉, 이 실시예에서는 제1 컬러필터(CF1)와 제2 컬러필터(CF2)는 어레이 기관(100) 위에 구비되는 것으로, 액정표시패널(500)은 씨오티(color filter on TFT, COT)의 구조를 가질 수 있다.
- [0032] 이 실시예에서는, 제1 컬러필터(CF1)는 적색 컬러필터일 수 있고, 제2 컬러필터(CF2)는 청색 컬러필터 일 수 있다. 따라서, 도 4에 도시된 바와 같이, 화소영역(PA) 내에 배치되는 제2 컬러필터(CF2)는 화소전극(PE)과 공통전극(CE)의 하부에 배치되어 백라이트(미도시)로부터 출력된 백색광을 청색광으로 필터링한다. 따라서, 제2 컬러필터(CF2)에 의해 화소(PX)에 청색광이 출력될 수 있다.
- [0033] 다른 실시예에서는, 제1 컬러필터(CF1)는 녹색 컬러필터 또는 청색 컬러필터와 같은 적색 이외의 컬러필터일 수 있다. 또한, 제2 컬러필터(CF2)는 적색 컬러필터 또는 녹색 컬러필터와 같은 청색 이외의 컬러필터일 수 있고, 제2 컬러필터(CF2)는 제1 컬러필터(CF1)와 다른 색상의 컬러필터일 수 있다.
- [0034] 이와 반면에, 도 5에 도시된 바와 같이, 비화소영역(NPA) 내에서 제2 컬러필터(CF2)는 제1 컬러필터(CF1) 위에 적층될 수 있다. 즉, 다중층 구조를 갖는 제1 및 제2 컬러필터들(CF1, CF2)은 박막 트랜지스터(TR), 공통 전압 라인(CL) 및 박막 트랜지스터(TR)와 같이 화소(PX)를 구동하는 회로부에 중첩될 수 있다. 따라서, 비화소영역(NPA)에서는 제1 및 제2 컬러필터들(CF1, CF2)의 적층된 구조에 의해 백라이트(미도시)로부터 출력되는 광이 차단될 수 있다.
- [0035] 이 실시예에서와 같이, 액정표시패널(500)이 외부광의 반사를 차단하는 차광성 스페이서 패턴(도 2의 SPN) 및 비화소영역(NPA)에서 백라이트의 광을 차단하는 다중층 구조를 갖는 제1 및 제2 컬러필터들(CF1, CF2)을 포함하는 경우에, 액정표시패널(500)의 구성요소로 차광성의 특성을 갖는 블랙 매트릭스가 생략될 수 있다.
- [0036] 비화소영역(NPA)에서 제1 컬러필터(CF1), 제2 컬러필터(CF2) 및 층간 절연막(L2)이 부분적으로 제거되어 정의되는 제1 콘택홀(CH1)을 통해 화소전극(PE)이 드레인 전극(DE)에 콘택된다. 또한, 비화소영역(NPA)에서 제1 컬러필터(CF1), 제2 컬러필터(CF2), 층간 절연막(L2) 및 게이트 절연막(L1)이 부분적으로 제거되어 정의되는 제2 콘택홀(CH2)을 통해 공통전극(CE)이 공통 전압 라인(CL)에 콘택된다.
- [0037] 화소영역(PA)에서는 화소전극(PE)과 공통전극(CE)이 서로 이격되어 수평하게 배열된다. 이 실시예에서는 화소

전극(PE)과 공통전극(CE)의 각각은 다수의 바 형상을 갖는 분기부들을 포함하고, 제2 컬러필터(CF2) 위에 화소 전극(PE)의 분기부들과 공통전극(CE)의 분기부들이 서로 이격되어 교번적으로 배열된다. 따라서, 화소전극(PE)과 공통전극(CE) 간에 프린지 필드가 생성되어 액정(200)의 액정분자들의 방향자들이 배열방향이 조절될 수 있다.

- [0038] 이 실시예에서는 화소전극(PE)과 공통전극(CE)의 각각은 인듐틴옥사이드(indium tin oxide, ITO) 및 인듐징크옥사이드(indium zinc oxide, IZO)와 같은 투명한 도전물로 형성될 수 있다.
- [0039] 이 실시예에서는 스토리지 커패시터(STG)는 공통 전압 라인(CL)의 일 부분과 드레인 전극(DE)의 일 부분이 중첩되어 형성될 수 있다. 스토리지 커패시터(STG)는 박막 트랜지스터(TR)로부터 출력된 데이터 신호에 대응하는 전압과 공통 전압 라인(CL)의 공통 전압의 차이에 대응하는 전하량을 충전할 수 있다.
- [0040] 대향 기관(300)은 제2 기관(310), 갭 스페이서(GS) 및 차광성 스페이서 패턴(도 2의 SPN)을 구성하는 제1 스페이서(SCS1)를 포함한다.
- [0041] 제2 기관(310)은 글라스 기관과 같이 투명성 기관일 수 있다. 갭 스페이서(GS)는 제2 기관(310) 위에 배치되어 제1 기관(10) 위에 배치된 최상층에 접촉될 수 있다. 따라서, 도 4에 도시된 바와 같이, 갭 스페이서(GS)는 제1 기관(10) 위에 배치된 제2 컬러필터(CF2)에 접촉될 수 있고, 이에 따라 갭 스페이서(GS)에 의해 제1 기관(10)과 제2 기관(310) 간의 갭이 유지될 수 있다.
- [0042] 이 실시예에서는, 전술된 차광성 스페이서 패턴(도 2의 SPN)과 같이, 갭 스페이서(GS)는 차광성의 특성을 가질 수 있다. 따라서, 갭 스페이서(GS)에 의해 제1 기관(10)과 제2 기관(310) 사이에 액정(200)이 채워지는 갭이 확보될 수 있고, 갭 스페이서(GS)에 의해 외부광이 흡수되어 외부광의 반사에 의해 액정표시패널(500)의 표시품질이 저하되는 것이 방지될 수 있다.
- [0043] 앞서 도 2를 참조하여 설명된 바와 같이, 제1 스페이서(SCS1)는 차광성 스페이서 패턴(도 2의 SPN)을 구성한다. 이 실시예에서는 제1 스페이서(SCS1)는 차광성의 특성을 갖고, 제1 스페이서(SCS1)는 제2 기관(310) 위에 배치되어 액정표시패널(500)의 외부로부터 액정표시패널(500)의 내측을 향해 진행하는 외부광 또는 액정표시패널(500)에 구비된 금속층들에서 반사된 외부광을 흡수한다.
- [0044] 이 실시예에서는 제1 스페이서(SCS1)는 제1 콘택홀(CH1)과 제2 콘택홀(CH2)에 중첩될 수 있다. 전술된 바와 같이 화소전극(PE)과 공통전극(CE) 각각이 투명전극으로 형성되는 경우에, 외부광이 상기 투명전극을 통과하여 제1 콘택홀(CH1)의 하부에 위치한 드레인 전극(DE)과 제2 콘택홀(CH2)의 하부에 위치한 공통 전압 라인(CL)에 반사되더라도, 제1 스페이서(SCS1)에 의해 반사된 외부광이 흡수될 수 있다. 따라서, 제1 스페이서(SCS1)에 의해 액정표시패널(500)에서 영상을 표시하기 위한 표시광에 혼합되는 반사된 외부광의 광량이 저감되므로 액정표시패널(500)의 표시품질이 향상될 수 있다.
- [0045] 또한, 비화소영역(NPA)에서 제1 스페이서(SCS1)에 의해 어레이 기관(100)과 대향 기관(300) 사이의 갭이 메꾸어질 수 있으므로, 상기 갭에 채워지는 액정(200)의 부피가 감소될 수 있다. 그 결과, 제1 스페이서(SCS1)에 의해 액정표시패널(500)의 제조에 필요한 액정(200)의 사용량이 감소되어 액정표시패널(500)의 제조 비용이 절감되는 효과가 발생될 수 있다.
- [0046] 도 6은 도 2에 도시된 액티브 영역의 내측 영역에 배치된 화소와 이에 대응하여 배치된 차광성 스페이서 패턴의 제2 스페이서를 나타내는 평면도이고, 도 7은 도 6에 도시된 III-III'을 따라 절취된 면을 나타내는 단면도이다. 한편, 도 6과 도 7을 설명함에 있어서, 앞서 설명된 구성요소들에 대해서는 도면 부호를 병기하고, 상기 구성요소들에 대한 중복된 설명은 생략된다.
- [0047] 도 6 및 도 7을 참조하면, 액티브 영역(도 2의 AA)의 내측 영역(CA)에 배치되는 화소(PX)에 대응되어 차광성 스페이서 패턴(도 2의 SPN)을 구성하는 제2 스페이서(SCS2)가 배치된다. 이 실시예에서는 제2 스페이서(SCS2)는 차광성의 특성을 갖고, 제2 스페이서(SCS2)는 제2 기관(310) 위에 배치되어 액정표시패널(500)의 외부로부터 액정표시패널(500)의 내측을 향해 진행하는 외부광 또는 액정표시패널(500)에 구비된 금속층에서 반사되는 외부광을 흡수한다.
- [0048] 이 실시예에서는 제2 스페이서(SCS2)는 제1 콘택홀(CH1)과 제2 콘택홀(CH2) 뿐만 아니라 박막 트랜지스터(TR)에 중첩될 수 있다. 따라서, 제2 스페이서(SCS2)에 의해 제1 및 제2 콘택홀들(CH1, CH2)의 위치에 대응하여 반사되는 외부광과 박막 트랜지스터(TR)를 구성하는 금속층들에서 반사되는 외부광이 흡수될 수 있다.
- [0049] 다시 도 1 및 도 2를 참조하면, 액티브 영역(AA)에서 외부광 반사에 의해 액정표시패널(500)의 표시품질이 저하

되는 것을 방지하기 위하여 액정표시패널(500)에 차광성 스페이서 패턴(SPN)이 구비되고, 차광성 스페이서 패턴(SPN)은 제1 스페이서(SCS1)와 제2 스페이서(SCS2)를 포함한다. 또한, 이 실시예에서는 액티브 영역(AA)의 위치에 따라 차광성 스페이서 패턴(SPN)의 제1 스페이서(SCS1)와 제2 스페이서(SCS2) 중 어느 하나가 선택적으로 배치된다. 이에 대해서 도 8을 참조하여 보다 상세히 설명하면 다음과 같다.

- [0050] 도 8은 도 1에 도시된 액정표시패널의 액티브 영역 내에 배치된 화소들과 화소들에 대응되어 형성된 차광성 스페이서 패턴을 나타낸 평면도이다.
- [0051] 도 8을 참조하면, 이 실시예에서는 액티브 영역(AA)은 장방형의 형상을 가질 수 있고, 이 경우에 액티브 영역(AA)은 상측변(E1), 하측변(E2), 좌측변(E3) 및 우측변(E4)에 의해 정의될 수 있다. 상측변(E1)과 하측변(E2)은 제1 방향(D1)과 나란하여 서로 대향하고, 좌측변(E3)과 우측변(E4)은 제2 방향(D2)과 나란하여 서로 대향하고, 좌측변(E3)과 우측변(E4)의 각각은 상측변(E1)을 하측변(E2)에 연결한다.
- [0052] 또한, 상술한 액티브 영역(AA)의 형상에 대응되도록 다수의 화소들(PX)은 제1 방향(D1)의 행방향 제2 방향(D2)의 열방향으로 매트릭스의 형상으로 배열된다. 보다 상세하게는, 이 실시예에서는 다수의 화소들(PX)로 이루어진 매트릭스는 N개(N은 자연수)의 화소행들 및 M개(M은 자연수)의 화소열들로 구성된다.
- [0053] 예를 들어, 상측변(E1)에 가장 인접하여 1번째 화소행(1L)이 배열되고, 1번째 화소행(1L)의 다음에 2번째 화소행(2L)이 배열되고, 하측변(E2)에 인접하여 N-1번째 화소행(N-1\_L)과 N번째 화소행(NL)이 순차적으로 배열되고, N번째 화소행(NL)은 하측변(E2)에 가장 인접하여 배열된다. 또한, 좌측변(E3)에 가장 인접하여 1번째 화소열(1R)이 배열되고, 우측변(E4)에 가장 인접하여 M번째 화소열(MR)이 배열된다.
- [0054] 차광성 스페이서 패턴(SPN)은 다수의 화소들(PX) 중 서로 인접한 화소들 사이에 대응하여 위치한다. 또한, 전술된 바와 같이, 이 실시예에서는 차광성 스페이서 패턴(SPN)은 제1 스페이서(SCS1)와 제2 스페이서(SCS2)를 포함하며, 액티브 영역(AA) 내에 위치에 따라 차광성 스페이서 패턴(SPN)의 제1 및 제2 스페이서들(SCS1, SCS2) 중 어느 하나가 선택적으로 배치되거나, 차광성 스페이서 패턴(SPN)이 개구된 형상을 가질 수 있다.
- [0055] 이하, 이 실시예에 따른 차광성 스페이서 패턴(SPN)을 설계하는 데 있어서 적용되는 제1 규칙, 제2 규칙 및 제3 규칙을 다수의 화소들(PX)의 배치와 관련시켜 설명하면 다음과 같다.
- [0056] 상기 제1 규칙에 따른 차광성 스페이서 패턴(SPN)의 구조에 따르면, 1번째 화소열(1R)과 M번째 화소열(MR) 각각에 대응하여 차광성 스페이서 패턴(SPN)은 개구된 형상을 갖는다. 바꾸어 말하면, 상기 제1 규칙에 따르면, 차광성 스페이서 패턴(SPN)은 1번째 화소열(1R)과 M번째 화소열(MR) 각각에서 서로 인접한 두 개의 화소들(PX) 사이에 형성되지 않는다.
- [0057] 본 발명의 실시예와 달리, 차광성 스페이서 패턴(SPN)이 1번째 화소열(1R)과 M번째 화소열(MR) 각각에 대응하여 형성되는 경우에, 차광성 스페이서 패턴(SPN)이 주입되는 액정의 퍼짐을 방해하는 구조물로 작용할 수 있으므로 차광성 스페이서 패턴(SPN)에 의해 주입되는 액정이 좌측변(E3) 및 우측변(E4) 측으로 퍼짐이 용이하지 않을 수 있다. 하지만, 본 발명의 실시예에서는 1번째 화소열(1R)과 M번째 화소열(MR) 각각에 대응하여 차광성 스페이서 패턴(SPN)이 개구된 형상을 가짐에 따라, 주입되는 액정이 좌측변(E3) 및 우측변(E4) 측으로 용이하게 퍼질 수 있다. 그 결과, 주입되는 액정이 좌측변(E3) 및 우측변(E4) 측으로 퍼지지 않아 액정표시패널(500)의 표시 품질이 저하되는 것이 방지될 수 있다.
- [0058] 상기 제2 규칙에 따른 차광성 스페이서 패턴(SPN)의 구조에 따르면, 1번째 화소행(1L)과 2번째 화소행(2L) 사이의 제1 테두리 영역(EA1)과 N-1번째 화소행(N-1\_L)과 N번째 화소행(NL) 사이로 정의되는 제2 테두리 영역(EA2)에는 차광성 스페이서 패턴(SPN)의 제1 스페이서(SCS1)가 다수로 형성된다.
- [0059] 앞서 도 3을 참조하여 설명된 바와 같이, 다수의 제1 스페이서(SCS1)의 각각은 제1 콘택홀(CH1)과 제2 콘택홀(CH2)에 중첩되나, 다수의 제1 스페이서(SCS1)의 각각은 박막 트랜지스터(TR)에는 중첩되지 않으므로 다수의 제1 스페이서(SCS1)의 크기는 다수의 제2 스페이서(SCS2)의 크기보다 작을 수 있다. 따라서, 액티브 영역(AA)의 4개의 변들(EA1-EA4)에 인접한 부분에서는 외부광을 흡수하는 특성과 액정의 퍼짐성 중에 액정의 퍼짐성이 우선적으로 고려될 수 있으므로, 액티브 영역(AA)의 제1 및 제2 테두리 영역들(EA1, EA2)에서는 다수의 제2 스페이서(SCS2) 보다 다수의 제1 스페이서(SCS1)가 배치될 수 있다.
- [0060] 상기 제3 규칙에 따른 차광성 스페이서 패턴(SPN)의 구조에 따르면, 2번째 화소행(2L)과 N-1번째 화소행(N-1\_L)의 사이로 정의되는 액티브 영역(AA)의 내측 영역에는 차광성 스페이서 패턴(SPN)의 제2 스페이서(SCS2)가 다수로 형성된다. 예를 들어, K번째 화소행(K는 N보다 작은 자연수, KL)과 K+1번째 화소행(K+1\_L) 사이의 제1

내측 영역(CA1)에 차광성 스페이서 패턴(SPN)의 제2 스페이서(SCS2)가 다수로 형성된다. 또한, K+1번째 화소행(K+1\_L)과 K+2번째 화소행(미도시) 사이의 제2 내측 영역(CA2)에 차광성 스페이서 패턴(SPN)의 제2 스페이서(SCS2)가 다수로 형성된다.

[0061] 전술된 바와 같이, 다수의 제2 스페이서(SCS2)의 각각은 제1 및 제2 콘택홀들(CH1,CH2) 뿐만 아니라 박막 트랜지스터(TR)에 중첩된다. 즉, 액티브 영역(AA)의 제1 및 제2 내측 영역들(CA1,CA2)에는 외부광을 흡수하는 특성과 액정의 퍼짐성 중에 외부광을 흡수하는 특성이 우선적으로 고려될 수 있고, 그 이유는 액티브 영역(AA) 내에서 제1 및 제2 테두리 영역들(EA1,EA2) 보다 제1 및 제2 내측 영역들(CA1,CA2)에서 액정의 퍼짐성에 의한 불량 발생 빈도가 낮기 때문이다. 따라서, 액티브 영역(AA)의 제1 및 제2 내측 영역들(CA1,CA2)에는 제1 스페이서(SCS1) 보다 많은 양의 외부광을 흡수하는 제2 스페이서(SCS2)가 배치될 수 있다.

[0062] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 부호의 설명

[0063] 500: 액정표시패널 100: 어레이 기판

200: 액정 300: 대향 기판

SPN: 차광성 스페이서 패턴 SCS1: 제1 스페이서

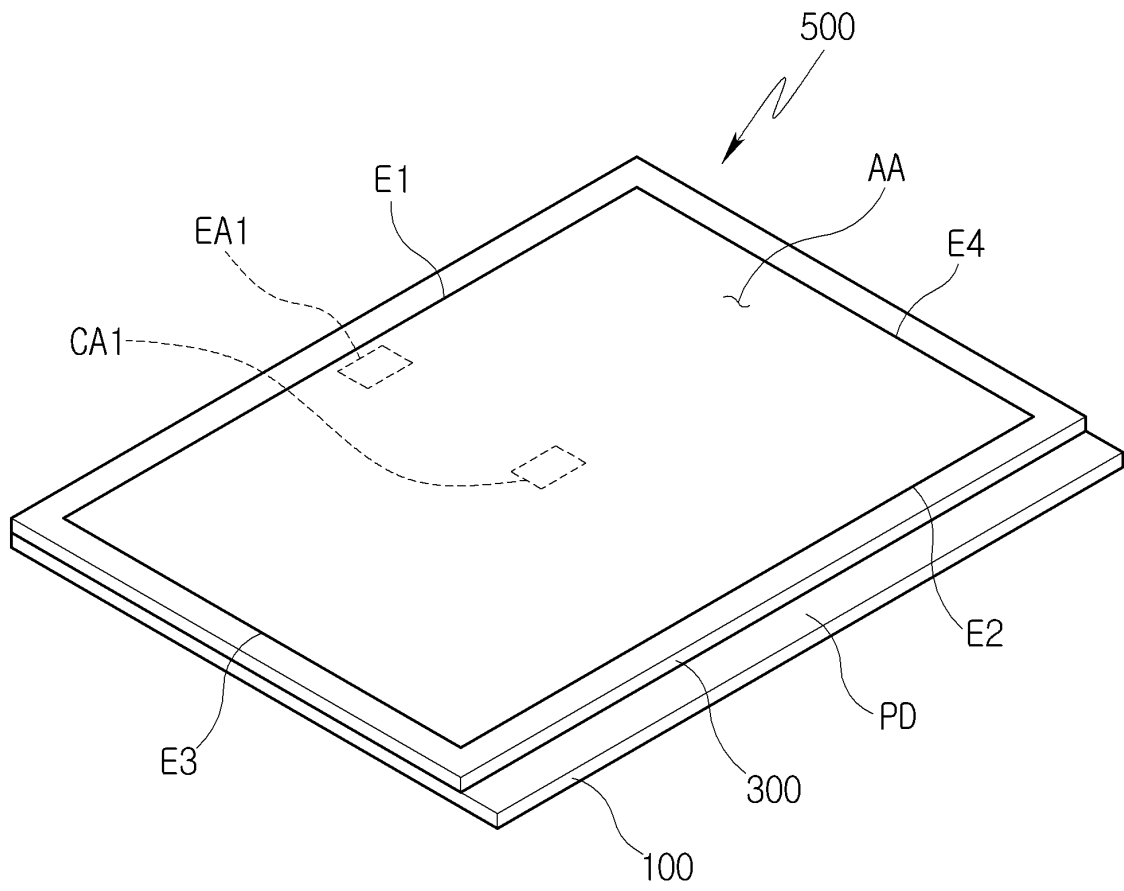
SCS2: 제2 스페이서 AA: 액티브 영역

PX: 화소 GS: 겹 스페이서

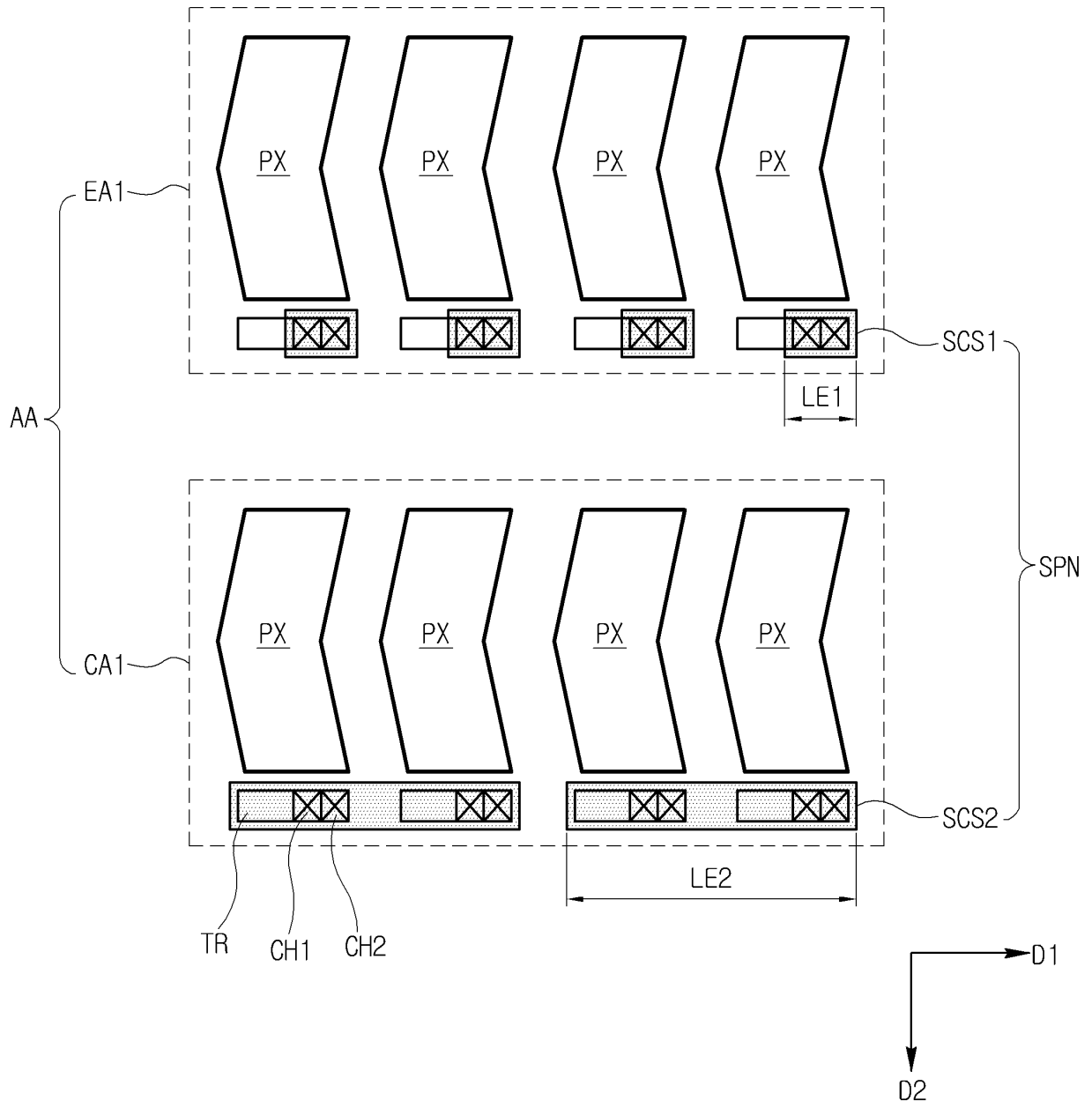
CH1: 제1 콘택홀 CH2: 제2 콘택홀

도면

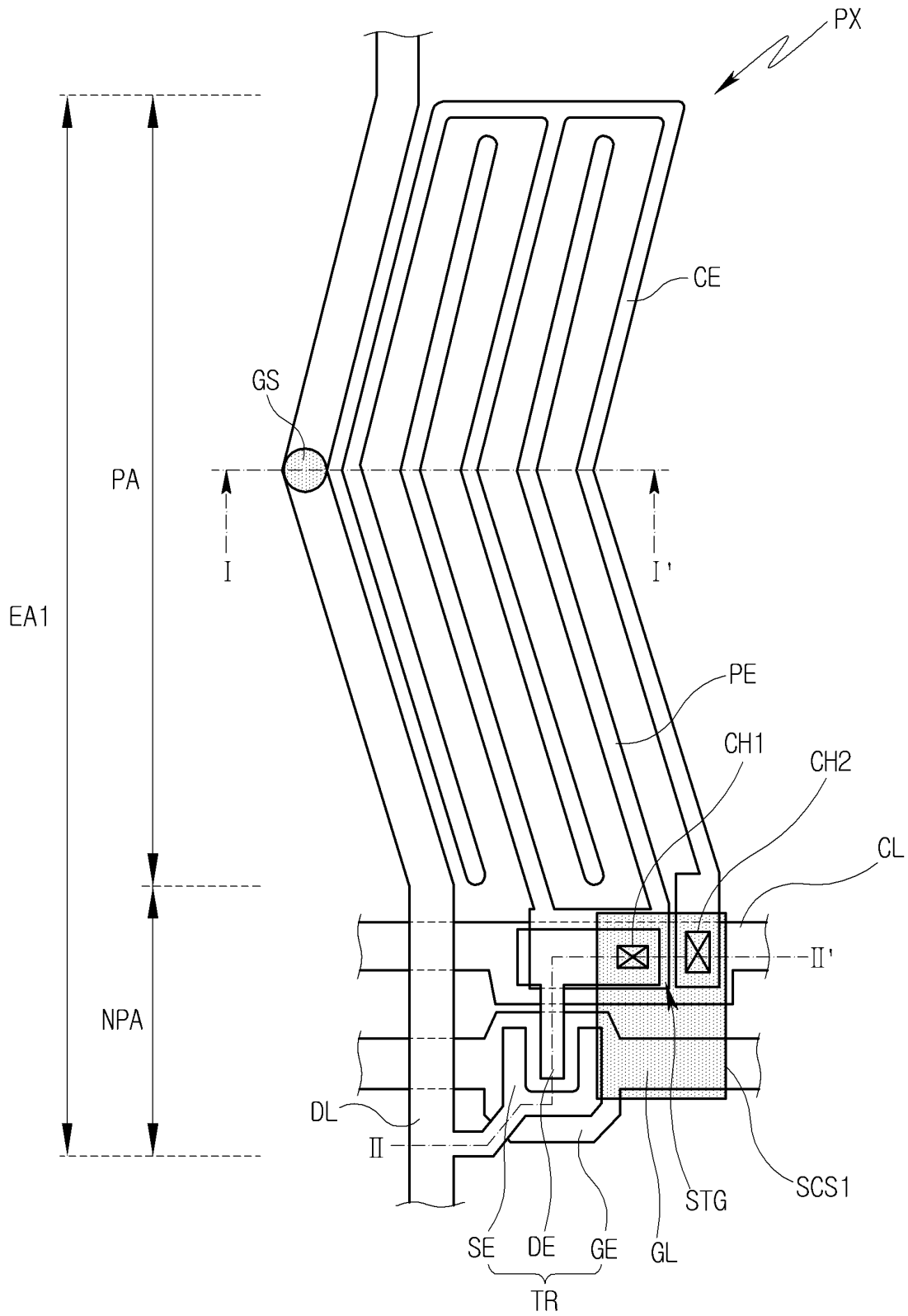
도면1



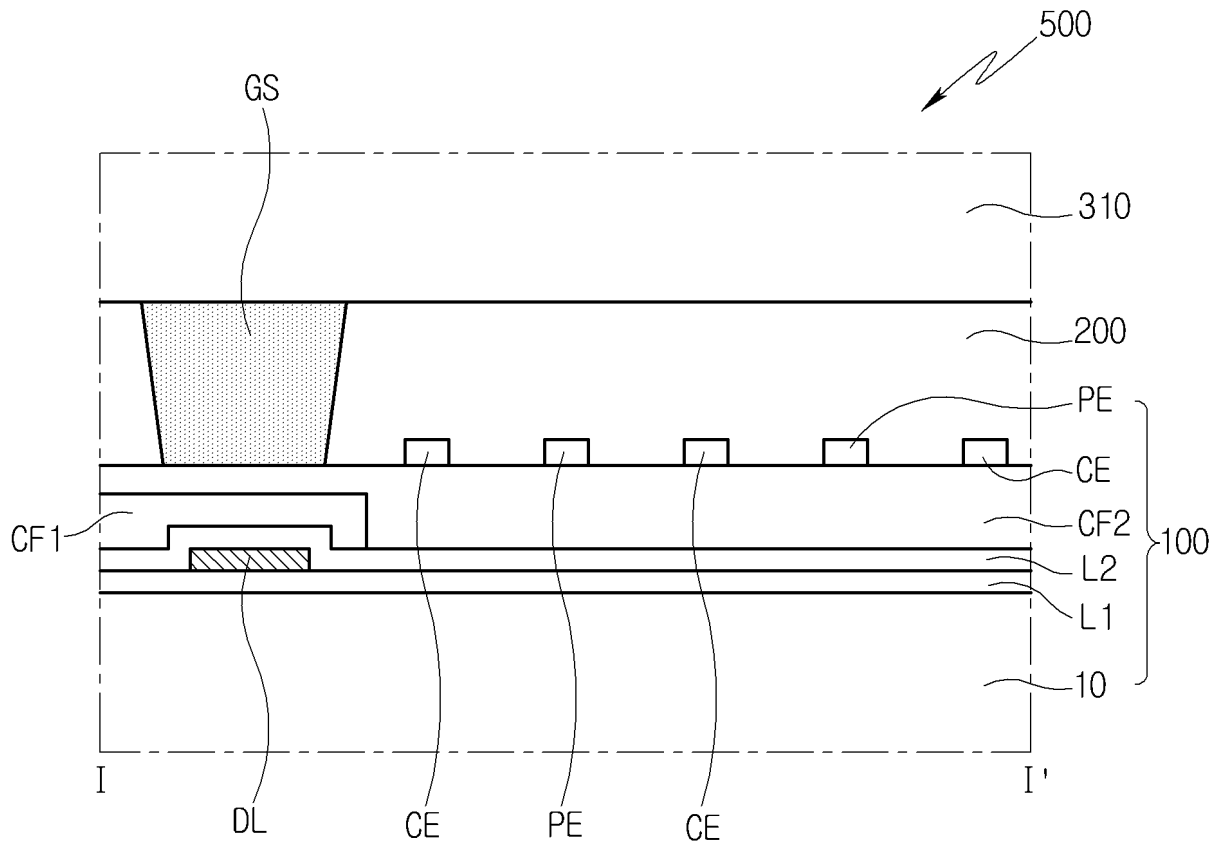
도면2



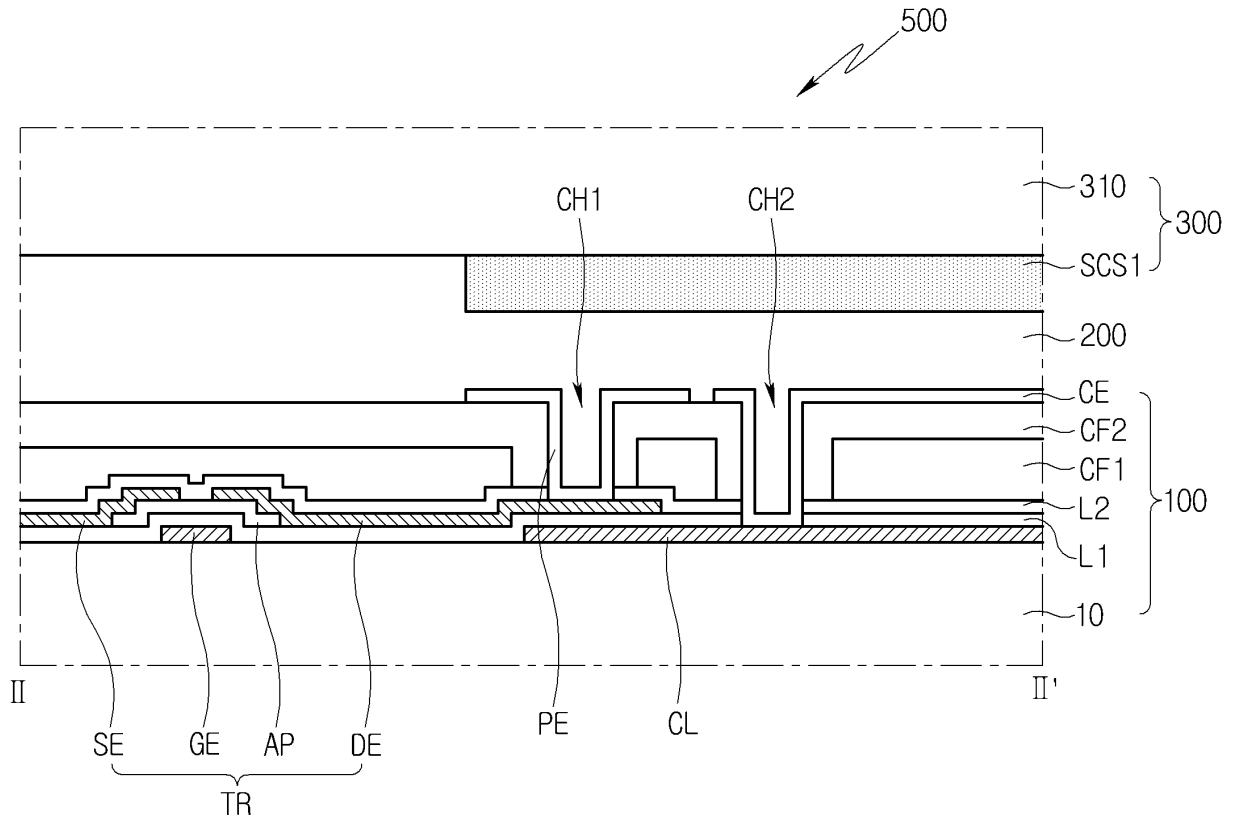
도면3



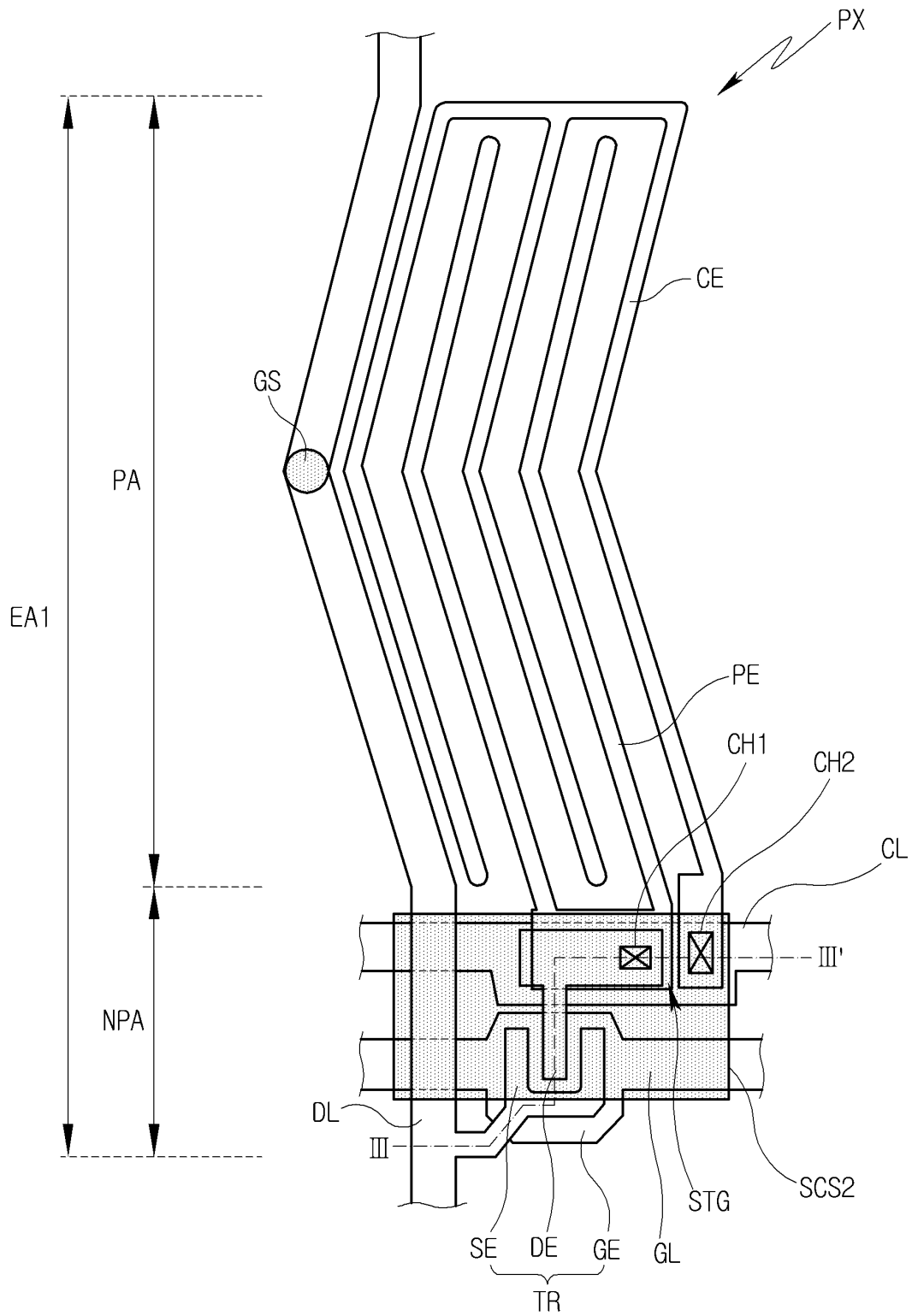
도면4



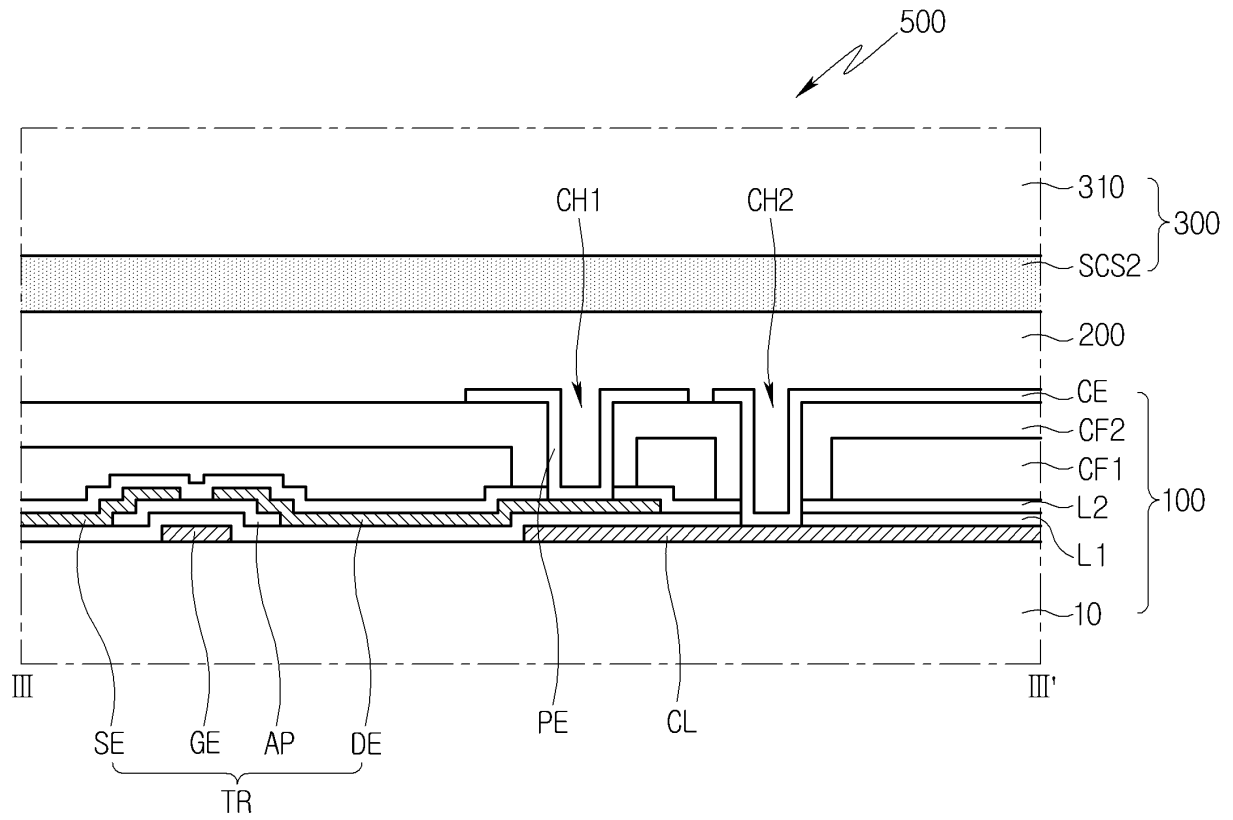
도면5



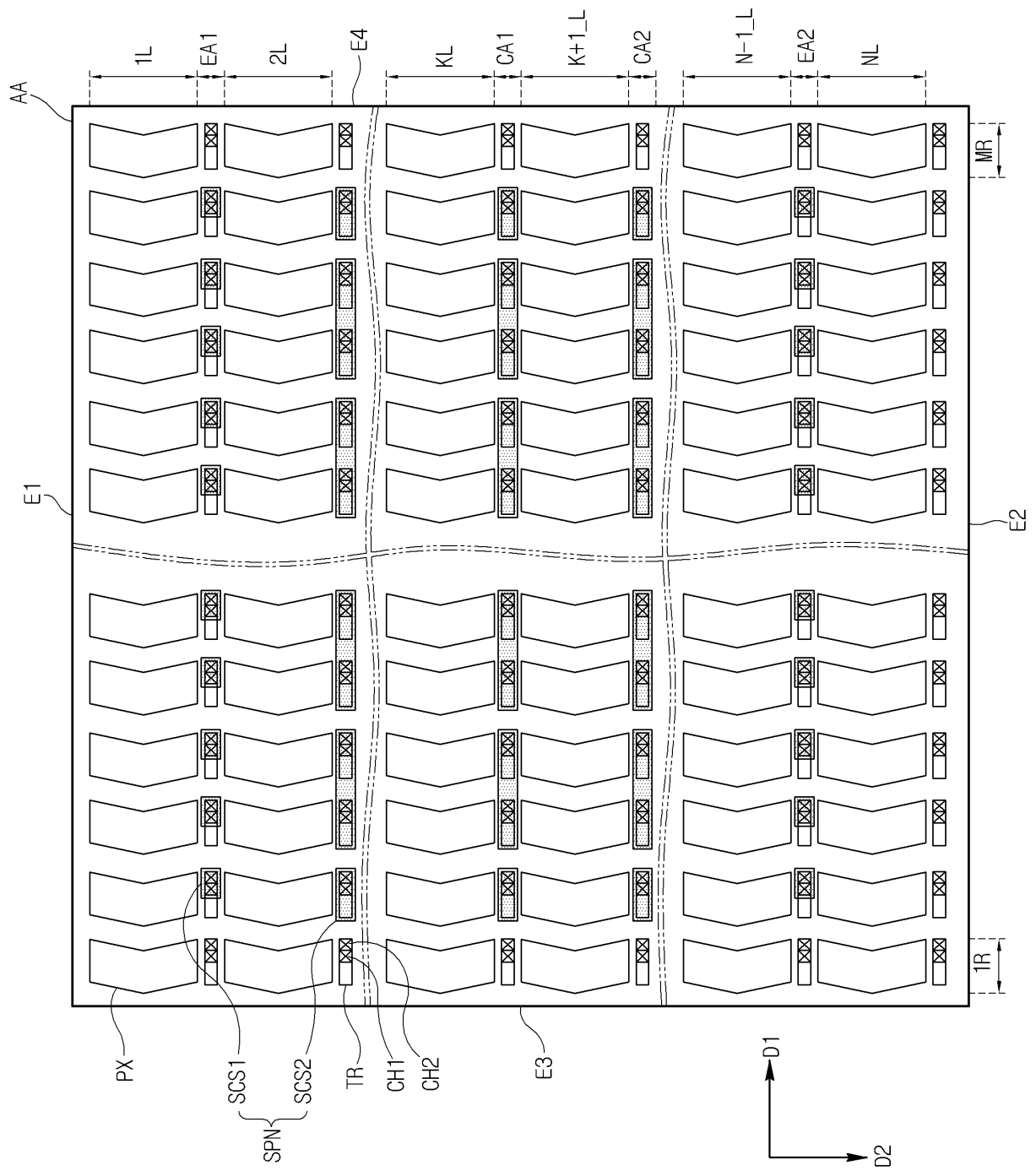
도면6



도면7



도면8



专利名称(译)	液晶面板		
公开(公告)号	<a href="#">KR1020200068271A</a>	公开(公告)日	2020-06-15
申请号	KR1020180155048	申请日	2018-12-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김지은 이승욱 윤성모 양광열		
发明人	김지은 이승욱 윤성모 양광열		
IPC分类号	G02F1/1339 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/13394 G02F1/1343 G02F1/1362 G02F2001/13398		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示面板的多个像素中的每个包括像素电极和公共电极，并且在与有源区域相对应的第一基板上，多个像素包括N行（N是自然数）和M（M是自然数）。按列排列。薄膜晶体管通过第一接触孔与像素电极接触。遮光间隔物图案设置在与多个像素之中彼此相邻的像素对应的第二基板上。对应于多个像素中的第一像素列和第M像素列中的每一个，遮光隔离物图案被打开。遮光隔离物图案在第一像素行与第二像素行之间以及第N-1像素行与第N像素行之间限定的有源区域的边界区域中与第一接触孔重叠。在第二像素行和第N-1像素行之间限定的有源区域的内部区域中，遮光隔离物图案与第一接触孔和薄膜晶体管重叠。

