



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0055378
 (43) 공개일자 2016년05월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) *G02F 1/1343* (2006.01)
 (21) 출원번호 10-2014-0154775
 (22) 출원일자 2014년11월07일
 심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
김강일
 경기 과천시 가람로 22, 102동 504호 (와동동, 가
 람마을1단지벽산한라아파트)
최혁
 경기 과천시 책향기로 183, 1503동 1405호 (동패
 동, 책향기마을상록데시앙아파트)
 (뒷면에 계속)
 (74) 대리인
특허법인로알

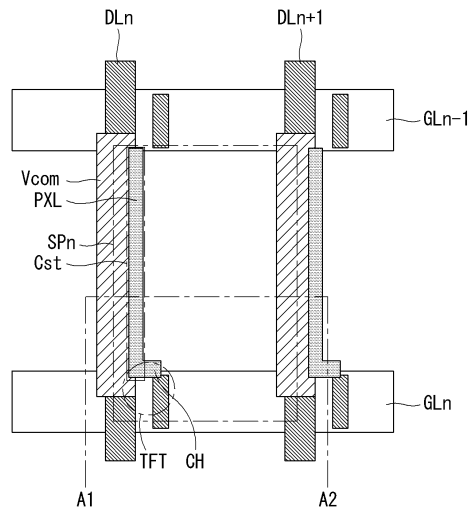
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **액정표시장치와 이의 구동방법**

(57) 요약

본 발명은 제1기판, 게이트라인, 데이터라인, 박막 트랜지스터, 공통전극, 화소전극 및 스토리지 커패시터를 포함하는 액정표시장치에 관한 것이다. 게이트라인은 제1기판 상에 위치한다. 데이터라인은 제1기판 상에 위치하고 게이트라인과 교차한다. 박막 트랜지스터는 게이트라인과 데이터라인이 교차하는 비투과부에 위치한다. 공통전극은 비투과부에 위치한다. 화소전극은 비투과부에 위치한다. 스토리지 커패시터는 공통전극과 인접하는 화소전극에 의해 마련된 스토리지 커패시터를 포함한다.

대표도 - 도5



(72) 발명자

한예슬

경기 고양시 덕양구 충장로103번길 49, 101동 203
호 (행신동, 윤창아파트)

박해준

서울 강서구 화곡로66길 90, 101동 1508호 (등촌동, 코오롱1차아파트)

명세서

청구범위

청구항 1

제1기관;

상기 제1기관 상에 위치하는 게이트라인;

상기 제1기관 상에 위치하고 상기 게이트라인과 교차하는 데이터라인;

상기 게이트라인과 상기 데이터라인이 교차하는 비투과부에 위치하는 박막 트랜지스터;

상기 비투과부에 위치하는 공통전극;

상기 비투과부에 위치하는 화소전극; 및

상기 공통전극과 인접하는 화소전극에 의해 마련된 스토리지 커패시터를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 데이터라인에 대응하여 위치하는 격벽을 더 포함하고,

상기 공통전극과 상기 화소전극은 상기 격벽 상에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 제1기관 상에 위치하는 제1절연막과,

상기 제1절연막 상에 위치하는 상기 데이터라인과,

상기 제1절연막 상에 위치하며 상기 데이터라인을 덮는 제2절연막과,

상기 제2절연막 상에 위치하며 상기 데이터라인에 대응하는 격벽과,

상기 격벽 상에 위치하는 하부전극과,

상기 하부전극 상에 위치하는 제3절연막과,

상기 제3절연막 상에 위치하는 상부전극을 포함하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 하부전극과 상기 상부전극은 차지하는 면적이 다른 것을 특징으로 하는 액정표시장치.

청구항 5

제3항에 있어서,

상기 하부전극은 상기 격벽의 양쪽 측면과 상부면을 덮도록 형성되고,

상기 상부전극은 상기 격벽의 일 측면을 덮도록 형성되도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 6

제3항에 있어서,

상기 격벽은

상기 하부전극과 상기 상부전극이 기울기를 갖고 형성되도록 정테이퍼 형태를 갖는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 하부전극과 상기 상부전극은

불투명 금속 재료로 선택된 것을 특징으로 하는 액정표시장치.

청구항 8

제1기판;

상기 제1기판 상에 위치하고 투과부와 비투과부를 갖는 서브 픽셀; 및

상기 서브 픽셀을 포함하는 액정패널을 포함하되,

상기 서브 픽셀의 화소전극과 공통전극은 상기 비투과부에만 형성된 것을 특징으로 하는 액정표시장치.

청구항 9

제1기판;

상기 제1기판 상에 위치하고 투과부와 비투과부를 갖는 서브 픽셀; 및

상기 서브 픽셀을 포함하는 액정패널을 포함하되,

상기 서브 픽셀의 투과부에는 상기 제1기판과 절연막만 위치하는 것을 특징으로 하는 액정표시장치.

청구항 10

일측 격벽 상에 위치하는 화소전극과 타측 격벽 상에 위치하는 공통전극 사이에 수평 전계가 형성되도록 게이트 신호와 데이터신호를 공급하는 단계; 및

상기 수평 전계에 대응하여 액정이 회전되고 투과된 빛을 기반으로 영상이 표시되도록 빛을 제공하는 단계를 포함하는 액정표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치와 이의 구동방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 액정표시장치에는 액정패널과 백라이트유닛이 포함된다. 액정패널은 박막 트랜지스터 및 스토리지 커패시터 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다.

[0004] 액정패널은 서브 픽셀들을 포함한다. 서브 픽셀들에는 액정층에 전계를 인가하는 화소전극과 공통전극이 각각 포함된다. 백라이트유닛으로부터 출사된 빛은 서브 픽셀의 투과부를 통해 출사된다. 빛의 투과율은 서브 픽셀의 투과부의 크기에 대응하여 정의된다.

[0005] 하지만, 종래에 제안된 액정표시장치는 액정의 구동 특성상 서브 픽셀의 투과부에 화소전극과 공통전극을 형성할 수밖에 없었다. 이로 인하여, 종래에 제안된 액정표시장치는 액정패널을 초고해상도로 구현시 투과율, 스토

리지 커패시터의 공간(용량) 및 액정의 구동 효율 등을 만족시키기 어려울 것으로 예상되는바, 이를 해결할 수 있는 방안이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 액정 구동 효율의 극대화, 스토리지 커패시터의 용량 확보, 투과율 및 개구율을 최대화할 수 있는 액정표시장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 제1기판, 게이트라인, 데이터라인, 박막 트랜지스터, 공통전극, 화소전극 및 스토리지 커패시터를 포함하는 액정표시장치에 관한 것이다. 게이트라인은 제1기판 상에 위치한다. 데이터라인은 제1기판 상에 위치하고 게이트라인과 교차한다. 박막 트랜지스터는 게이트라인과 데이터라인이 교차하는 비투과부에 위치한다. 공통전극은 비투과부에 위치한다. 화소전극은 비투과부에 위치한다. 스토리지 커패시터는 공통전극과 인접하는 화소전극에 의해 마련된 스토리지 커패시터를 포함한다.

[0008] 데이터라인에 대응하여 위치하는 격벽을 더 포함하고, 공통전극과 화소전극은 격벽 상에 위치할 수 있다.

[0009] 제1기판 상에 위치하는 제1절연막과, 제1절연막 상에 위치하는 데이터라인과, 제1절연막 상에 위치하며 데이터라인을 덮는 제2절연막과, 제2절연막 상에 위치하며 데이터라인에 대응하는 격벽과, 격벽 상에 위치하는 하부전극과, 하부전극 상에 위치하는 제3절연막과, 제3절연막 상에 위치하는 상부전극을 포함할 수 있다.

[0010] 하부전극과 상부전극은 차지하는 면적이 다를 수 있다.

[0011] 하부전극은 격벽의 양쪽 측면과 상부면을 덮도록 형성되고, 상부전극은 격벽의 일 측면을 덮도록 형성되도록 형성될 수 있다.

[0012] 격벽은 하부전극과 상부전극이 기울기를 갖고 형성되도록 정테이퍼 형태를 가질 수 있다.

[0013] 하부전극과 상부전극은 불투명 금속 재료로 선택될 수 있다.

[0014] 다른 측면에서 본 발명은 액정표시장치에 관한 것으로서, 제1기판; 제1기판 상에 위치하고 투과부와 비투과부를 갖는 서브 픽셀; 및 서브 픽셀을 포함하는 액정패널을 포함하되, 서브 픽셀의 화소전극과 공통전극은 비투과부에만 형성된다.

[0015] 또 다른 측면에서 본 발명은 액정표시장치에 관한 것으로서, 제1기판; 제1기판 상에 위치하고 투과부와 비투과부를 갖는 서브 픽셀; 및 서브 픽셀을 포함하는 액정패널을 포함하되, 서브 픽셀의 투과부에는 제1기판과 절연막만 위치한다.

[0016] 또 다른 측면에서 본 발명은 액정표시장치의 구동방법에 관한 것으로서, 일측 격벽 상에 위치하는 화소전극과 타측 격벽 상에 위치하는 공통전극 사이에 수평 전계가 형성되도록 게이트신호와 데이터신호를 공급하는 단계; 및 수평 전계에 대응하여 액정이 회전되고 투과된 빛을 기반으로 영상이 표시되도록 빛을 제공하는 단계를 포함한다.

발명의 효과

[0017] 본 발명은 서브 픽셀의 투과부(또는 액티브영역) 내에 전극들이 형성되지 않으므로 최대 액정 모드(Maximum LC Mode) 효율을 도모할 수 있고, 또한 투과부 내에 위치하던 전극들이 사라짐으로써 투과율 및 개구율의 개선을 도모할 수 있는 효과가 있다. 또한, 본 발명은 비투과부의 길이에 대응하는 격벽의 측면에 스토리지 커패시터가 형성됨으로써 충분한 공간(용량)을 확보할 수 있고, 그 결과 원 블록 IPS(One Block IPS) 형태의 구동이 가능해져 개구 면적 대비 최대 투과율의 확보가 가능한 효과가 있다. 또한, 본 발명은 액정패널을 초고해상도로 구현시 투과율, 스토리지 커패시터의 공간(용량) 및 액정의 구동 효율 등을 만족시킬 수 있도록 설계의 자유도를 높일 수 있는 효과가 있다.

도면의 간단한 설명

[0018] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.

도 2는 도 1에 도시된 서브 픽셀의 회로 구성도.

도 3 및 도 4는 종래 액정패널의 투과부에 위치하는 전극들과 투과부의 투과율을 보여주는 도면들.

도 5는 본 발명의 일 실시예에 따른 서브 픽셀의 평면도.

도 6은 도 5의 A1-A2 영역의 단면도.

도 7은 도 5의 박막 트랜지스터 부분에 대한 단면도.

도 8은 본 발명의 일 실시예에 따른 액정패널의 투과부의 투과율을 보여주는 도면.

도 9는 본 발명의 일 실시예에 따른 서브 픽셀의 구동 특성을 설명하기 위한 도면.

도 10 및 도 11은 액정층의 정렬 각도에 대한 예시도들.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 회로 구성도이다.
- [0021] 도 1 및 도 2에 도시된 바와 같이, 액정표시장치에는 타이밍제어부(130), 게이트구동부(140), 데이터구동부(150), 액정패널(160) 및 백라이트유닛(170)이 포함된다.
- [0022] 타이밍제어부(130)는 외부로부터 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호, 데이터신호 등을 공급받는다. 타이밍제어부(130)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 등의 타이밍신호를 이용하여 데이터구동부(150)와 게이트구동부(140)의 동작 타이밍을 제어한다.
- [0023] 타이밍제어부(130)는 1 수평기간의 데이터 인에이블 신호를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호와 수평 동기신호는 생략될 수 있다. 타이밍제어부(130)에서 생성되는 제어신호들에는 게이트구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다.
- [0024] 게이트구동부(140)는 타이밍제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트구동부(140)는 게이트라인들(GL)을 통해 액정패널(160)에 게이트신호를 공급한다. 게이트구동부(140)는 IC 형태로 형성되거나 액정패널(160)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0025] 데이터구동부(150)는 타이밍제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압에 대응하여 아날로그 형태로 변환하여 출력한다. 데이터구동부(150)는 데이터라인들(DL)을 통해 액정패널(160)에 데이터신호(DATA)를 공급한다. 데이터구동부(150)는 IC 형태로 형성된다.
- [0026] 액정패널(160)은 게이트구동부(140) 및 데이터구동부(150)를 포함하는 구동부로부터 공급된 게이트신호와 데이터신호(DATA)에 대응하여 영상을 표시한다. 액정패널(160)은 박막 트랜지스터 등이 형성된 제1기판, 컬러필터 등이 형성된 제2기판 그리고 이들 사이에 위치하는 액정층으로 구성된다. 제1기판의 하부면에는 하부 편광판이 부착되고, 제2기판의 상부면에는 상부 편광판이 부착된다. 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀(SP)이 다수 포함된다.
- [0027] 하나의 서브 픽셀에는 스위칭 트랜지스터(TFT), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 스위칭 트랜지스터(TFT)의 게이트전극은 게이트라인(GL1)에 연결되고 소오스전극은 데이터라인(DL1)에 연결된다.
- [0028] 스토리지 커패시터(Cst)는 스위칭 트랜지스터(TFT)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다. 액정층(Clc)은 스위칭 트랜지스터(TFT)의 드레인전극에 연결된 화소전극(1)과 공통전압라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다.
- [0029] 백라이트유닛(170)은 액정패널(160)에 빛을 제공한다. 백라이트유닛(170)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED로부터 출사된 빛을 면광원으로 변환시키는 도광판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다.
- [0030] 이하, 종래 기술에 대한 문제점 고찰과 더불어 본 발명의 실시예에 대한 설명을 구체화한다.

- [0031] 도 3 및 도 4는 종래 액정패널의 투과부에 위치하는 전극들과 투과부의 투과율을 보여주는 도면들이고, 도 5는 본 발명의 일 실시예에 따른 서브 픽셀의 평면도이고, 도 6은 도 5의 A1-A2 영역의 단면도이고, 도 7은 도 5의 박막 트랜지스터 부분에 대한 단면도이고, 도 8은 본 발명의 일 실시예에 따른 액정패널의 투과부의 투과율을 보여주는 도면이다.
- [0032] 액정표시장치는 서브 픽셀의 투과부를 통해 출사된 빛의 양을 조절하는 방식으로 영상을 표시한다. 빛의 양을 결정하는 투과율은 서브 픽셀의 투과부의 크기에 대응하여 정의된다.
- [0033] 하지만, 종래에 제안된 액정표시장치는 액정의 구동 특성상 도 3의 (a) 및 도 4의 (a)와 같이 제1기판(160a) 상에 정의된 서브 픽셀의 투과부에 화소전극(PXL)과 공통전극(Vcom)을 형성할 수밖에 없었다. 이 때문에, 종래에는 투과율 방지를 해소하고자 화소전극(PXL)과 공통전극(Vcom)을 투명 산화물(예: ITO) 등으로 형성하였다.
- [0034] 하지만, 종래에 제안된 액정표시장치는 도 3의 (b) 및 도 4의 (b)의 TDA 영역과 같이 투과부에 위치하는 화소전극(PXL)과 공통전극(Vcom)으로 인한 투과율의 저하 문제로부터 완전히 자유로울 수 없었다.
- [0035] 특히, 도 4의 구조는 화소전극(PXL)이 투과부 내에 분리되어 있는 반면 공통전극(Vcom)이 투과부에 대응되도록 형성(투명전극을 2회 통과함)되어 있다. 때문에, 도 3의 (b)와 도 4의 (b)를 비교해 보면 투과율은 도 3의 구조 대비 도 4의 구조가 더 저하된다.
- [0036] 종래에 제안된 액정표시장치는 이와 같이 투과율 및 액정 구동 효율이 떨어지게 됨은 물론 픽셀 피치(one pixel pitch)가 감소할 경우 전극의 면적이 작아지므로 스토리지 커패시터를 확보하기 어렵다.
- [0037] 그 결과, 종래에 제안된 액정표시장치는 투과부 내에 위치하는 전극들로 인하여 액정패널을 초고해상도로 구현 시 투과율, 스토리지 커패시터의 공간(용량) 및 액정의 구동 효율 등을 만족시키기 어려울 것으로 예상된다.
- [0038] 이에, 본 발명의 일 실시예는 종래에 제안된 액정표시장치의 문제점인 투과부의 투과율 저하 문제로부터 탈피하기 위해 다음과 같은 조건으로 설계한다.
- [0039] 투과부 내에 전극들이 존재하지 않도록 액정 구동에 필요한 화소전극과 공통전극을 수직 전극 형태에 가깝게 비 투과부에 형성한다. 그리고 수직 전극 형태로 형성된 전극들에 대응하여 스토리지 커패시터를 비투과부에 형성한다. 이로 인하여, 본 발명은 액정 구동 효율의 극대화, 스토리지 커패시터의 용량 확보, 투과율 및 개구율을 최대화할 수 있는 등 액정패널을 초고해상도 구현시 많은 이점을 제공할 수 있다.
- [0040] 이하, 본 발명의 일 실시예에 대한 설명을 구체화하면 다음과 같다.
- [0041] 도 5에 도시된 바와 같이, 제1기판(160a) 상에 위치하는 제N데이터라인(DLn)과 제N게이트라인(GLn)의 교차 영역에는 제N서브 픽셀(SPn)이 형성된다. 제N서브 픽셀(SPn)은 비투과부(투과부를 제외한 영역)에 위치하는 박막 트랜지스터(TFT), 스토리지 커패시터(Cst), 화소전극(PXL) 및 공통전극(Vcom)을 포함한다.
- [0042] 화소전극(PXL) 및 공통전극(Vcom)은 비투과부에 위치하는 제N데이터라인(DLn)에 대응하여 라인 형태(또는 직사각형 형태)로 형성된다. 이때, 공통전극(Vcom)은 화소전극(PXL)이 차지하는 면적보다 더 큰 면적을 차지하도록 형성될 수 있다. 그 이유는 공통전극(Vcom)의 제1측면은 인접한 화소전극(PXL)과 스토리지 커패시터를 형성하고, 그 반대에 위치하는 제2측면은 이격하여 떨어진 화소전극(PXL)과 전계를 형성하기 때문이다.
- [0043] 박막 트랜지스터(TFT)는 제N데이터라인(DLn)과 제N게이트라인(GLn)의 교차 영역에 소오스전극, 드레인전극 및 게이트전극이 형성된다. 스토리지 커패시터(Cst)는 제N데이터라인(DLn)과 평행을 이루며 위치하는 화소전극(PXL) 및 공통전극(Vcom)에 의해 형성된다. 이때, 스토리지 커패시터(Cst)의 용량은 화소전극(PXL) 및 공통전극(Vcom)이 차지하는 면적에 대응된다.
- [0044] 도 5 및 도 6에 도시된 바와 같이, 제1기판(160a) 상에는 제1절연막(162)이 형성된다. 제1절연막(162)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.
- [0045] 제1절연막(162) 상에는 데이터금속층(164)이 형성된다. 데이터금속층(164)의 일부는 데이터라인이 된다. 또한, 데이터금속층(164)의 일부는 박막 트랜지스터(TFT)의 소오스전극과 드레인전극이 된다. 데이터금속층(164)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0046] 제1절연막(162) 상에는 제2절연막(165)이 형성된다. 제2절연막(165)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx)이나 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트

(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.

- [0047] 제2절연막(165) 상에는 격벽(166)이 형성된다. 격벽(166)은 비투과부에 위치하는 데이터금속층(또는 데이터라인)(164)에 대응하여 라인 형태로 위치한다. 격벽(166)은 그 측면으로 전극이 형성될 수 있는 구조를 갖는다. 이를 위해, 격벽(166)은 하부면이나 상부면보다 이웃하는 격벽과 마주보는 측면의 면적이 더 넓게 형성된다.
- [0048] 예컨대, 격벽(166)은 상부면보다 하부면이 더 넓고 측면에 전극이 형성될 수 있는 높이를 갖는 정테이퍼 형태(또는 사다리꼴)로 형성된다. 따라서, 격벽(166)의 양쪽 측면은 기울기를 갖게 된다. 한편, 격벽(166)은 제1기판(160a)과 제2기판(160b) 사이에 위치하는 구조물들 중 비교적 높은 구조물에 해당한다. 때문에, 격벽(166)은 제1기판(160a)과 제2기판(160b) 간의 셀갭을 유지하는 스페이서의 역할을 겸할 수도 있다.
- [0049] 격벽(166) 상에는 공통전압라인에 연결된 공통전극(167, Vcom)이 형성된다. 공통전극(167, Vcom)은 비투과부에 위치하는 격벽(166)의 양쪽 측면과 상부면을 덮도록 형성된다. 공통전극(167, Vcom)은 비투과부에 위치하는 격벽(166) 상에 형성되므로 투명 산화물(예: ITO)이 아닌 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu) 등과 같은 불투명 금속 재료로 선택될 수도 있다.
- [0050] 이 때문에, 공통전극(167, Vcom)이 불투명 금속 재료로 형성될 경우 공통전압라인과 더불어 저저항 구조를 갖게 된다. 격벽(166)의 양쪽 측면이 기울기를 갖게 됨에 따라 공통전극(167, Vcom)은 기울기를 갖게 된다. 공통전극(167, Vcom)은 화소전극(169, PXL)과 함께 전계를 형성하므로 이의 기울기는 수직에 가까울수록 좋다.
- [0051] 공통전극(167, Vcom) 상에는 제3절연막(168)이 형성된다. 제3절연막(168)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 다중층으로 이루어질 수 있다. 제3절연막(168)은 공통전극(167, Vcom)을 절연하면서 이후에 형성되는 화소전극(169, PXL)과 공통전극(167, Vcom) 간의 스토리지 커패시터를 구성하는 절연막 역할을 한다. 따라서, 제3절연막(168)은 스토리지 커패시터의 용량을 충분히 확보할 수 있는 재료 및 두께로 형성될 수 있다.
- [0052] 제3절연막(168) 상에는 화소전극(169, PXL)이 형성된다. 화소전극(169, PXL)은 비투과부에 위치하는 격벽(166)의 일 측면(또는 일 측면과 상부면)을 덮도록 형성된다. 화소전극(169, PXL)은 비투과부에 위치하는 격벽(166) 상에 형성되므로 투명 산화물(예: ITO)이 아닌 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu) 등과 같은 불투명 금속 재료로 선택될 수도 있다.
- [0053] 이 때문에, 화소전극(169, PXL)이 불투명 금속 재료로 형성될 경우 저저항 구조를 갖게 된다. 격벽(166)의 양쪽 측면이 기울기를 갖게 됨에 따라 화소전극(169, PXL)은 기울기를 갖게 된다. 화소전극(169, PXL)은 공통전극(167, Vcom)과 함께 전계를 형성하므로 이의 기울기는 수직에 가까울수록 좋다.
- [0054] 제2기판(160b) 상에는 컬러필터(CF)가 형성된다. 컬러필터(CF)는 빛의 색을 변환하는 역할을 한다. 컬러필터(CF)는 투과부를 통해 출사되는 빛의 색을 적색, 녹색 또는 청색으로 변환한다. 이 때문에, 컬러필터(CF)는 제N 서브 픽셀(SPn)의 투과부에 대응되는 위치에만 형성될 수도 있다. 한편, 실시예에서는 컬러필터(CF)가 제1기판(160a)과 마주보는 제2기판(160b)의 내부면에 형성된 것을 일례로 하였다. 그러나, 컬러필터(CF)의 위치는 이에 한정되지 않는다.
- [0055] 컬러필터(CF) 상에는 블랙매트릭스(BM)가 형성된다. 블랙매트릭스(BM)는 비투과부에 대응하여 형성된다. 블랙매트릭스(BM)는 투과부의 크기(영역)를 실질적으로 정의하는 역할을 하면서, 투과부를 통과한 빛이 다른 색과 혼색이 일어나는 문제(크로스토크)를 방지하는 역할을 한다. 이를 위해, 블랙매트릭스(BM)는 검정색 계열의 안료가 포함된 수지 등으로 이루어질 수 있으나 이에 한정되지 않는다. 한편, 실시예에서는 블랙매트릭스(BM)가 제1기판(160a)과 마주보는 제2기판(160b)의 내부면에 형성된 것을 일례로 하였다. 그러나, 블랙매트릭스(BM)의 위치는 이에 한정되지 않는다.
- [0056] 이하, 도 5 내지 도 7을 참조하여 박막 트랜지스터(TFT)의 일례를 설명한다.
- [0057] 도 5 내지 도 7에 도시된 바와 같이, 제1기판(160a) 상에는 게이트금속층(161,G)이 형성된다. 게이트금속층(161,G)의 일부는 박막 트랜지스터(TFT)의 게이트전극이 된다. 또한, 게이트금속층(161,G)의 일부는 게이트라인이 된다. 게이트금속층(161,G)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0058] 게이트금속층(161,G) 상에는 제1절연막(162)이 형성된다. 제1절연막(162)은 실리콘 산화막(SiO_x) 또는 실리콘

질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.

- [0059] 제1절연막(162) 상에는 반도체층(163)이 형성된다. 반도체층(163)은 실리콘(Si) 계열, 산화물(Oxide) 계열, 탄소나노튜브(CNT)를 포함하는 그래핀(Graphene) 계열, 니트라이드(Nitride) 계열, 유기 반도체 계열 중 하나로 선택될 수 있다.
- [0060] 제1절연막(162) 상에는 데이터금속층(164a, 164b)이 형성된다. 데이터금속층(164a, 164b)은 반도체층(163)의 소오스영역과 드레인영역을 덮고 또한 전기적으로 연결된다. 데이터금속층(164a, 164b)은 박막 트랜지스터(TFT)의 소오스전극(164a, S)과 드레인전극(164b, D)으로 구분된다. 데이터금속층(164a, 164b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0061] 데이터금속층(164a, 164b) 상에는 제2절연막(165)이 형성된다. 제2절연막(165)은 제1절연막(162) 상에 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx)이나 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다. 제2절연막(165)은 드레인전극(164b, D)의 일부를 노출하는 콘택홀(CH)을 갖는다.
- [0062] 제2절연막(165) 상에는 화소전극(169, PXL)이 형성된다. 화소전극(169, PXL)은 제2절연막(165)의 콘택홀(CH)을 통해 박막 트랜지스터(TFT)의 드레인전극(164b, D)과 전기적으로 연결된다.
- [0063] 위의 설명에서는 박막 트랜지스터(TFT)가 스테퍼드 형태로 형성되는 것을 일례로 하였다. 하지만, 이는 하나의 예시일 뿐 박막 트랜지스터(TFT)는 코플라나 형태나 다른 형태로도 형성될 수 있다.
- [0064] 앞서 설명된 제1기판(160a)과 제2기판(160b)은 그 상부에 형성된 구조물들이 서로 마주보도록 배치되고 접촉부재에 의해 합착 밀봉된다. 합착 밀봉된 제1기판(160a)과 제2기판(160b) 사이에는 액정층이 내재 된다.
- [0065] 앞서 설명된 구조에 의해, 제N서브 픽셀(SP_n)은 비투과부에 제N데이터라인(DLn), 제N게이트라인(GL_n), 박막 트랜지스터(TFT), 스토리지 커패시터(Cst), 화소전극(PXL) 및 공통전극(Vcom)과 같이 배선은 물론 전극 및 소자가 형성된다. 그리고 제N서브 픽셀(SP_n)은 투과부에 전극 등이 미형성된다.
- [0066] 도 8에 도시된 바와 같이, 본 발명의 일 실시예는 격벽(166)에 공통전극(Vcom)과 화소전극(PXL)이 위치하는 구조를 갖는 서브 픽셀로 액정패널을 구현할 수 있는바, 투과부의 투과율 저하 문제로부터 완전히 자유로울 수 있다. 기 설명을 통해 알 수 있듯이, 투과율 저하 문제로부터 완전히 자유로울 수 있는 이유는 투과부에 공통전극(Vcom)과 화소전극(PXL)이 위치하지 않기 때문이다.
- [0067] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 구동 특성과 더불어 액정층의 정렬 각도에 대한 예를 설명한다.
- [0068] 도 9는 본 발명의 일 실시예에 따른 서브 픽셀의 구동 특성을 설명하기 위한 도면이고, 도 10 및 도 11은 액정층의 정렬 각도에 대한 예시도들이다.
- [0069] 도 9에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀은 비투과부에 수직전극 형태에 가깝게 화소전극(PXL)과 공통전극(Vcom)이 형성되고 인접하는 화소전극(PXL)과 공통전극(Vcom)에 의해 스토리지 커패시터(Cst)가 형성된다.
- [0070] 스토리지 커패시터(Cst)에 저장된 데이터전압에 대응하여 박막 트랜지스터가 구동을 하게 되면 일측 격벽 상에 위치하는 화소전극(PXL)과 타측 격벽 상에 위치하는 공통전극(Vcom) 사이에 수평 전계(E)가 형성된다.
- [0071] 일측 격벽 상에 위치하는 화소전극(PXL)과 타측 격벽 상에 위치하는 공통전극(Vcom) 사이에 형성된 수평 전계(E)에 의해 이들 사이에 위치하는 액정은 회전을 하게 된다. 그리고 액정의 회전 각에 대응하여 빛의 투과도는 가변된다.
- [0072] 위와 같은 특성을 이용하여 액정패널을 구동하기 위해, 일측 격벽 상에 위치하는 화소전극(PXL)과 타측 격벽 상에 위치하는 공통전극(Vcom) 사이에 수평 전계(E)가 형성되도록 게이트신호와 데이터신호를 공급한다. 그리고 수평 전계(E)에 대응하여 액정이 회전되고 투과된 빛을 기반으로 영상이 표시되도록 빛을 제공한다.
- [0073] 도 10에 도시된 바와 같이, 일측 격벽 상에 위치하는 화소전극(PXL)과 타측 격벽 상에 위치하는 공통전극(Vcom) 사이에 위치하는 액정층(C1c)은 데이터라인(DL)과 실질적으로 평행을 이루도록 정렬될 수 있다. 이를 위해, 배향막은 데이터라인(DL)인 Y축(y)을 기준으로 0°로 러빙된다.
- [0074] 도 11에 도시된 바와 같이, 일측 격벽 상에 위치하는 화소전극(PXL)과 타측 격벽 상에 위치하는 공통전극(Vcom)

사이에 위치하는 액정층(C1c)은 데이터라인(DL)과 비평행을 이루도록 정렬될 수 있다. 이를 위해, 배향막은 데이터라인(DL)인 Y축(y)을 기준으로 7°로 러빙된다.

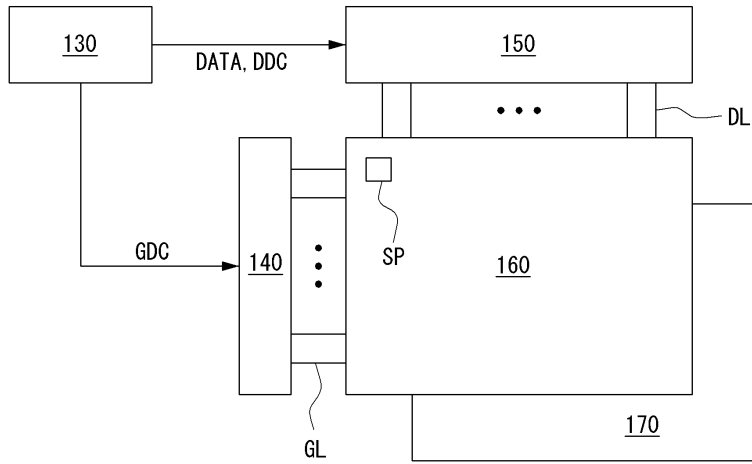
- [0075] 도 10 및 도 11을 통해 알 수 있듯이, 본 발명의 일 실시예에 따른 서브 픽셀은 일측 격벽 상에 위치하는 화소 전극(PXL)과 타측 격벽 상에 위치하는 공통전극(Vcom) 사이에 형성된 수평 전계(E)에 의해 액정이 회전한다. 그러므로, 액정층(C1c)의 정렬 각도를 정의할 수 있는 배향막은 데이터라인(DL)인 Y축(y)을 기준으로 0° ~ 7°로 러빙되는 것이 좋으나 이에 한정되지 않는다.
- [0076] 한편, 본 발명의 일 실시예에서는 격벽 상에 공통전극이 형성된 이후 화소전극이 형성되는 것을 일례로 설명하였다. 그러나, 이는 하나의 예시일 뿐, 격벽 상에 화소전극이 먼저 형성된 이후 공통전극이 형성될 수도 있다.
- [0077] 이 경우, 화소전극과 공통전극은 비투과부에 대응하여 라인 형태로 형성되지 않고 다른 형태(일부 영역이 패터닝되는 형태)로 형성될 수 있다. 때문에, 격벽 상에 위치하는 전극은 하부전극으로 정의될 수 있고, 하부전극 상에 위치하는 전극은 상부전극으로 정의될 수 있다.
- [0078] 이상 본 발명은 서브 픽셀의 투과부(또는 액티브영역) 내에 전극들이 형성되지 않으므로 최대 액정 모드(Maximum LC Mode) 효율을 도모할 수 있고, 또한 투과부 내에 위치하던 전극들이 사라짐으로써 투과율 및 개구율의 개선을 도모할 수 있는 효과가 있다.
- [0079] 또한, 본 발명은 비투과부의 길이에 대응하는 격벽의 측면에 스토리지 커패시터가 형성됨으로써 충분한 공간(용량)을 확보할 수 있고, 그 결과 원 블록 IPS(One Block IPS; In Plane Switching) 형태의 구동이 가능해져 개구 면적 대비 최대 투과율의 확보가 가능한 효과가 있다.
- [0080] 또한, 본 발명은 액정패널을 초고해상도로 구현시 투과율, 스토리지 커패시터의 공간(용량) 및 액정의 구동 효율 등을 만족시킬 수 있도록 설계의 자유도를 높일 수 있는 효과가 있다.
- [0081] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

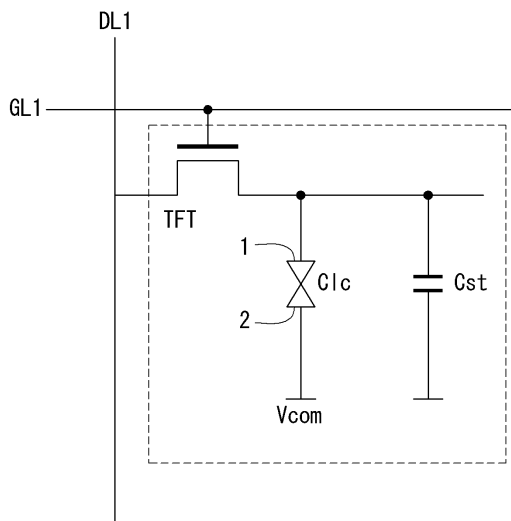
- [0082] 130: 타이밍제어부 140: 게이트구동부
- 150: 데이터구동부 160: 액정패널
- 170: 백라이트유닛 TFT: 박막 트랜지스터
- Cst: 스토리지 커패시터 160a: 제1기판
- 162: 제1절연막 164: 데이터금속층
- 165: 제2절연막 166: 격벽
- 167, Vcom: 공통전극 168: 제3절연막
- 169, PXL: 화소전극

도면

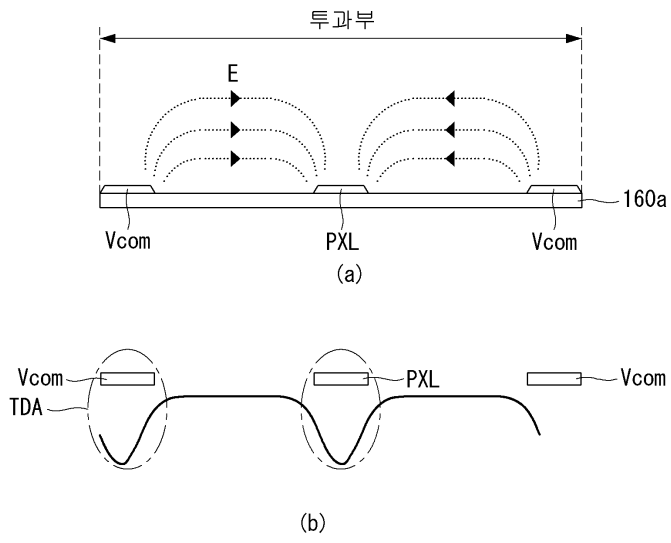
도면1



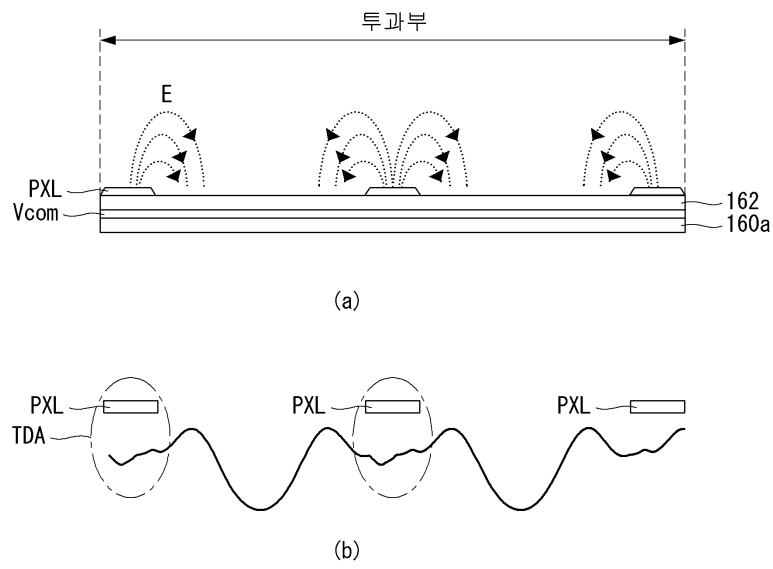
도면2



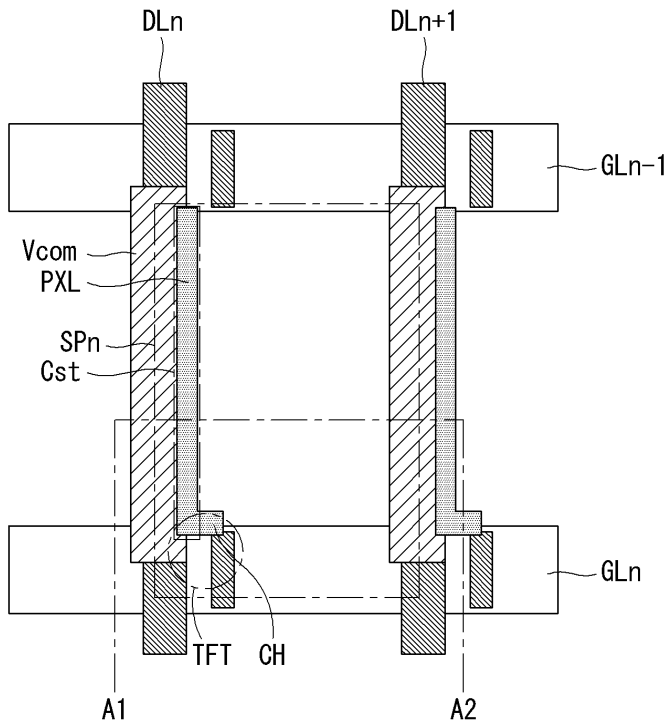
도면3



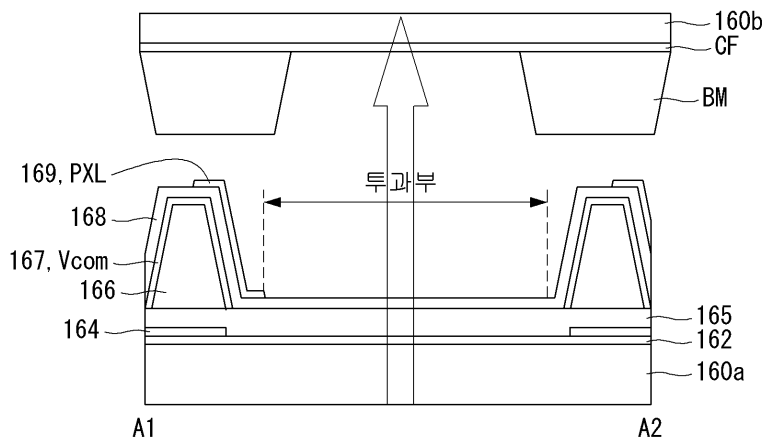
도면4



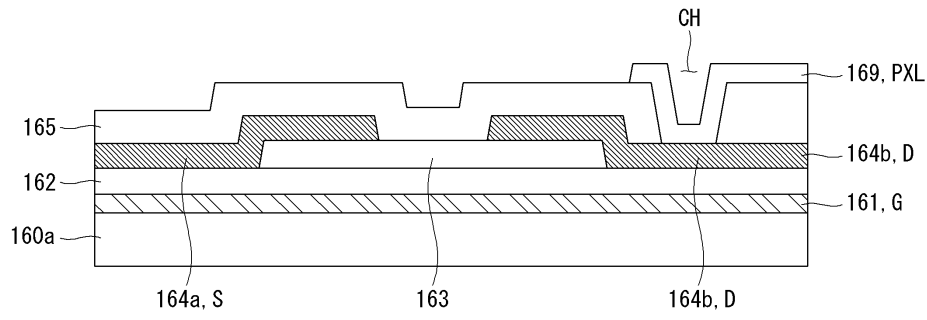
도면5



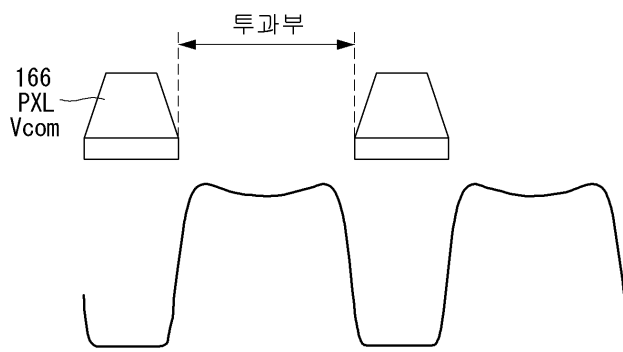
도면6



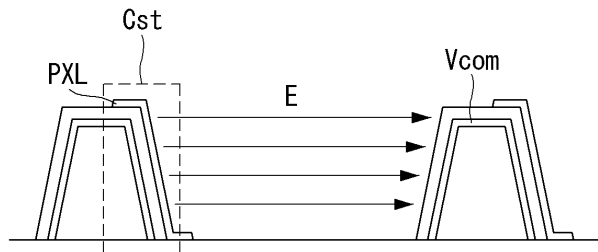
도면7



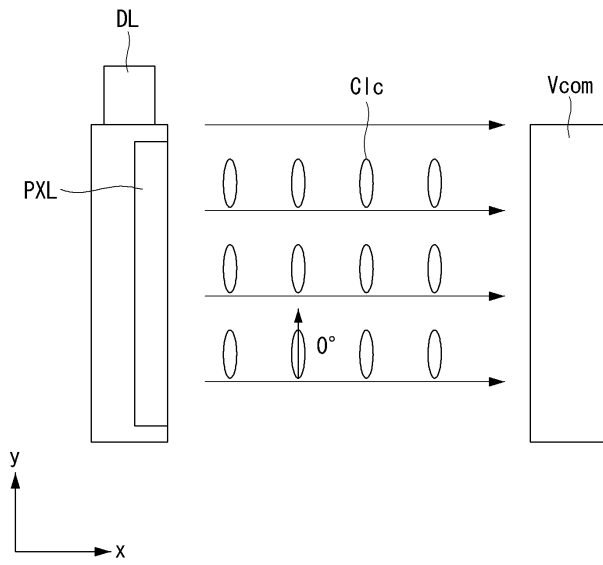
도면8



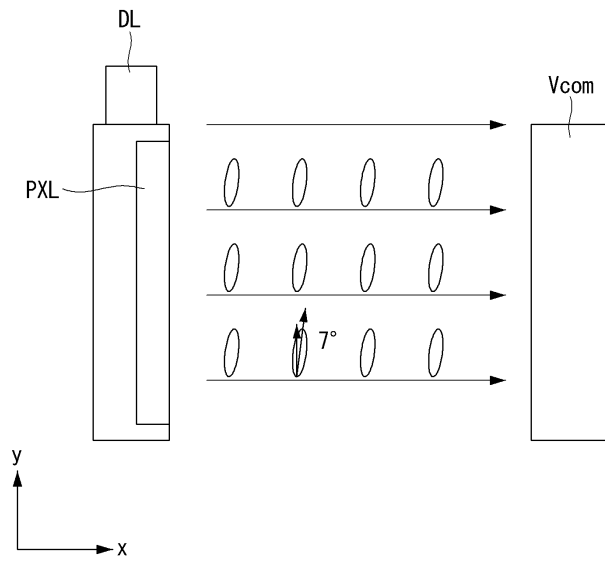
도면9



도면10



도면11



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020160055378A	公开(公告)日	2016-05-18
申请号	KR1020140154775	申请日	2014-11-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KANG IL 김강일 CHOI HYUCK 최혁 HAN YE SEUL 한예슬 PARK HAE JUN 박해준		
发明人	김강일 최혁 한예슬 박해준		
IPC分类号	G02F1/1362 G02F1/1343		
CPC分类号	G02F1/136286 G02F1/1343 G02F2201/40 H01L29/786		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，包括第一基板，栅极线，数据线，薄膜晶体管，公共电极，像素电极和存储电容器。栅极线位于第一衬底的表面上。数据线位于第一基板的表面上，数据线栅极线相交。薄膜晶体管位于栅极线和数据线交叉的不可渗透部分中。公共电极位于不可渗透部分中。像素电极位于不可渗透部分中。存储电容器包括公共电极和由相邻像素电极制备的存储电容器。

