



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0065918
(43) 공개일자 2011년06월16일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/13 (2006.01)

(21) 출원번호 10-2009-0122611

(22) 출원일자 2009년12월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

유덕근

서울특별시 송파구 잠실동 리센츠아파트 265동 702호

(74) 대리인

특허법인천문

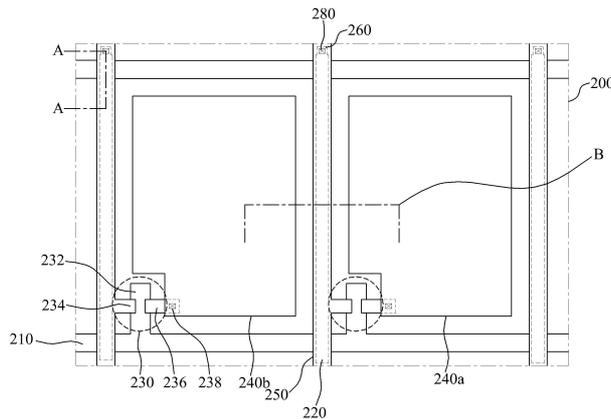
전체 청구항 수 : 총 10 항

(54) 액정표시장치 및 그 제조방법

(57) 요약

데이터 라인과 데이터 라인의 양쪽에 형성된 화소 전극간의 기생용량 차이의 변동을 최소화함으로써 액정표시장치의 화질을 개선할 수 있는 본 발명의 일 측면에 따른 액정표시장치는, 교차 배열되어 화소 영역을 정의하는 복수개의 게이트 라인 및 데이터 라인; 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터; 상기 화소 영역에 형성된 화소 전극; 및 상기 데이터 라인 상에 상기 데이터 라인과 등전위를 이루도록 형성된 더미 라인을 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

교차 배열되어 화소 영역을 정의하는 복수개의 게이트 라인 및 데이터 라인;

상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터;

상기 화소 영역에 형성된 화소 전극; 및

상기 데이터 라인 상에 상기 데이터 라인과 등전위를 이루도록 형성된 더미 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 더미 라인은 상기 데이터 라인을 커버하도록 상기 데이터 라인 상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 더미 라인은 상기 데이터 라인과 동일한 패턴으로 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 더미 라인은 상기 데이터 라인을 외부 구동회로에 연결시키는 데이터 패드에 전기적으로 연결 되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 더미 라인은 상기 화소 전극과 동일한 물질을 이용하여 형성된 것을 특징으로 하는 액정표시장치.

청구항 6

기판 상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 라인과 수직하게 배열되어 화소 영역을 정의하는 데이터 라인, 상기 데이터 라인과 연결된 소스 전극, 상기 소스 전극과 이격된 드레인 전극, 및 상기 데이터 라인을 외부의 구동회로에 연결 시키는 데이터 패드를 형성하는 단계; 및

상기 화소 영역에 상기 드레인 전극과 콘택되는 화소 전극을 형성하고 상기 데이터 라인 상에 상기 데이터 라인 과 등전위를 이루는 더미 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 7

제6항에 있어서,

상기 더미 라인은 상기 데이터 라인을 커버하도록 상기 데이터 라인 상에 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 8

제6항에 있어서,

상기 더미 라인은 상기 데이터 패드에 전기적으로 연결되도록 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 9

제6항에 있어서,

상기 더미 라인은 상기 데이터 라인과 동일한 패턴으로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 10

제6항에 있어서,

상기 화소 전극과 상기 더미 라인은 하나의 마스크 공정으로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서 보다 상세하게는 액정표시장치의 어레이 기판에 관한 것이다.

배경기술

[0002] 일반적인 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 컬러필터(Color Filter) 기판과 어레이(Array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(Liquid Crystal Material Layer)으로 구성된다.

[0003] 도 1a 및 도 1b는 이러한 일반적인 액정표시장치를 구성하는 어레이 기판의 일부를 나타내는 평면도이고, 도 1c는 도 1a 및 도 1b의 B선을 따라 자른 단면도이다.

[0004] 도 1a에 도시된 바와 같이, 어레이 기판(100)은 어레이 기판(100) 상에 서로 교차하도록 배치되어 화소 영역을 정의하는 복수개의 게이트 라인(110) 및 복수개의 데이터 라인(120), 게이트 라인(110)과 데이터 라인(120)의 교차부에 형성된 박막 트랜지스터(Thin Film Transistor; TFT, 130), 및 화소 영역에 형성된 화소 전극(140a, 140b)을 포함한다.

[0005] 일반적인 액정표시장치에서 이러한 화소 전극(140a, 140b) 형성 시, 도 1a에 도시된 바와 같이 우측 및 좌측 화소 전극(140a, 140b)은 데이터 라인(120)과 동일한 거리(d)를 가지도록 형성된다.

[0006] 하지만, 포토 마스크 장비의 한계나 공정 변동 및 유리 기판의 휨 등에 의해 도 1b에 도시된 바와 같이 화소 전극(140a, 140b)이 데이터 라인(120)을 기준으로 한쪽 방향으로 치우치게 되어 데이터 라인(120)과 우측 화소 전극(140a)간의 거리(d1)와 데이터 라인(120)과 좌측 화소 전극(140b) 간의 거리(d2)가 달라지는 현상이 발생된다.

[0007] 이에 따라, 도 1c에 도시된 바와 같이 데이터 라인(120)과 우측 화소 전극(140b)간에 발생하는 기생용량(CdpR)과 데이터 라인(120)과 좌측 화소 전극(140a)간에 발생하는 기생용량(CdpL)의 차이(|CdpR-CdpL|)가 증가하게 되고, 이로 인해 화소 전극(140a, 140b)에 인가되는 전압 값이 변동되어 액정표시장치의 휘도 차이가 발생하게 된다. 또한, 이러한 휘도 차이로 인해 액정표시장치의 구동 시 수직 띠 얼룩 불량 현상이 발생하여 화질이 저하된다는 문제점이 발생한다.

발명의 내용

해결하고자하는 과제

[0008] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 데이터 라인과 데이터 라인의 양쪽에 형성된 화소 전극간의 기생용량 차이의 변동을 최소화함으로써 액정표시장치의 화질을 개선할 수 있는 액정표시장치 및 그 제조 방법을 제공하는 것을 그 기술적 과제로 한다.

과제 해결수단

[0009] 상술한 목적을 달성하기 위한 본 발명의 일 측면에 따른 액정표시장치는, 교차 배열되어 화소 영역을 정의하는 복수개의 게이트 라인 및 데이터 라인; 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터; 상기 화소 영역에 형성된 화소 전극; 및 상기 데이터 라인 상에 상기 데이터 라인과 등전위를 이루도록 형성된 더미 라인을 포함하는 것을 특징으로 한다.

[0010] 상술한 목적을 달성하기 위한 본 발명의 다른 측면에 따른 액정표시장치의 제조 방법은, 기판 상에 게이트 라인 및 게이트 전극을 형성하는 단계; 상기 게이트 라인과 수직하게 배열되어 화소 영역을 정의하는 데이터 라인, 상기 데이터 라인과 연결된 소스 전극, 상기 소스 전극과 이격된 드레인 전극, 및 상기 데이터 라인을 외부의 구동회로에 연결 시키는 데이터 패드를 형성하는 단계; 및 상기 화소 영역에 상기 드레인 전극과 선택되는 화소 전극을 형성하고 상기 데이터 라인 상에 상기 데이터 라인과 등전위를 이루는 더미 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

효 과

[0011] 본 발명에 따르면, 데이터 라인 상에 데이터 라인과 등전위를 이루는 더미 라인을 추가로 형성함으로써 화소 전극의 패터닝 시 얼라인이 정확하지 않더라도 데이터 라인과 데이터 라인의 양쪽에 형성된 화소 전극간의 기생용량 차이의 변동을 최소화할 수 있다는 효과가 있다.

[0012] 또한, 본 발명은 데이터 라인과 데이터 라인의 양쪽에 형성된 화소 전극간의 기생용량 차이의 변동을 최소화함으로써 수직 띠 얼룩 불량을 개선할 수 있고, 이에 따라 액정표시장치의 화질을 개선시킬 수 있다는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.

[0014] 도 2는 본 발명의 일 실시예에 따른 액정표시장치를 구성하는 어레이 기판의 평면도이고, 도 3은 도 2의 A-A 선을 따라 자른 단면도이며, 도 4는 도 2의 B선을 따라 자른 단면도이다.

[0015] 본 발명의 일 실시예에 따른 액정표시장치는, 컬러 필터 기판(미도시), 상기 컬러 필터 기판과 대향되도록 배치되는 어레이 기판(200), 및 상기 컬러 필터 기판과 어레이 기판(200) 사이에 충전되는 액정(미도시)을 포함한다.

[0016] 도 2 및 도 3에 도시된 바와 같이, 어레이 기판(200)은 서로 교차하여 화소 영역들을 정의하는 복수개의 게이트 라인(210) 및 복수개의 데이터 라인(220)과, 상기 게이트 라인(210)들과 데이터 라인(220)들의 각 교차부에 형성된 박막 트랜지스터(TFT, 230)와, 각 화소 영역에 형성되는 화소 전극(240a, 240b)과, 상기 복수개의 데이터 라인(220) 상에 각각 형성된 복수개의 더미 라인(250)과, 상기 게이트 라인(210)을 외부 구동회로와 연결시키는 게이트 패드(미도시), 및 상기 데이터 라인(220)을 외부 구동회로와 연결시키는 데이터 패드(260)를 포함한다.

[0017] 여기서, 상기 박막 트랜지스터(230)는 게이트 라인(210)에 연결된 게이트 전극(232)과, 데이터 라인(220)에 연결된 소스 전극(234)과, 상기 소스 전극(234)과 이격되게 배치되며 상기 화소 전극(240a, 240b)에 연결되는 드레인 전극(236)으로 구성된다.

[0018] 이때, 상기 드레인 전극(236)은 상기 드레인 전극(236)의 일부를 노출시키기 위해 상기 드레인 전극(236) 상에 형성된 보호막(미도시)을 식각 함으로써 형성된 제1 컨택홀(238)을 통해 상기 화소 전극(240a, 240b)과 전기적으로 접촉된다.

[0019] 또한, 상기 박막 트랜지스터(230)는 게이트 전극(232)과 소스/드레인 전극(234, 236)의 절연을 위한 절연막(212), 게이트 전극(232)에 공급되는 게이트 전압에 의해 소스 전극(234)과 드레인 전극(236) 간에 전도채널(Conductive Channel)을 형성하는 반도체층(미도시)을 포함한다.

[0020] 한편, 본 발명에 따라 상기 데이터 라인(220) 상에 형성되는 더미 라인(250)은 상기 데이터 라인(220)과 등전위를 이루도록 형성되는데, 일 실시예에 있어서, 더미 라인(250)은 데이터 패드(260)에 전기적으로 접촉됨으로써 데이터 라인(220)과 등전위를 이룰 수 있다.

[0021] 구체적으로, 도 2 및 도 3에 도시된 바와 같이, 더미 라인(250)은 데이터 패드(260)의 일부를 노출시키기 위해 데이터 패드(260) 상에 형성된 보호막(270)을 식각하여 형성된 제2 컨택홀(280)을 통해 데이터 패드(260)에 전기적으로 접촉됨으로써 데이터 라인(220)과 등전위를 이룬다.

- [0022] 이와 같이, 본 발명에서는 더미 라인(250)과 데이터 라인(220)이 등전위이기 때문에, 데이터 라인(220)과 각 화소 전극(240a, 240b)간의 기생 용량은 더미 라인(260)과 각 화소 전극(240a, 240b)간의 기생용량과 동일해 지게 된다.
- [0023] 한편, 이러한 더미 라인(250)은 각각의 데이터 라인(220)을 완전히 커버하도록 데이터 라인(220) 상에 형성될 수 있는데, 일 실시예에 있어서 더미 라인(250)은 데이터 라인(220)과 동일한 패턴으로 형성될 수 있다. 따라서, 이러한 경우 더미 라인(250)은 데이터 라인(220)과 동일한 형상으로 형성된다.
- [0024] 또한, 상술한 더미 라인(250)은 각 화소 전극(240a, 240b)과 동일한 재료를 이용하여 화소 전극(240a, 240b)과 동시에 형성될 수 있는데, 일 실시예에 있어서 더미 라인(250)은 투명한 도전성 물질인 인듐-틴-옥사이드 (Indium Tin Oxide: ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide: IZO)를 이용하여 형성할 수 있다.
- [0025] 이와 같이 본 발명에 따른 액정표시장치의 경우, 데이터 라인(220)과 등전위를 이루는 더미 라인(250)을 데이터 라인(220) 상에 형성하기 때문에, 도 4에 도시된 바와 같이 각 화소 전극(240a, 240b)이 데이터 라인(220)을 기준으로 왼쪽으로 d만큼 치우치게 되더라도 데이터 라인(220)과 등전위를 이루는 더미 라인(250)도 화소 전극(240a, 240b)과 함께 d만큼 왼쪽으로 이동 하게 된다.
- [0026] 따라서, 화소 전극(240a, 240b) 형성 시, 화전 전극(240a, 240b)이 어느 한쪽으로 치우치게 되더라도 더미 라인(220)과 우측 화소 전극(240a) 간의 기생용량(CdpR)과 더미 라인(220)과 좌측 화소 전극(240b)간의 기생용량(CdpL)의 차이(|CdpR-CdpL|)는 동일하게 유지되고, 결과적으로 데이터 라인(220)과 각 화소 전극(240a, 240b)간의 기생용량의 차이도 변동되지 않게 된다.
- [0027] 또한, 더미 라인(220)과 우측 화소 전극(240a) 간의 기생용량(CdpR)과 더미 라인(220)과 좌측 화소 전극(240b) 간의 기생용량(CdpL)의 차이(|CdpR-CdpL|)가 동일하게 유지되기 때문에, 아래의 수학적 식 1에서 알 수 있는 바와 같이 각 화소에 인가되는 전압의 변동폭(ΔVpx1)도 동일하게 유지된다.
- [0028] 따라서, 액정표시장치의 휘도 차이가 발생하지 않게 되어, 액정표시장치의 구동 시 수직 띠 얼룩 불량 현상이 발생되는 것을 방지할 수 있게 된다.

수학적 식 1

$$\Delta V_{px1} = \frac{|C_{dpR} - C_{dpL}|}{C_{total}} \times V_d$$

- [0029]
- [0030] 여기서, Vd는 드레인 전압을 나타내고, Ctotal은 아래의 수학적 식 2와 같이 정의된다.

수학적 식 2

$$C_{total} = C_{gs} + C_{st} + C_{lc} + C_{qd} + C_{dp}$$

- [0031]
- [0032] 수학적 식 2에서, Cgs는 게이트 전극(232)과 소스 전극(234) 간의 중첩되는 영역에서 생기는 기생 용량을 나타내고, Cst는 화소에 인가되는 전압의 유지 특성을 향상시키기 위해 형성되는 스토리지 커패시터를 나타내며, Clc는 화소 전극(240a, 240b)과 컬러 필터 기판에 형성된 공통 전극(미도시) 사이에 생기는 액정용량을 나타내고, Cgs는 게이트 전극(232)과 드레인 전극(236) 간의 중첩되는 영역에서 생기는 기생 용량을 나타내며, Cdp는 및 데이터 라인(220)과 각 화소 전극(240a, 240b) 간에 발생하는 기생 용량을 나타낸다.
- [0033] 이하에서는 도 5a 내지 도 5c를 참조하여 상술한 액정표시장치의 제조 방법을 설명한다.
- [0034] 먼저, 유리와 같은 투명한 절연기판 상에 Cu, Ti, Cr, Al, Mo, Ta, Al 합금과 같은 금속물질을 증착하여 제1 금속층을 형성하고, 제1 금속층 상에 레지스트 패턴을 형성한다.
- [0035] 이후, 상기 레지스트 패턴을 마스크로 하여 상기 제1 금속층을 패터닝 함으로써, 도 5a에 도시된 바와 같이, 게이트 라인(210), 상기 게이트 라인(210)과 전기적으로 접속하는 게이트 전극(232), 및 상기 게이트 라인(210)을 외부 구동회로와 연결시키는 게이트 패드(미도시)를 형성한다.
- [0036] 다음으로, 상기 게이트 라인(210), 게이트 전극(232), 및 게이트 패드가 형성된 기판(200) 전면에 SiNx 또는

SiO_x 등을 증착하여 게이트 절연막(미도시)을 형성한 후, 게이트 절연막이 형성된 기판(200) 상에 순수 아몰퍼스 실리콘과 불순물이 함유된 아몰퍼스 실리콘을 적층한 후 패터닝하여 액티브 층(미도시)과 오믹 콘택층(미도시)을 형성한다.

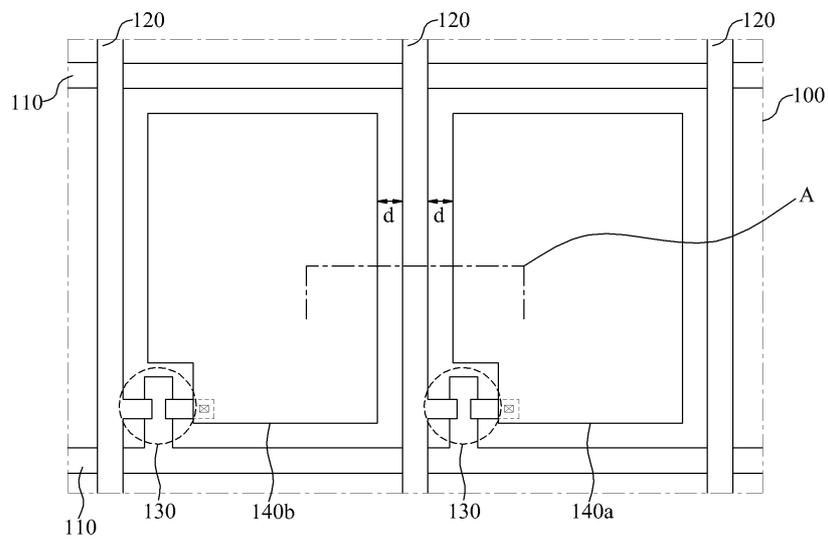
- [0037] 다음으로, 도 4b에 도시된 바와 같이, 상기 오믹 콘택층이 형성된 기판(200) 전면에 Cu, Mo, Ta, Al, Cr, Ti, Al 합금과 같은 금속물질을 증착하여 제2 금속층을 형성한 후, 상기 제2 금속층 상에 마스크 패턴을 형성한다.
- [0038] 이후, 상기 제2 금속층을 패터닝하여 상기 게이트 라인(210)과 수직으로 교차하여 화소 영역을 정의하는 데이터 라인(220)과 상기 데이터 라인(220)을 외부 구동회로와 연결시키는 데이터 패드(260)를 형성하고, 상기 데이터 라인(220)과 전기적으로 접촉하는 소스 전극(234) 및 상기 소스 전극(234)과 이격 되는 드레인 전극(236)을 형성하여 박막 트랜지스터(230)를 완성한다.
- [0039] 다음으로, 상기 박막 트랜지스터(230)가 형성된 기판(200) 전면에서 SiN_x나 SiO_x와 같은 무기물 또는 벤조사이클로부텐(Benzocyclobutene)이나 아크릴과 같은 유기물을 도포하여 보호막(미도시)을 형성한 다음, 상기 드레인 전극(236)의 일부를 노출시키는 제1 콘택홀(238) 및 상기 데이터 패드(260)의 일부를 노출시키는 제2 콘택홀(280)을 형성한다.
- [0040] 다음으로, 도 4c에 도시된 바와 같이, 상기 제1 콘택홀(238) 및 제2 콘택홀(280) 내부와 상기 보호막 상에 인듐-틴-옥사이드(Indium Tin Oxide: ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide: IZO)와 같은 투명한 전도성 물질을 증착한다.
- [0041] 이어서, 상기 전도성 물질 위에 마스크 패턴을 형성한 후 이를 패터닝 함으로써, 화소 영역에 화소 전극(240a, 240b)을 형성하고, 상기 데이터 라인(220) 상에 상기 데이터 라인(220)과 등전위를 이루는 더미 라인(250)을 형성한다.
- [0042] 이때, 화소 전극(240a, 240b)은 제1 콘택홀(238)을 통해 상기 드레인 전극(236)과 접촉하게 된다.
- [0043] 여기서, 상기 더미 라인(250)과 상기 화소 전극(240a, 240b)은 하나의 마스크 공정을 이용하여 형성할 수 있으며, 이때 상기 더미 라인(250)은 상기 데이터 라인(220)을 완전히 커버하도록 형성할 수 있다.
- [0044] 일 실시예에 있어서, 상기 더미 라인(250)은 상기 데이터 라인(220)과 동일한 패턴으로 형성할 수 있다. 이에 따라 더미 라인(250)은 데이터 라인(220)과 동일한 형상으로 형성된다.
- [0045] 또한, 상기 더미 라인(250)은 상기 데이터 패드(260) 상에 형성된 제2 콘택홀(280)을 통해 상기 데이터 패드(260)에 전기적으로 접촉함으로써 상기 데이터 라인(220)과 등전위를 이루게 된다.
- [0046] 이와 같이 본 발명에 따른 액정표시장치의 경우, 데이터 라인(220)과 등전위를 이루는 더미 라인(250)을 데이터 라인(220) 상에 형성하기 때문에, 상술한 도 4에 도시된 바와 같이 화소 전극(240a, 240b)이 데이터 라인(220)을 기준으로 어느 한쪽으로 치우치게 되더라도 데이터 라인(220)과 등전위를 이루는 더미 라인(250)도 화소 전극(240a, 240b)이 이동한 만큼 함께 이동하게 된다.
- [0047] 따라서, 화소 전극(240a, 240b) 형성 시, 화전 전극(240a, 240b)이 어느 한쪽으로 치우치게 되더라도 더미 라인(220)과 우측 화소 전극(240a) 간의 기생용량(CdpR)과 더미 라인(220)과 좌측 화소 전극(240b)간의 기생용량(CdpL)의 차이(|CdpR-CdpL|)는 동일하게 유지된다.
- [0048] 또한, 더미 라인(220)과 우측 화소 전극(240a) 간의 기생용량(CdpR)과 더미 라인(220)과 좌측 화소 전극(240b) 간의 기생용량(CdpL)의 차이가 동일하게 유지되기 때문에, 각 화소에 인가되는 전압의 변동폭(ΔV_{px1})도 동일하게 유지되고, 이에 따라 액정표시장치의 휘도 차이가 발생하지 않게 되어, 액정표시장치의 구동 시 수직 띠 얼룩 불량 현상이 발생하는 것을 방지할 수 있게 된다.
- [0049] 한편, 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0050] 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

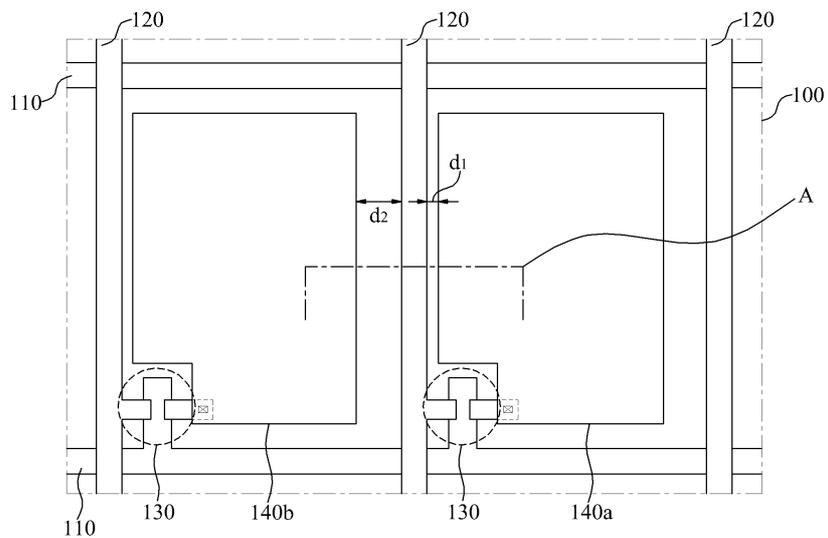
- [0051] 도 1a은 일반적인 액정표시장치의 어레이 기판을 보여주는 평면도.
- [0052] 도 1b는 도 1a에 도시된 화소 전극의 쉬프트를 보여주는 도면.
- [0053] 도 1c는 도 1a 및 도 1b의 B선을 따라 자른 단면도.
- [0054] 도 2는 본 발명의 일 실시예에 따른 액정표시장치의 어레이 기판을 보여주는 평면도.
- [0055] 도 3은 도 2의 A-A선을 따라 자른 단면도.
- [0056] 도 4는 도 2의 B선을 따라 자른 단면도.
- [0057] 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 액정표시장치의 제조 방법을 보여주는 도면.

도면

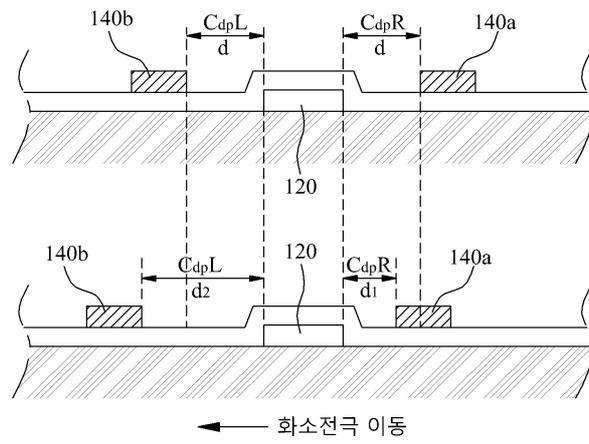
도면1a



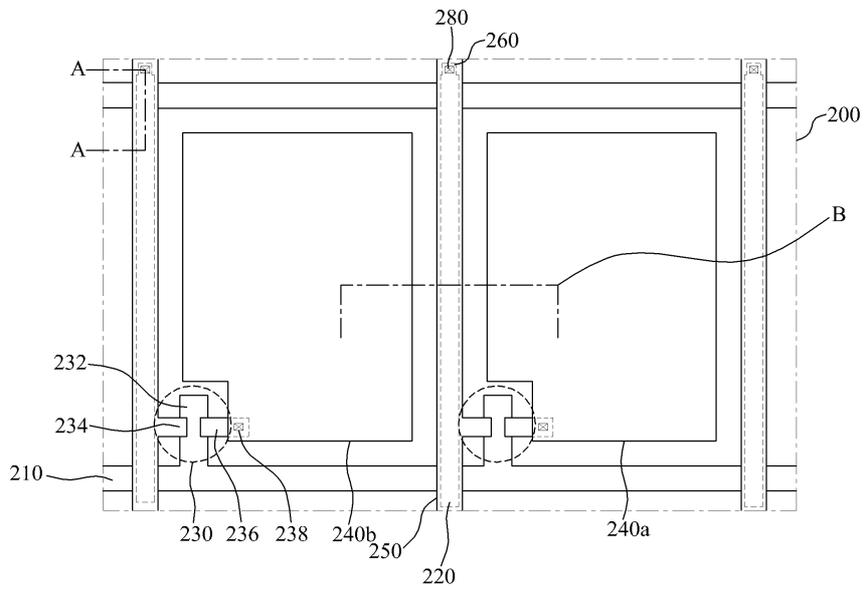
도면1b



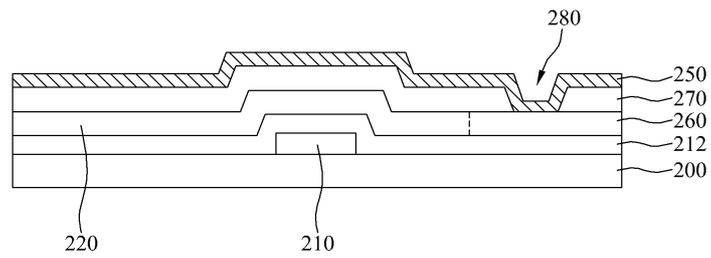
도면1c



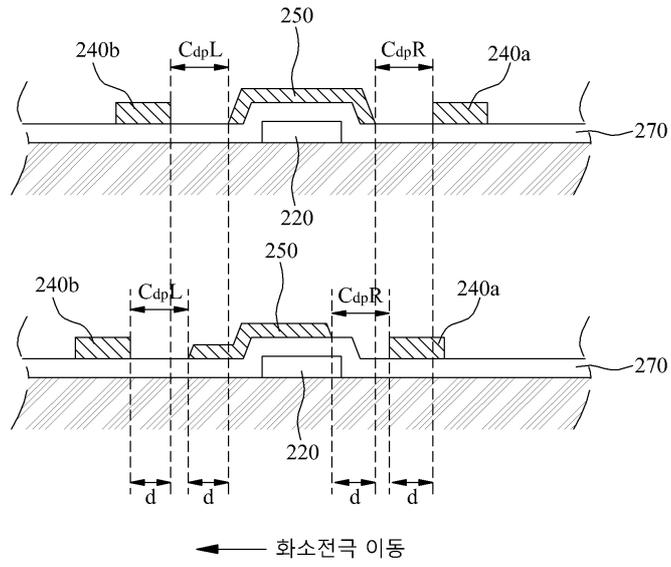
도면2



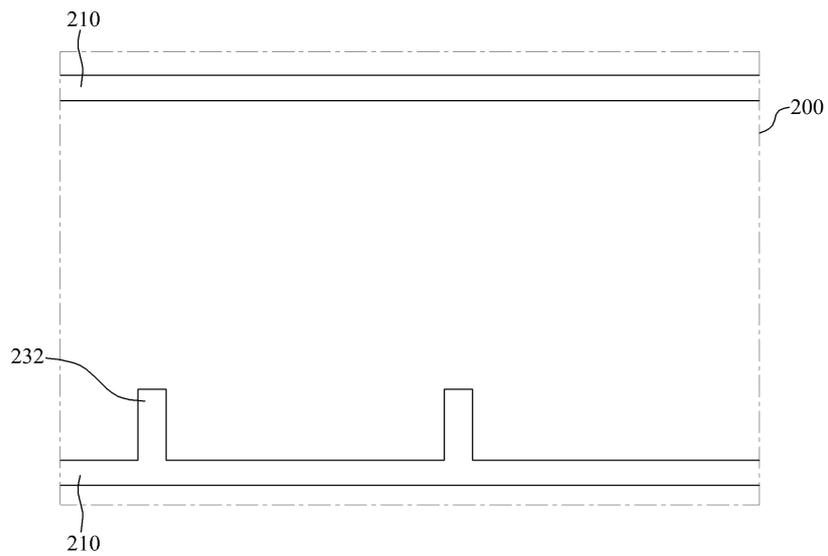
도면3



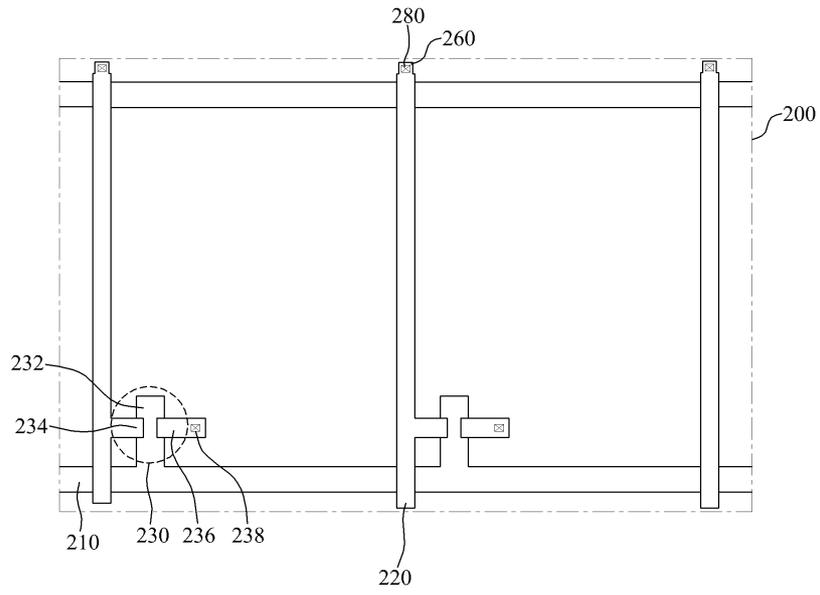
도면4



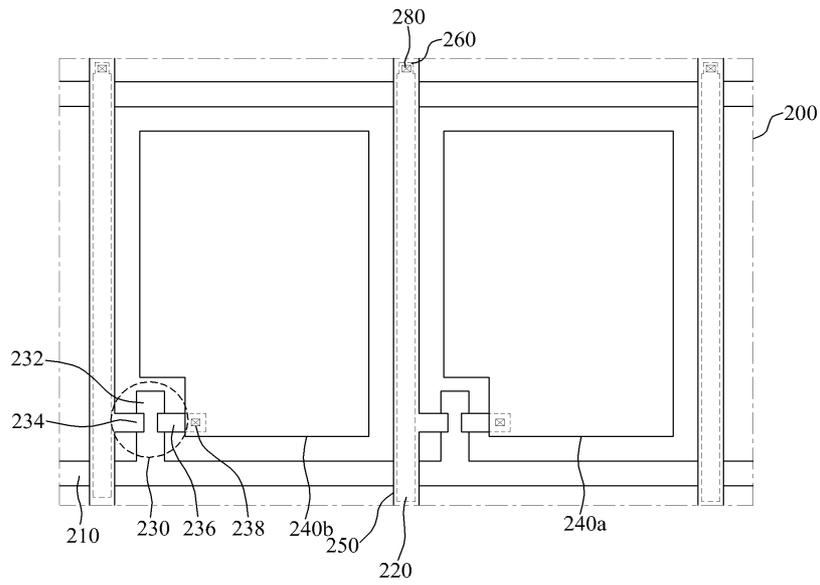
도면5a



도면5b



도면5c



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020110065918A	公开(公告)日	2011-06-16
申请号	KR1020090122611	申请日	2009-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO DUK KEUN		
发明人	YOO, DUK KEUN		
IPC分类号	G02F1/133 G02F1/13		
CPC分类号	G02F1/136286 G02F1/13452 G02F1/136227 G02F2001/13629		
外部链接	Espacenet		

摘要(译)

根据本发明一个方面的液晶显示装置，通过最小化在数据线和数据线上形成的像素电极之间的寄生电容差异的变化，可以改善液晶显示装置的图像质量，多条栅极线和数据线；一种薄膜晶体管，形成在栅极线和数据线的交叉处；形成在像素区域中的像素电极；并且在数据线上形成与数据线具有相等电位的虚拟线。

