



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0042793
(43) 공개일자 2008년05월15일

(51) Int. Cl.

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0041459(분할)

(22) 출원일자 2008년05월02일

심사청구일자 2008년05월02일

(62) 원출원 특허 10-2001-0077838

원출원일자 2001년12월10일

심사청구일자 2006년11월21일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이창훈

경기 용인시 기흥읍 서천리 705번지 예현마을 현
대홈타운 104동1205호

장학선

경기도 용인시 풍덕천동 동부아파트 103동 203호
김남홍

서울 강동구 성내3동 597번지 한솔애리즈 201동
204호

(74) 대리인

팬코리아특허법인

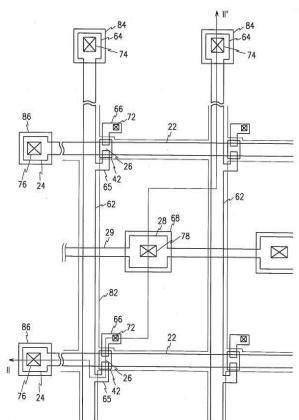
전체 청구항 수 : 총 4 항

(54) 박막 트랜지스터 기판 및 그의 제조 방법과 액정 표시 장치

(57) 요약

본 발명에 따른 박막 트랜지스터 기판, 절연 기판, 절연 기판 위에 형성되고, 제1 게이트선, 제1 게이트선에 연결되는 게이트 전극 및 상기 제1 게이트선과 소정 간격을 두고 위치하는 제2 게이트선을 포함하는 게이트 배선, 게이트 배선을 덮는 게이트 절연막, 게이트 절연막 위에 게이트 전극에 중첩하여 형성되는 반도체 패턴, 게이트 절연막 위에 형성되고, 제1 및 제2 게이트선에 교차하는 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선 및 제2 게이트선의 일부와 중첩하여 제1 유지 용량을 형성하는 유지 용량 도전체 패턴, 데이터 배선, 유지 용량 도전체 패턴 및 반도체 패턴을 덮는 보호막, 보호막에 드레인 전극 및 유지 용량 도전체 패턴을 각각 드러내는 제1 및 제2 접촉 구멍, 보호막 위에 제1 및 제2 접촉 구멍을 통하여 드레인 전극 및 유지 용량 도전체 패턴에 연결되어 있고, 제2 게이트선의 일부와 중첩하여 제2 유지 용량을 형성하는 화소 전극을 포함합니다.

대표도 - 도1



특허청구의 범위

청구항 1

절연 기판,

상기 절연 기판 위에 형성되고, 제1 게이트선, 상기 제1 게이트선에 연결되는 게이트 전극 및 상기 제1 게이트선과 소정 간격을 두고 위치하는 제2 게이트선을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 위에 상기 게이트 전극에 중첩하여 형성되는 반도체 패턴,

상기 게이트 절연막 위에 형성되고, 상기 제1 및 제2 게이트선에 교차하는 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선 및 상기 제2 게이트선의 일부와 중첩하여 제1 유지 용량을 형성하는 유지 용량 도전체 패턴,

상기 데이터 배선, 상기 유지 용량 도전체 패턴 및 상기 반도체 패턴을 덮는 보호막,

상기 보호막에 상기 드레인 전극 및 상기 유지 용량 도전체 패턴을 각각 드러내는 제1 및 제2 접촉 구멍,

상기 보호막 위에 상기 제1 및 제2 접촉 구멍을 통하여 상기 드레인 전극 및 상기 유지 용량 도전체 패턴에 연결되어 있고, 상기 제2 게이트선의 일부와 중첩하여 제2 유지 용량을 형성하는 화소 전극

을 포함하는 박막 트랜지스터 기판.

청구항 2

제1항에 의한 박막 트랜지스터 기판,

상기 박막 트랜지스터 기판에 대향되는 대향 기판,

상기 박막 트랜지스터 기판과 상기 대향 기판 사이에 개재되는 액정층

을 포함하는 액정 표시 장치.

청구항 3

제2항에서,

상기 제1 유지 용량 및 상기 제2 유지 용량의 정전 용량은 상기 액정층의 정전 용량의 90% 이상의 크기를 가지는 액정 표시 장치.

청구항 4

절연 기판 위에 제1 게이트선, 상기 제1 게이트선에 연결되는 게이트 전극 및 상기 제1 게이트선과 소정 간격을 두고 나란하게 위치하는 제2 게이트선을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 상기 게이트 전극에 중첩하는 반도체 패턴을 형성하는 단계,

상기 게이트 절연막 위에 상기 제1 및 제2 게이트선에 교차하는 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선 및 상기 제2 게이트선의 일부와 중첩하여 제1 유지 용량을 형성하는 유지 용량 도전체 패턴을 형성하는 단계,

상기 데이터 배선, 상기 유지 용량 도전체 패턴 및 상기 반도체 패턴을 덮는 보호막을 형성하는 단계,

상기 보호막에 상기 드레인 전극 및 상기 유지 용량 도전체 패턴을 각각 드러내는 제1 및 제2 접촉 구멍을 형성하는 단계,

상기 보호막 위에 상기 제1 및 제2 접촉 구멍을 통하여 상기 드레인 전극 및 상기 유지 용량 도전체 패턴에 연결되어 있고, 상기 제2 게이트 배선의 게이트선의 일부와 중첩하여 제2 유지 용량을 형성하는 화소 전극을 형성하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 박막 트랜지스터 기판 및 액정 표시 장치에 관한 것이다.

배경 기술

<2> 액정 표시 장치는 현재 널리 사용되고 있는 평판 표시 장치 중 하나로서, 서로 대향되는 두 개의 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 구성되어 있고, 이를 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 액정층에 투과되는 빛의 양을 조절하는 방식으로 화상을 표시한다. 여기서, 대향되는 두 개의 전극은 두 장의 기판 중 하나의 기판에 모두 형성될 수 있다.

<3> 통상적인 경우, 액정 표시 장치의 두 기판 중 하나인 박막 트랜지스터 기판에는 다수개의 게이트선과 다수개의 데이터선이 교차하여 다수개의 화소 영역이 정의되어 있고, 화소 영역 각각에는 게이트선과 데이터선에 전기적으로 연결되는 박막 트랜지스터 및 박막 트랜지스터에 전기적으로 연결되는 화소 전극이 형성되어 있다.

<4> 이러한 액정 표시 장치에서, 두 기판 사이에 위치하는 액정에 인가된 액정 전압을 안정적으로 유지하기 위하여 유지 용량을 반박 트랜지스터 기판에 형성한다. 이를 위하여, 게이트선과 동일한 층에 게이트선과 나란하게 위치하는 유지 용량 전극선을 형성하는데, 이 유지 용량 전극선은 화소 전극과 중첩하여 유지 용량을 형성한다. 그런데, 액정 표시 장치의 휙도를 높이거나 응답 속도를 빠르게 하기 위하여 유지 용량의 정전 용량을 증가시켜야 하는데, 이러한 박막 트랜지스터 기판 구조에서는 유지 용량 전극선의 면적을 불가피하게 넓혀야 하므로 어쩔 수 없이 개구율 감소를 동반하게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<5> 본 발명은 개구율을 감소시키지 않으면서 유지 용량의 정전 용량을 증가시키고자 한다.

과제 해결수단

<6> 상기한 기술적 과제를 달성하기 위한 본 발명에 따른 박막 트랜지스터 기판, 절연 기판, 절연 기판 위에 형성되고, 제1 게이트선, 제1 게이트선에 연결되는 게이트 전극 및 상기 제1 게이트선과 소정 간격을 두고 위치하는 제2 게이트선을 포함하는 게이트 배선, 게이트 배선을 덮는 게이트 절연막, 게이트 절연막 위에 게이트 전극에 중첩하여 형성되는 반도체 패턴, 게이트 절연막 위에 형성되고, 제1 및 제2 게이트선에 교차하는 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선 및 제2 게이트선의 일부와 중첩하여 제1 유지 용량을 형성하는 유지 용량 도전체 패턴, 데이터 배선, 유지 용량 도전체 패턴 및 반도체 패턴을 덮는 보호막, 보호막에 드레인 전극 및 유지 용량 도전체 패턴을 각각 드러내는 제1 및 제2 접촉 구멍, 보호막 위에 제1 및 제2 접촉 구멍을 통하여 드레인 전극 및 유지 용량 도전체 패턴에 연결되어 있고, 제2 게이트선의 일부와 중첩하여 제2 유지 용량을 형성하는 화소 전극을 포함합니다.

<7> 그리고 상기의 박막 트랜지스터 기판, 박막 트랜지스터 기판에 대향되는 대향 기판, 박막 트랜지스터 기판과 대향 기판 사이에 개재되는 액정층을 포함합니다.

<8> 제1 유지 용량 및 제2 유지 용량의 정전 용량은 액정층의 정전 용량의 90%이상의 크기를 가질 수 있습니다.

<9> 상기한 다른 과제를 달성하기 위한 본 발명에 따른 박막 트랜지스터 기판의 제조 방법은 절연 기판 위에 제1 게이트선, 제1 게이트선에 연결되는 게이트 전극 및 상기 제1 게이트선과 소정 간격을 두고 나란하게 위치하는 제2 게이트선을 포함하는 게이트 배선을 형성하는 단계, 게이트 배선을 덮는 게이트 절연막을 형성하는 단계, 게이트 절연막 위에 게이트 전극에 중첩하는 반도체 패턴을 형성하는 단계, 게이트 절연막 위에 제1 및 제2 게이트선에 교차하는 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선 및 제2 게이트선의 일부와 중첩하여 제1 유지 용량을 형성하는 유지 용량 도전체 패턴을 형성하는 단계, 데이터 배선, 유지 용량 도전체 패턴을 형성하는 단계, 데이터 배선, 유지 용량 도전체 패턴

및 상기 반도체 패턴을 덮는 보호막을 형성하는 단계, 보호막에 드레인 전극 및 유지 용량 도전체 패턴을 각각 드러내는 제1 및 제2 접촉 구멍을 형성하는 단계, 보호막 위에 제1 및 제2 접촉 구멍을 통하여 드레인 전극 및 유지 용량 도전체 패턴에 연결되어 있고, 제2 게이트 배선의 게이트선의 일부와 중첩하여 제2 유지 용량을 형성하는 화소 전극을 형성하는 단계를 포함합니다.

효과

- <10> 본 발명에 따른 액정 표시 장치에서는, 개구율을 감소시키지 않고서도 유지 용량의 정전 용량을 증가시킬 수 있으며, 그에 따라 응답 속도를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <11> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.
- <12> 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이고, 도 2는 도 1의 절단선 II-II'에 따른 박막 트랜지스터 기판의 단면도를 나타낸 것이다.
- <13> 절연 기판(10) 위에 알루미늄 또는 알루미늄 합금, 크롬 또는 크롬 합금, 몰리브덴 또는 몰리브덴 합금, 질화 크롬 또는 질화 몰리브덴 따위의 도전 물질로 이루어진 1000~3500Å 두께의 게이트 배선(22, 24, 26) 및 유지 용량 배선(27, 28)이 형성되어 있다.
- <14> 게이트 배선(22, 24, 26)은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 일단에 형성되어 외부 구동 회로(도시하지 않음)와 전기적으로 접촉하는 게이트 패드(24) 및 게이트선(22)의 일부로서, 박막 트랜지스터의 하나의 전극인 게이트 전극(26)을 포함한다.
- <15> 또한, 유지 용량 배선(28, 29)은 두 게이트선(22) 사이에 위치하는 장방형의 유지 용량 전극 패턴(28) 및 이웃하는 유지 용량 전극 패턴(28)들을 연결되고 게이트선(22)과 나란하게 가로 방향으로 뻗어 있는 유지 용량 전극 선(29)을 포함한다.
- <16> 이 때, 게이트 배선(22, 24, 26) 및 유지 용량 배선(28, 29)은 이중층 이상의 구조로 형성할 수 있는데, 이 경우, 적어도 한 층은 저저항 특성을 가지는 금속 물질로 형성하는 것이 바람직하다.
- <17> 절연 기판(10) 위에는 질화 규소 또는 산화 규소와 같은 절연 물질로 이루어진 2500~4500Å 두께의 게이트 절연막(30)이 게이트 배선(22, 24, 26) 및 유지 용량용 배선(28, 29)을 덮고 있다.
- <18> 게이트 절연막(30) 위에는 게이트 전극(26)과 중첩하고, 비정질 규소 등으로 이루어진 800~1500Å 두께의 반도체 패턴(42)이 형성되어 있다. 반도체 패턴(42) 위에는 N형 불순물이 고농도로 도핑되어 있는 비정질 규소 등으로 이루어진 500~800Å 두께의 저항성 접촉층(ohmic contact layer)(55, 56)이 형성되어 있다.
- <19> 저항성 접촉층(55, 56)과 게이트 절연막(30) 위에는 알루미늄 또는 알루미늄 합금, 크롬 또는 크롬 합금, 몰리브덴 또는 몰리브덴 합금, 질화 크롬 또는 질화 몰리브덴 같은 도전 물질로 이루어진 500~3500Å 두께의 데이터 배선(62, 64, 65, 66) 및 유지 용량용 도전체 패턴(68)이 형성되어 있다.
- <20> 데이터 배선(62, 64, 65, 66)은 세로 방향으로 뻗어 있으며 게이트선(22)과 교차하여 화소 영역을 정의하는 데이터선(62), 데이터선(62)의 일단에 연결되어 있으며, 외부 구동 회로와 전기적으로 접촉하는 데이터 패드(64), 데이터선(62)에서 돌출하여 하나의 저항성 접촉층(55) 위에 까지 연장되어 있는 소스 전극(65) 및 소스 전극(65)의 대향 전극이며 다른 하나의 저항성 접촉층(56) 위로부터 화소 영역 내부의 게이트 절연막(30) 위에 까지 연장되어 있는 드레인 전극(66)을 포함한다.
- <21> 유지 용량 도전체 패턴(68)은 이러한 데이터 배선(62, 64, 65, 66)과 동일한 층에 섬 모양으로 형성되어 있으며, 게이트 절연막(30)을 사이에 두고 그의 하부에 위치하는 유지 용량 전극 패턴(28)과 중첩하여 유지 용량을 이룬다. 이 때, 유지 용량 도전체 패턴(68)을 후술하는 화소 전극(82)과 전기적으로 연결되어 화상 전압을 받는다.
- <22> 여기서, 데이터 배선(62, 64, 65, 66) 및 유지 용량 도전체 패턴(68)은 이중층 이상의 구조로 형성할 수 있는데, 이 경우, 적어도 한 층은 저저항 특성을 가지는 금속 물질로 형성하는 것이 바람직하다.
- <23> 이러한 데이터 배선(62, 64, 65, 66), 유지 용량 도전체 패턴(68) 및 반도체 패턴(42)을 질화 규소 또는 산화 규소와 같은 절연 물질로 이루어진 500~2000Å 두께의 보호막(70)이 덮고 있다.

- <24> 보호막(70)에는 드레인 전극(66), 데이터 패드(64)를 드러내는 제1 및 제2 접촉 구멍(72, 74)이 형성되어 있고, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 제3 접촉 구멍(76)이 형성되어 있다. 또한, 보호막(70)에는 유지 용량 도전체 패턴(68)을 드러내는 제4 접촉 구멍(78)도 형성되어 있다.
- <25> 보호막(70) 위에는 제1 및 제4 접촉 구멍(72, 78)을 통하여 드레인 전극(66) 및 유지 용량 도전체 패턴(68)에 연결되는 화소 전극(82)이 형성되어 있다.
- <26> 또한, 보호막(70) 위에는 제2 및 제3 접촉 구멍(74, 76)을 통하여 데이터 패드(64) 및 게이트 패드(24)에 연결되는 보조 데이터 패드(84) 및 보조 게이트 패드(86)가 형성되어 있다.
- <27> 여기서, 화소 전극(82), 보조 데이터 패드(84) 및 보조 게이트 패드(86)는 ITO 또는 IZO와 같은 투명 도전 물질로 형성되어 있다.
- <28> 본 발명에서, 화소 전극(82)은 유지 용량 배선(28, 29)과 중첩하는데, 유지 용량 전극선(29)과는 보호막(70) 및 게이트 절연막(30)을 사이에 두고 유지 용량을 형성한다.
- <29> 또한, 화소 전극(82)은 유지 용량 도전체 패턴(68)에 연결되어 있는데, 이로써, 유지 용량 도전체 패턴(68)은 유지 용량 전극 패턴(28)과 게이트 절연막(30)을 사이에 두고 또 다른 유지 용량을 형성한다. 이 경우, 두 전극(28, 68) 사이에 개재되어 있는 절연막의 두께가 얇기 때문에, 유지 용량 전극 패턴(28)이 화소 전극(82)과 중첩하여 유지 용량을 형성하는 경우에 비하여 동일한 중첩 면적을 가지고도 더 큰 정전 용량을 형성할 수 있다.
- <30> 따라서, 본 발명에서는 유지 용량 배선(28, 29)의 면적을 넓히지 않고서도 정전 용량을 증가시킬 수 있어서 정전 용량 대비 개구율을 향상시킬 수 있다.
- <31> 그러면, 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 앞서의 도 3a 내지 도 6b 및 앞서의 도 1 및 도 2를 함께 참조하여 상세히 설명한다.
- <32> 우선, 도 3a 및 도 3b에 도시한 바와 같이, 절연 기판(10) 위에 게이트 배선용 금속층을 증착한 후, 이 금속층을 사진 식각 공정으로 패터닝하여 게이트 배선(22, 24, 26) 및 유지 용량 배선(28, 29)을 형성한다. 게이트 배선(22, 24, 26)은 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하고, 유지 용량 배선(28, 29)은 유지 용량 전극 패턴(28)과 유지 용량 전극선(29)을 포함한다.
- <33> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 절연 기판(10) 위에 질화 규소와 같은 절연 물질로 이루어진 게이트 절연막(30)을 증착하여 게이트 배선(22, 24, 26) 및 유지 용량 배선(28, 29)을 덮는다.
- <34> 이어, 게이트 절연막(30) 위에 비정질 규소층 및 도전형 불순물이 도핑된 비정질 규소층을 순차적으로 형성한 후, 이 두 규소층을 사진 식각 공정으로 패터닝하여 반도체 패턴(42)과 저항성 접촉층 패턴(52)을 형성한다.
- <35> 다음, 도 5a 및 도 5b 및 도 6c에 도시한 바와 같이, 기판의 노출된 전면 위로 데이터 배선용 금속층을 증착한 후, 이 금속층을 사진 식각 공정으로 패터닝하여 데이터 배선(62, 64, 65, 66) 및 유지 용량 도전체 패턴(68)을 형성한다. 데이터 배선(62, 64, 65, 66)은 데이터선(62), 데이터 패드(64), 소스 전극(65) 및 드레인 전극(66)을 포함한다. 이 때, 유지 용량 도전체 패턴(68)은 유지 용량 전극 패턴(28)과 중첩하도록 형성한다.
- <36> 이어, 소스 전극(65)과 드레인 전극(66)을 마스크로 하여 저항성 접촉층 패턴(52)을 식각하여 소스 전극(65)과 접촉하는 저항성 접촉층(55) 및 드레인 전극(66)과 접촉하는 저항성 접촉층(56)으로 분리한다.
- <37> 다음, 도 6a 및 도 6b에 도시한 바와 같이, 데이터 배선(62, 64, 65, 66), 유지 용량 도전체 패턴(68) 및 반도체 패턴(42)을 포함하는 기판 전면에 질화 규소 또는 산화 규소 등으로 보호막(70)을 형성한다.
- <38> 이어, 보호막(70) 및 게이트 절연막(30)을 사진 식각 공정으로 패터닝하여, 제1 내지 제4 접촉 구멍(72, 74, 76, 78)을 형성한다. 이 때, 제1, 제2 및 제4 접촉 구멍(72, 74, 78)은 보호막(70)에 형성되고, 각각 드레인 전극(66), 데이터 패드(64) 및 유지 용량 도전체 패턴(68)을 드러낸다. 또한, 제3 접촉 구멍(76)은 보호막(70) 및 게이트 절연막(30)에 형성되고, 게이트 패드(24)를 드러낸다.
- <39> 다음, 도 1 및 도 2에 도시한 바와 같이, 제1 내지 제4 접촉 구멍(72, 74, 76, 78)을 통하여 드러난 배선 부분을 포함하는 기판 노출된 전면 위에 ITO 또는 IZO로 이루어진 투명 도전층을 증착한다.
- <40> 이어, 이 투명 도전층을 사진 식각 공정으로 패터닝하여 제1 및 제4 접촉 구멍(72, 78)을 통하여 드레인 전극(66) 및 유지 용량 도전체 패턴(68)에 연결되는 화소 전극(82), 제2 및 제3 접촉 구멍(74, 76)을 통하여 데이터

패드(64) 및 게이트 패드(24)에 연결되는 보조 데이터 패드(84) 및 보조 게이트 패드(86)를 형성한다.

- <41> 상술된 본 발명의 제1 실시예에서는 유지 용량 도전체 패턴(68)을 이웃하는 두 게이트선 사이의 영역 즉, 화소 영역의 내부에 섬 모양으로 형성한 것을 예로 하였는데, 유지 용량 도전체 패턴(68)의 모양 및 위치는 본 발명의 제1 실시예에 제시된 내용에 제한을 받지 않고 다양하게 형성할 수 있다. 예로써, 유지 용량 도전체 패턴(68)을 화소 영역의 가장자리부에 바(bar) 형상으로 형성할 수 있다. 이 때, 유지 용량 도전체 패턴(68)과 유지 용량을 형성하는 유지 용량 전극 패턴(28) 역시, 바(bar) 형상으로 형성한다. 이를 도 7 및 도 8을 참조하여 설명한다.
- <42> 도 7은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이고, 도 8은 도 7의 절단선 VIII-VIII'에 따른 박막 트랜지스터 기판의 단면도를 나타낸 것이다.
- <43> 이 실시예에서, 유지 용량 전극 패턴(28)은 바 형상으로 형성되어 있으며, 화소 영역의 양쪽 가장자리부에 각각 위치하고 있다. 물론, 유지 용량 전극 패턴(28) 각각은 유지 용량 전극선(29)에 연결되어 있다.
- <44> 유지 용량 전극 패턴(28)과 유지 용량을 이루는 유지 용량 도전체 패턴(68)도 게이트 절연막(30) 위에서 유지 용량 전극 패턴(28)과 중첩하고 있다.
- <45> 유지 용량 도전체 패턴(68)과 화소 전극(82)을 연결하는 통로가 되는 제4 접촉 구멍(78)은 유지 용량 도전체 패턴(68)의 어느 부분이든지 드러내면 되고, 하나 이상으로 형성할 수 있다.
- <46> 이러한 구조의 액정 표시 장치에서도, 유지 용량 전극선(29)과 화소 전극(82)이 게이트 절연막(30) 및 보호막(70)을 사이에 두고 유지 용량을 형성한다. 또한, 각각의 유지 용량 전극 패턴(28)과 이에 중첩하는 유지 용량 도전체 패턴(68)이 게이트 절연막(30)을 사이에 두고 또 다른 유지 용량을 형성한다.
- <47> 이러한 본 발명에서의 유지 용량은 유지 용량 전극(28)이 화소 전극(82)에만 중첩하여 유지 용량을 형성하는 경우에 비하여 동일한 중첩 면적을 가지고도 더 큰 정전 용량을 형성할 수 있다. 따라서, 본 발명에서는 유지 용량 배선(28, 29)의 면적을 넓히지 않고서도 정전 용량을 증가시킬 수 있어서 정전 용량 대비 개구율을 향상시킬 수 있다.
- <48> 또한, 이 실시예에서는 바 형상의 유지 용량 전극 패턴(28) 또는 유지 용량 도전체 패턴(68)이 화소 전극(82)과 데이터선(62) 사이에 위치하고 있기 때문에 화소 전극(82)과 데이터선(62) 사이에서 발생하는 측면 빛샘을 막을 수 있는 잇점이 있다.
- <49> 상술된 본 발명의 제1 및 제2 실시예에서는 유지 용량 배선을 별도로 형성한 경우를 예로 하였지만, 게이트선의 일부를 유지 용량 전극으로 형성할 수 있다. 이를 도 9 및 도 10을 참조하여 설명한다.
- <50> 도 9는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이고, 도 10은 도 9의 절단선 X-X'에 따른 박막 트랜지스터 기판의 단면도를 나타낸 것이다.
- <51> 이 실시예에서는 화소 전극이 자기단이 아닌 전단(previous)에 위치하는 게이트 배선의 게이트선의 일부와 중첩하여 유지 용량을 형성하는 것으로, 유지 용량을 위한 배선을 별도로 형성하지 않고, 게이트선의 일부를 유지 용량 배선으로 이용한다.
- <52> 도면에는, (n) 번째 게이트 배선(Gn)의 게이트선(22)으로부터 게이트 신호에 영향을 받는 화소 전극(82)이 (n-1) 번째 게이트 배선(Gn-1)의 게이트선(22)과 중첩하도록 면적이 확장되어 있다.
- <53> 유지 용량 도전체 패턴(68)은 게이트 절연막(30) 위에서 게이트선(22)의 일부와 중첩하고 있으며, 데이터 배선(62, 64, 65, 66)과는 동일한 층에 형성되어 있다. 이러한 유지 용량 도전체 패턴(68)을 드러내는 제4 접촉 구멍(78)이 보호막(70)에 형성되어 있으며, 화소 전극(82)이 제4 접촉 구멍(78)을 통하여 전단 게이트선(22) 위에 위치하는 유지 용량 도전체 패턴(68)과 연결되어 있다.
- <54> 이 실시예에서는, 유지 용량 도전체 패턴(68)은 게이트선(22)과 중첩하여 게이트 절연막(30)을 사이에 두고 유지 용량을 형성하고 있다. 이 때, (n-1) 번째 게이트 배선(Gn-1)의 게이트선(22) 위의 유지 용량 도전체 패턴(68)은 (n) 번째 게이트 배선(Gn)의 게이트선(22)으로부터 게이트 신호에 영향을 받는 화소 전극(82)으로부터 신호를 받는다.
- <55> 이 실시예에서의 액정 표시 장치는, 화소 전극(82)과 게이트선(22)만을 중첩시켜 유지 용량을 형성하는 경우에 비하여 정전 용량의 크기를 대폭적으로 늘릴 수 있다. 또한, 이 실시예에서는 게이트선의 일부를 유지 용량 배

선으로 사용함으로써, 별도의 배선을 화소 영역에 형성하지 않기 때문에 개구율을 더욱 향상시킬 수 있다.

<56> 도 11은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이고, 도 12는 도 11의 절단 선 XII-XII'에 따른 박막 트랜지스터 기판의 단면도를 나타낸 것이다.

<57> 절연 기판(10) 위에 알루미늄 또는 알루미늄 합금, 크롬 또는 크롬 합금, 몰리브덴 또는 몰리브덴 합금, 질화 크롬 또는 질화 몰리브덴 따위의 도전 물질로 이루어진 1000~3500Å 두께의 게이트 배선(22, 24, 26) 및 유지 용량 전극선(27)이 형성되어 있다.

<58> 게이트 배선(22, 24, 26)은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 일단에 형성되어 외부 구동 회로(도시하지 않음)와 전기적으로 접촉하는 게이트 패드(24) 및 게이트선(22)의 일부로서, 박막 트랜지스터의 하나의 전극인 게이트 전극(26)을 포함한다.

<59> 또한, 유지 용량 전극선(27)은 두 게이트선(22) 사이에 위치하고, 게이트선(22)과 나란하게 가로 방향으로 뻗어 있다.

<60> 이 때, 게이트 배선(22, 24, 26) 및 유지 용량 전극선(27)은 이중층 이상의 구조로 형성할 수 있는데, 이 경우, 적어도 한 층은 저저항 특성을 가지는 금속 물질로 형성하는 것이 바람직하다.

<61> 절연 기판(10) 위에는 질화 규소 또는 산화 규소와 같은 절연 물질로 이루어진 2500~4500Å 두께의 게이트 절연막(30)이 게이트 배선(22, 24, 26) 및 유지 용량 전극 패턴(27)을 덮고 있다.

<62> 여기서, 게이트 절연막(30)에는 유지 용량 전극선(27)을 드러내는 제1 접촉 구멍(32)이 형성되어 있다.

<63> 게이트 절연막(30) 위에는 게이트 전극(26)과 중첩하고, 비정질 규소 등으로 이루어진 800~1500Å 두께의 반도체 패턴(42)이 형성되어 있다. 반도체 패턴(42) 위에는 N형 불순물이 고농도로 도핑되어 있는 비정질 규소 등으로 이루어진 500~800Å 두께의 저항성 접촉층(ohmic contact layer)(55, 56)이 형성되어 있다.

<64> 저항성 접촉층(55, 56)과 게이트 절연막(30) 위에는 알루미늄 또는 알루미늄 합금, 크롬 또는 크롬 합금, 몰리브덴 또는 몰리브덴 합금, 질화 크롬 또는 질화 몰리브덴 같은 도전 물질로 이루어진 500~3500Å 두께의 데이터 배선(62, 64, 65, 66) 및 유지 용량 도전체 패턴(67)이 형성되어 있다.

<65> 데이터 배선(62, 64, 65, 66)은 세로 방향으로 뻗어 있으며 게이트선(22)과 교차하여 화소 영역을 정의하는 데 데이터선(62), 데이터선(62)의 일단에 연결되어 있으며, 외부 구동 회로와 전기적으로 접촉하는 데이터 패드(64), 데이터선(62)에서 돌출하여 하나의 저항성 접촉층(55) 위에 까지 연장되어 있는 소스 전극(65) 및 소스 전극(65)의 대향 전극이며 다른 하나의 저항성 접촉층(56) 위로부터 화소 영역 내부의 게이트 절연막(30) 위에 까지 연장되어 있는 드레인 전극(66)을 포함한다.

<66> 유지 용량 도전체 패턴(67)은 이러한 데이터 배선(62, 64, 65, 66)과 동일한 층에 형성되어 있으며, 제1 접촉 구멍(32)을 통하여 유지 용량 전극선(27)에 연결되어 있다. 유지 용량 도전체 패턴(67)은 후술하는 화소 전극(82)과 중첩하여 유지 용량을 이룬다. 이 때, 유지 용량 도전체 패턴(67)은 유지 용량 전극선(27)에 연결되어 공통 전압을 받는다.

<67> 여기서, 데이터 배선(62, 64, 65, 66) 및 유지 용량 도전체 패턴(67)은 이중층 이상의 구조로 형성할 수 있는데, 이 경우, 적어도 한 층은 저저항 특성을 가지는 금속 물질로 형성하는 것이 바람직하다.

<68> 이러한 데이터 배선(62, 64, 65, 66), 유지 용량 도전체 패턴(67) 및 반도체 패턴(42)을 질화 규소 또는 산화 규소와 같은 절연 물질로 이루어진 500~2000Å 두께의 보호막(70)이 덮고 있다.

<69> 보호막(70)에는 드레인 전극(66), 데이터 패드(64)를 드러내는 제1 및 제2 접촉 구멍(72, 74)이 형성되어 있고, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 제3 접촉 구멍(76)이 형성되어 있다.

<70> 보호막(70) 위에는 제1 접촉 구멍(72)을 통하여 드레인 전극(66)에 연결되는 화소 전극(82)이 형성되어 있다.

<71> 또한, 보호막(70) 위에는 제2 및 제3 접촉 구멍(74, 76)을 통하여 데이터 패드(64) 및 게이트 패드(24)에 연결되는 보조 데이터 패드(84) 및 보조 게이트 패드(86)가 형성되어 있다.

<72> 여기서, 화소 전극(82), 보조 데이터 패드(84) 및 보조 게이트 패드(86)는 ITO 또는 IZO와 같은 투명 도전 물질로 형성되어 있다.

- <73> 본 발명에서, 화소 전극(82)은 유지 용량 전극선(27)과 중첩하는데, 유지 용량 전극선(27)과는 보호막(70) 및 게이트 절연막(30)을 사이에 두고 유지 용량을 형성한다.
- <74> 또한, 화소 전극(82)은 유지 용량 전극선(27)에 연결되어 있는 유지 용량 도전체 패턴(67)과 중첩하는데, 유지 용량 도전체 패턴(67)과는 보호막(70)을 사이에 두고 또 다른 유지 용량을 형성한다. 이 경우, 두 전극(27, 67) 사이에 개재되어 있는 절연막의 두께가 얇기 때문에, 유지 용량 전극선(27)이 화소 전극(82)과 중첩하여 유지 용량을 형성하는 경우에 비하여 동일한 중첩 면적을 가지고도 더 큰 정전 용량을 형성할 수 있다.
- <75> 따라서, 본 발명에서는 유지 용량을 위한 배선의 면적을 넓히지 않고서도 정전 용량을 증가시킬 수 있어서 정전 용량 대비 개구율을 향상시킬 수 있다.
- <76> 그러면, 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 도 13a 내지 도 17b 및 앞서의 도 11 및 도 12를 함께 참조하여 설명한다.
- <77> 우선, 도 13a 및 도 13b에 도시한 바와 같이, 절연 기판(10) 위에 금속층을 증착한 후, 이 금속층을 사진 식각 공정으로 패터닝하여 게이트 배선(22, 24, 26) 및 유지 용량 전극선(27)을 형성한다. 게이트 배선(22, 24, 26)은 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함한다.
- <78> 다음, 도 14a 및 도 14b에 도시한 바와 같이, 절연 기판(10) 위에 질화 규소와 같은 절연 물질로 이루어진 게이트 절연막(30)을 증착하여 게이트 배선(22, 24, 26) 및 유지 용량 전극선(27)을 덮는다. 이어, 계속해서, 게이트 절연막(30) 위에 비정질 규소층(40) 및 도전형 불순물이 도핑된 비정질 규소층(50)을 순차적으로 형성한다.
- <79> 이어, 두 규소층(40, 50) 및 게이트 절연막(30)을 사진 식각 공정으로 패터닝하여 유지 용량 전극 패턴(27)을 드러내는 제1 접촉 구멍(32)을 형성한다.
- <80> 다음, 도 15a 및 도 15b에 도시한 바와 같이, 비정질 규소층(40) 및 도전형 불순물이 도핑된 비정질 규소층(50)을 사진 식각 공정으로 패터닝하여, 반도체 패턴(42)과 저항성 접촉층 패턴(52)을 형성한다.
- <81> 다음, 도 16a 및 도 16b에 도시한 바와 같이, 기판의 노출된 전면 위로 금속층을 증착한 후, 이 금속층을 사진 식각 공정으로 패터닝하여 데이터 배선(62, 64, 65, 66) 및 유지 용량 도전체 패턴(67)을 형성한다. 데이터 배선(62, 64, 65, 66)은 데이터선(62), 데이터 패드(64), 소스 전극(65) 및 드레인 전극(66)을 포함한다. 이 때, 유지 용량 도전체 패턴(67)은 제1 접촉 구멍(32)을 통하여 유지 용량 전극선(27)과 연결된다.
- <82> 이어, 소스 전극(65)과 드레인 전극(66)을 마스크로 하여 저항성 접촉층 패턴(52)을 식각하여 소스 전극(65)과 접촉하는 저항성 접촉층(55) 및 드레인 전극(66)과 접촉하는 저항성 접촉층(56)으로 분리한다.
- <83> 다음, 도 17a 및 도 17b에 도시한 바와 같이, 데이터 배선(62, 64, 65, 66), 유지 용량 도전체 패턴(67) 및 반도체 패턴(42)을 포함하는 기판 전면에 질화 규소 또는 산화 규소 등으로 보호막(70)을 형성한다.
- <84> 이어, 보호막(70) 및 게이트 절연막(30)을 사진 식각 공정으로 패터닝하여, 제2 내지 제4 접촉 구멍(72, 74, 76)을 형성한다. 이 때, 제2 및 제3 접촉 구멍(72, 74)은 보호막(70)에 형성되는데, 각각 드레인 전극(66) 및 데이터 패드(64)를 드러낸다. 또한, 제3 접촉 구멍(76)은 보호막(70) 및 게이트 절연막(30)에 형성되는데, 게이트 패드(24)를 드러낸다.
- <85> 다음, 도 11 및 도 12에 도시한 바와 같이, 제2 내지 제4 접촉 구멍(72, 74, 76)을 통하여 드러난 배선 부분을 포함하는 기판 노출된 전면 위에 ITO 또는 IZO로 이루어진 투명 도전층을 증착한다.
- <86> 이어, 이 투명 도전층을 사진 식각 공정으로 패터닝하여 제2 접촉 구멍(72)을 통하여 드레인 전극(66)에 연결되는 화소 전극(82), 제3 및 제4 접촉 구멍(74, 76)을 통하여 데이터 패드(64) 및 게이트 패드(24)에 연결되는 보조 데이터 패드(84) 및 보조 게이트 패드(86)를 형성한다.
- <87> 상술된 본 발명의 제4 실시예에서는 유지 용량 도전체 패턴(67)을 이웃하는 두 게이트선 사이의 영역 즉, 화소 영역의 내부에 형성한 것을 예로 하였는데, 유지 용량 도전체 패턴(67)의 모양 및 위치는 본 발명의 제4 실시예에 제시된 내용에 제한을 받지 않고 다양하게 형성할 수 있다. 예로써, 유지 용량 도전체 패턴(67)을 화소 영역의 가장자리부에 바(bar) 형상으로 형성할 수 있다. 이를 도 18 및 도 19를 참조하여 설명한다.
- <88> 도 18은 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이고, 도 19는 도 18의 절단 선 XIX-XIX'에 따른 박막 트랜지스터 기판의 단면도를 나타낸 것이다.

- <89> 이 실시예에서, 유지 용량 도전체 패턴(67)은 바 형상으로 형성되어 있으며, 화소 영역의 양쪽 가장자리부에 위치하고 있다. 여기서, 유지 용량 도전체 패턴(67)은 게이트 절연막(30)에 형성된 제1 접촉 구멍(32)을 통하여 유지 용량 전극선(27)과 연결되어 있다.
- <90> 여기서, 유지 용량 전극선(27)은 화소 전극(82)과는 게이트 절연막(30) 및 보호막(70)을 사이에 두고 유지 용량을 형성하고 있다. 또한, 유지 용량 도전체 패턴(67)은 보호막(70)을 사이에 두고 화소 전극(82)과 또 다른 유지 용량을 형성하고 있다.
- <91> 이러한 본 발명에서의 유지 용량은 유지 용량 전극선(27)이 화소 전극(82)에만 중첩하여 유지 용량을 형성하는 경우에 비하여 동일한 중첩 면적을 가지고도 더 큰 정전 용량을 형성할 수 있다. 따라서, 본 발명에서는 유지 용량을 위한 배선(27, 67)의 면적을 넓히지 않고서도 정전 용량을 증가시킬 수 있어서 정전 용량 대비 개구율을 향상시킬 수 있다.
- <92> 또한, 이 실시예에서는 바 형상의 유지 용량 도전체 패턴(67)이 화소 전극(82)과 데이터선(62) 사이에 위치하고 있기 때문에 화소 전극(82)과 데이터선(62) 사이에서 발생하는 측면 빛샘을 막을 수 있는 잇점이 있다.
- <93> 상술된 본 발명의 제4 및 제5 실시예에서는 유지 용량 배선을 별도로 형성한 경우를 예로 하였지만, 게이트선의 일부를 유지 용량 전극으로 형성할 수 있다. 이를 도 20 및 도 21을 참조하여 설명한다.
- <94> 도 20은 본 발명의 제6 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이고, 도 21은 도 20의 절단 선 X X I - X X I '에 따른 박막 트랜지스터 기판의 단면도를 나타낸 것이다.
- <95> 이 실시예에서는 화소 전극이 전단 게이트선의 일부와 중첩하여 유지 용량을 형성하는 것으로, 유지 용량을 위한 배선을 별도로 형성하지 않고, 게이트선의 일부를 유지 용량 배선으로 이용한다.
- <96> 도면에는, (n) 번째 게이트 배선(Gn)의 게이트선(22)으로부터 게이트 신호에 영향을 받는 화소 전극(82)이 (n-1) 번째 게이트 배선(Gn-1)의 게이트선(22)과 중첩하도록 면적이 확장되어 있다.
- <97> 유지 용량 도전체 패턴(67)은 게이트 절연막(30) 위에서 게이트선(22)의 일부와 중첩하고 있으며, 데이터 배선(62, 64, 65, 66)과는 동일한 층에 형성되어 있다. 이러한 유지 용량 도전체 패턴(67)을 드러내는 제4 접촉 구멍(78)이 보호막(70)에 형성되어 있다. 그리고, (n-1) 번째 게이트 배선(Gn-1)의 게이트선(22) 위의 유지 용량 도전체 패턴(67)이 (n) 번째 게이트 배선(Gn)의 게이트선(22)으로부터 게이트 신호에 영향을 받는 화소 전극(82)과 연결되어 있다.
- <98> 이 실시예에서, 유지 용량 도전체 패턴(67)은 게이트선(22)과 중첩하여 게이트 절연막(30)을 사이에 두고 유지 용량을 형성하고 있다. 이 때, (n-1) 번째 게이트 배선(Gn-1)의 게이트선(22) 위의 유지 용량 도전체 패턴(68)은 (n) 번째 게이트 배선(Gn)의 게이트선(22)으로부터 게이트 신호에 영향을 받는 화소 전극(82)으로부터 신호를 받는다.
- <99> 이 실시예에서의 액정 표시 장치는, 화소 전극(82)과 게이트선(22)만을 중첩시켜 유지 용량을 형성하는 경우에 비하여 정전 용량의 크기를 대폭적으로 늘릴 수 있다. 또한, 이 실시예에서는 게이트선의 일부를 유지 용량 배선으로 사용함으로써, 별도의 배선을 화소 영역에 형성하지 않기 때문에 개구율을 더욱 향상시킬 수 있다.
- <100> 이러한 본 발명은 모든 액정 표시 장치의 모드에 적용이 가능한데, 특히, 액정의 반응 속도가 빠른 OCB(Optically Compensated Birefringence) 모드의 액정 표시 장치에 적용할 경우, 큰 잇점을 가지고 있다.
- <101> OCB 모드의 액정 표시 장치에서는, 액정의 $\Delta \epsilon$ 가 크기 때문에 그레이(gray)가 변함에 따라서 초기 상태에서의 유전율 값과 나중 상태에서의 유전율 값의 차이가 매우 크며, 따라서, 큰 폭의 액정 전압 변화가 불가피하다.
- <102> 한편, 모든 모드의 액정 표시 장치에서 측정되는 응답속도 과형(시간-휘도) 곡선은 도 22에 도시한 바와 같이, 두 개의 단차를 보여주는 2 스텝 과형을 갖는다.
- <103> 응답 속도는 전체 휘도가 10%에서 90%로 변화할 때 측정하므로, 2-스텝 부분이 휘도가 90%이하일 경우에는 응답 속도는 느리게 측정된다.
- <104> 그런데, OCB 모드의 액정 표시 장치에서는 첫 번째 프레임(frame)에서 2단 과형이 발생하고 두 번째 또는 세 번째 프레임에서는 정상 휘도를 유지하게 되는 특성을 가지고 있다. 따라서, 2-스텝 부분을 휘도가 90%이상, 바람직하게는 95% 이상이 되도록 유지 용량의 정전 용량을 증가시킬 경우, 첫 번째 프레임에서 정상 휘도를 유지

하게 함으로써, 응답 속도를 빠르게 할 수 있다.

<105> 표 1은 OCB 구조의 액정 표시 장치에서 액정의 정전 용량(Cl_c)에 대한 유지 용량의 정전 용량(Cst)의 비에 따른 응답속도 과형(시간-휘도) 곡선상의 2-스텝 부분의 휘도값을 측정하여 나타낸 것이다.

표 1

Cl _c :Cst	1.00 : 0.70	1.00: 0.91
2단 위치(휘도%)	81.8 %	87.3 %

<107> 유지 용량의 정전 용량이 증가할 경우, 2-스텝의 위치가 휘도 90%에 근접하다는 것을 알 수 있다. 따라서, 유지 용량의 정전 용량을 증가시켜 2-스텝의 위치를 90%를 넘게 하여 응답 속도를 빠르게 할 수 있다. 특히, 2-스텝의 위치를 95% 이상이 되도록 유지 용량의 정전 용량을 증가시킬 경우, 더욱 빠른 응답 속도를 얻을 수 있다.

<108> 본 발명에서는 액정 표시 장치의 응답 속도를 증가시키기 위하여, 유지 용량의 정전 용량을 액정의 정전 용량의 90%이상이 되도록 증가시키는데, 이를 위하여, 앞에서 설명한 본 발명의 제1 내지 제6 실시예에서의 유지 용량을 OCB 모드의 액정 표시 장치에 적용한다. 즉, 본 발명은 앞서의 유지 용량을 형성하는 배선들을 이용하되, 이를 배선이 구성하는 유지 용량의 정전 용량이 액정의 정전 용량의 90%이상이 되도록 그의 면적을 증가시킨다. 이 때, 보호막 또는 게이트 절연막 중 하나의 절연막만을 개재하여 유지 용량의 정전 용량을 증가시킴으로써, 유지 용량을 위한 배선의 면적 증가의 필요로 없앤다. 이로써, 개구율의 감소없이 유지 용량의 정전 용량을 증가시킬 수 있다.

도면의 간단한 설명

<109> 도 1은 본 발명의 제1 실시예에 따른 박막 트랜ジ스터 기판의 배치도이고,

<110> 도 2는 도 1에 보인 절단선 II-II'에 따른 박막 트랜ジ스터 기판의 단면도이고,

<111> 도 3a는 본 발명의 제1 실시예에 따른 박막 트랜ジ스터 기판을 제조하기 위한 첫 번째 단계에서의 기판의 배치도이고,

<112> 도 3b는 도 3a에 보인 절단선 IIIb-IIIb'에 따른 기판의 단면도이고,

<113> 도 4a는 도 3a의 다음 제조 단계에서의 기판의 배치도이고,

<114> 도 4b는 도 4a에 보인 절단선 IVb-IVb'에 따른 기판의 단면도이고,

<115> 도 5a는 도 4a의 다음 제조 단계에서의 기판의 배치도이고,

<116> 도 5b는 도 5a에 보인 절단선 Vb-Vb'에 따른 기판의 단면도이고,

<117> 도 6a는 도 5a의 다음 제조 단계에서의 기판의 배치도이고,

<118> 도 6b는 도 6a에 보인 절단선 VIb-VIb'에 따른 기판의 단면도이고,

<119> 도 7은 본 발명의 제2 실시예에 따른 박막 트랜ジ스터 기판의 배치도이고,

<120> 도 8은 도 7에 보인 절단선 VII-VII'에 따른 박막 트랜ジ스터 기판의 단면도이고,

<121> 도 9는 본 발명의 제3 실시예에 따른 박막 트랜ジ스터 기판의 배치도이고,

<122> 도 10은 도 9에 보인 절단선 X-X'에 따른 박막 트랜ジ스터 기판의 단면도이고,

<123> 도 11은 본 발명의 제4 실시예에 따른 박막 트랜ジ스터 기판의 배치도이고,

<124> 도 12는 도 11에 보인 절단선 ?-?'에 따른 박막 트랜ジ스터 기판의 단면도이고,

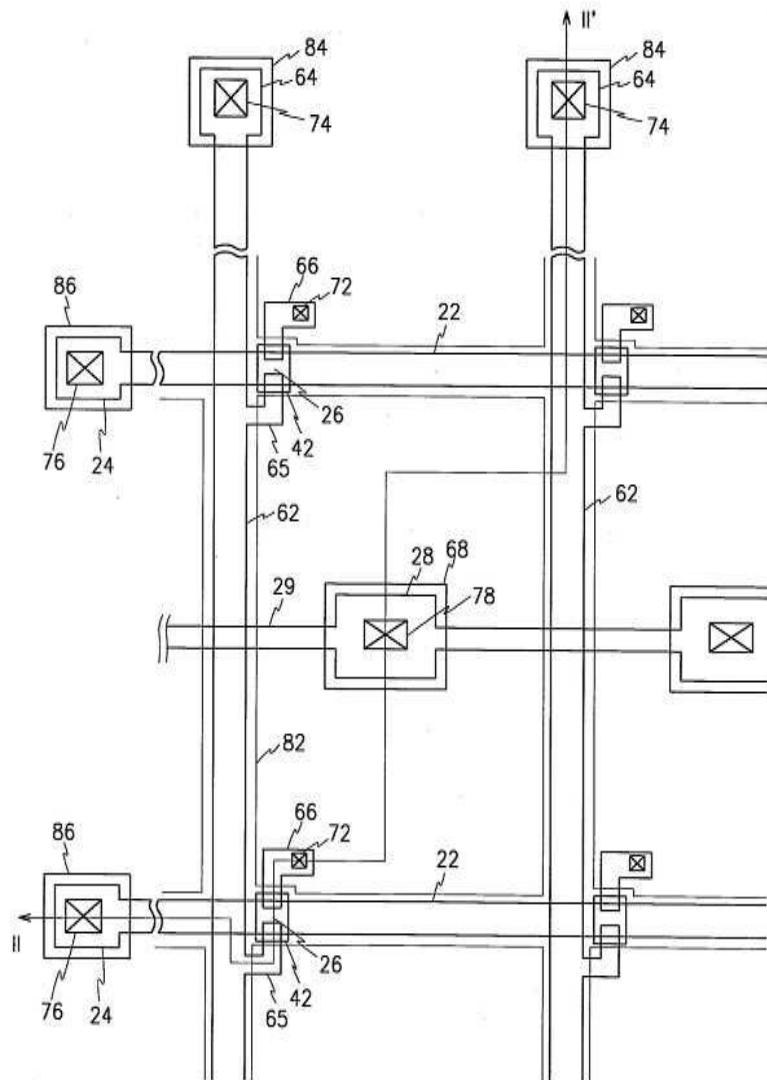
<125> 도 13a는 본 발명의 제4 실시예에 따른 박막 트랜ジ스터 기판을 제조하기 위한 첫 번째 단계에서의 기판의 배치도이고,

<126> 도 13b는 도 13a에 보인 절단선 X IIIb-X IIIb'에 따른 기판의 단면도이고,

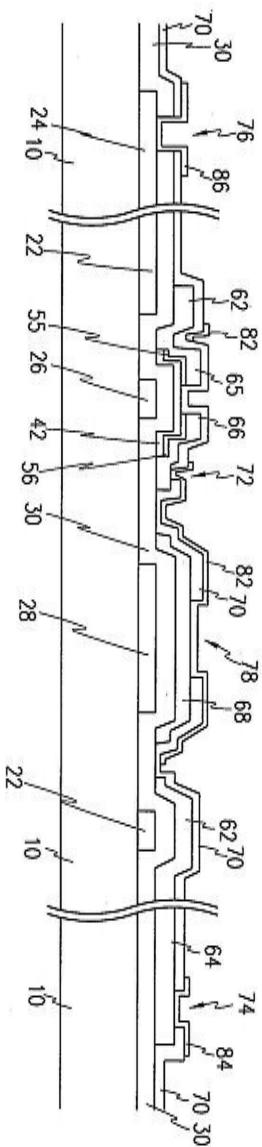
- <127> 도 14a는 도 13a의 다음 제조 단계에서의 기판의 배치도이고,
- <128> 도 14b는 도 14a에 보인 절단선 X IVb-X IVb'에 따른 기판의 단면도이고,
- <129> 도 15a는 도 14a의 다음 제조 단계에서의 기판의 배치도이고,
- <130> 도 15b는 도 15a에 보인 절단선 X Vb-X Vb'에 따른 기판의 단면도이고,
- <131> 도 16a는 도 15a의 다음 제조 단계에서의 기판의 배치도이고,
- <132> 도 16b는 도 16a에 보인 절단선 X VIb-X VIb'에 따른 기판의 단면도이고,
- <133> 도 17a는 도 16a의 다음 제조 단계에서의 기판의 배치도이고,
- <134> 도 17b는 도 17a에 보인 절단선 X VIIb-X VIIb'에 따른 기판의 단면도이고,
- <135> 도 18은 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 배치도이고,
- <136> 도 19는 도 18에 보인 절단선 X IX-X IX'에 따른 박막 트랜지스터 기판의 단면도이고,
- <137> 도 20은 본 발명의 제6 실시예에 따른 박막 트랜지스터 기판의 배치도이고,
- <138> 도 21은 도 20에 보인 절단선 X X I-X X I'에 따른 박막 트랜지스터 기판의 단면도이고,
- <139> 도 22는 액정 표시 장치에서의 응답속도 곡선을 나타낸 것이다.

도면

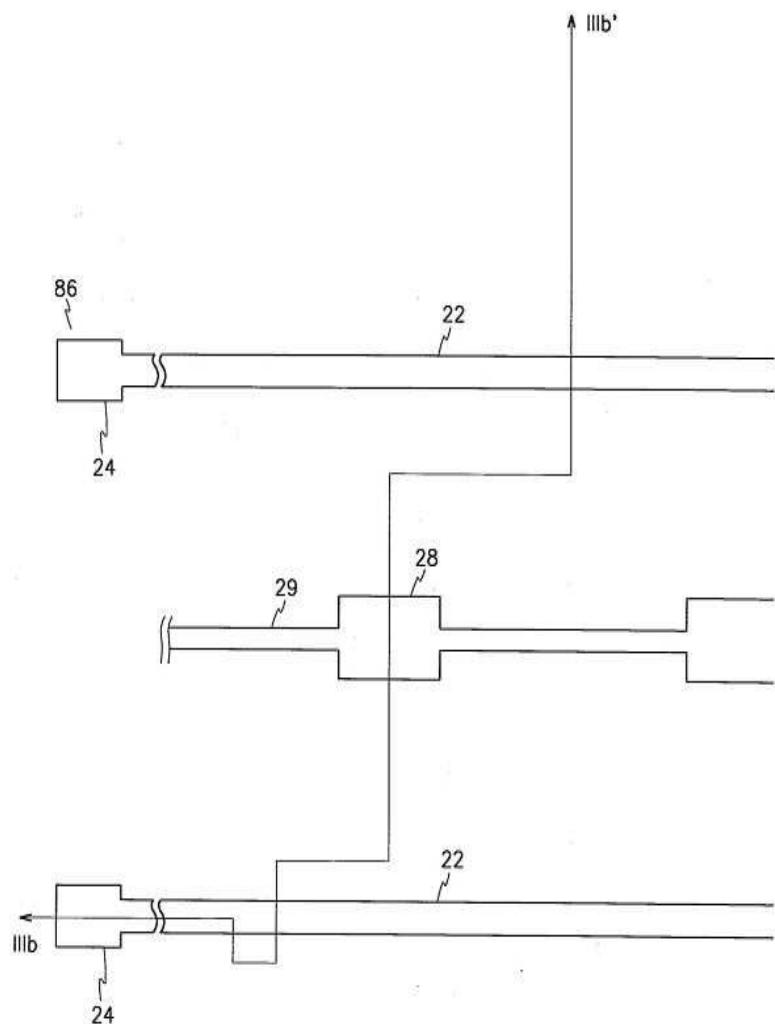
도면1



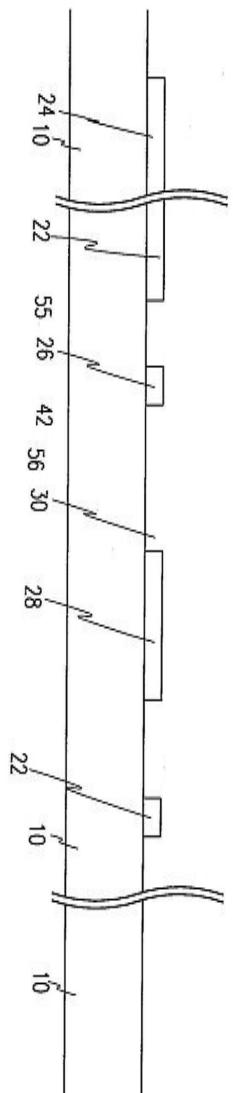
도면2



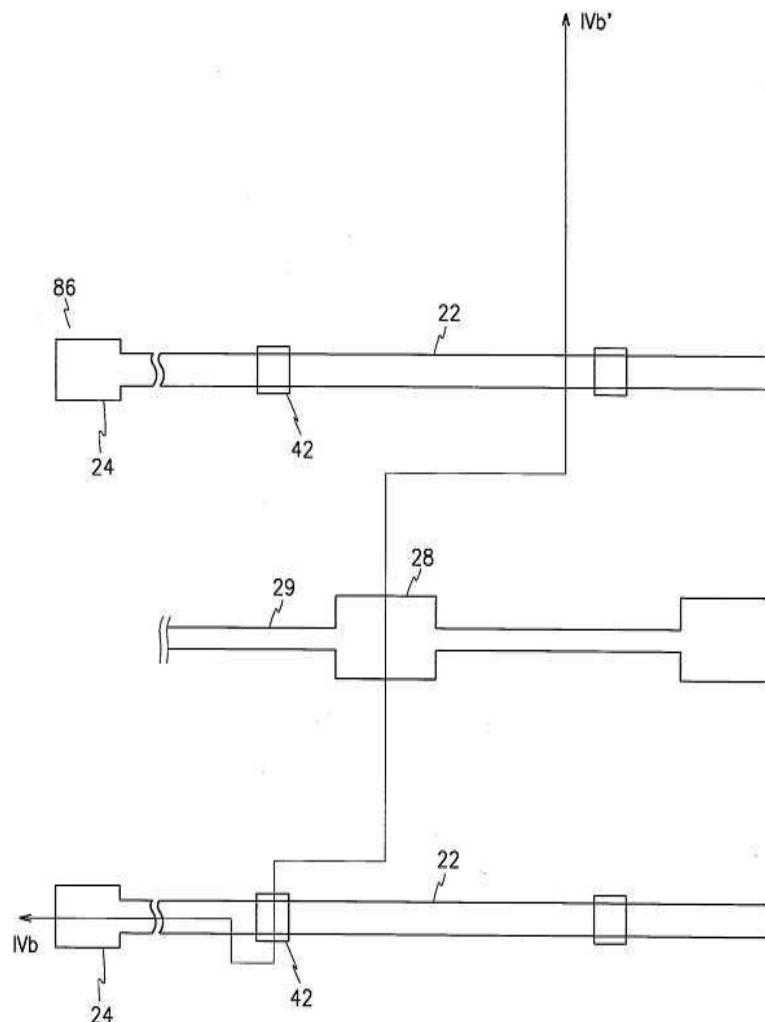
도면3a



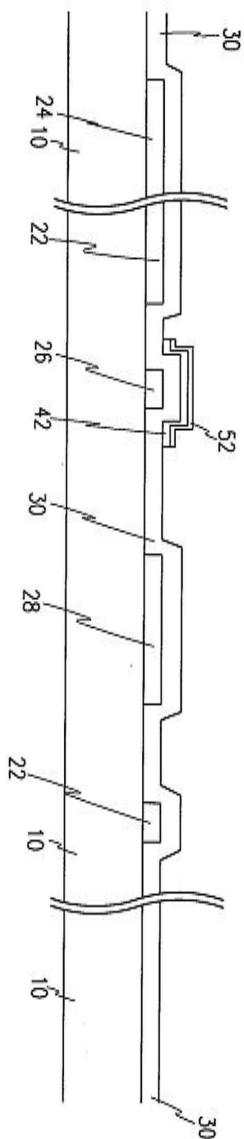
도면3b



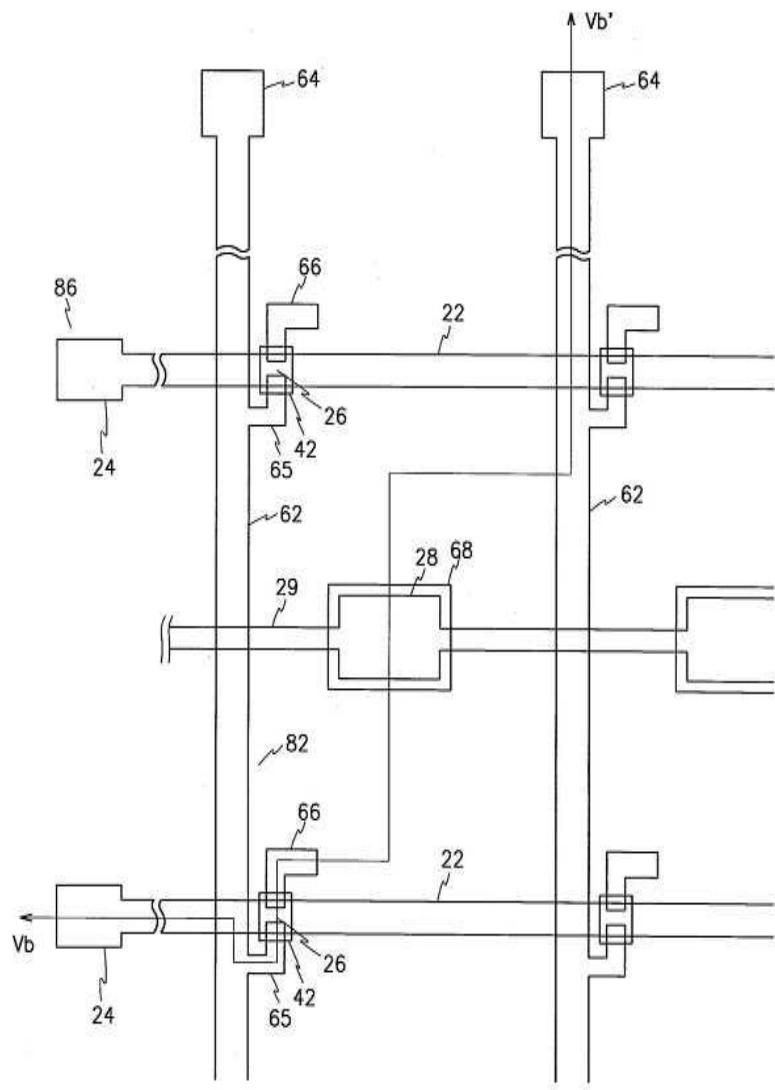
도면4a



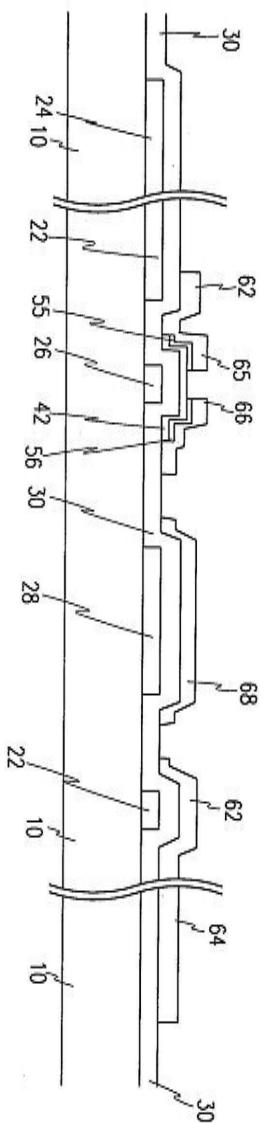
도면4b



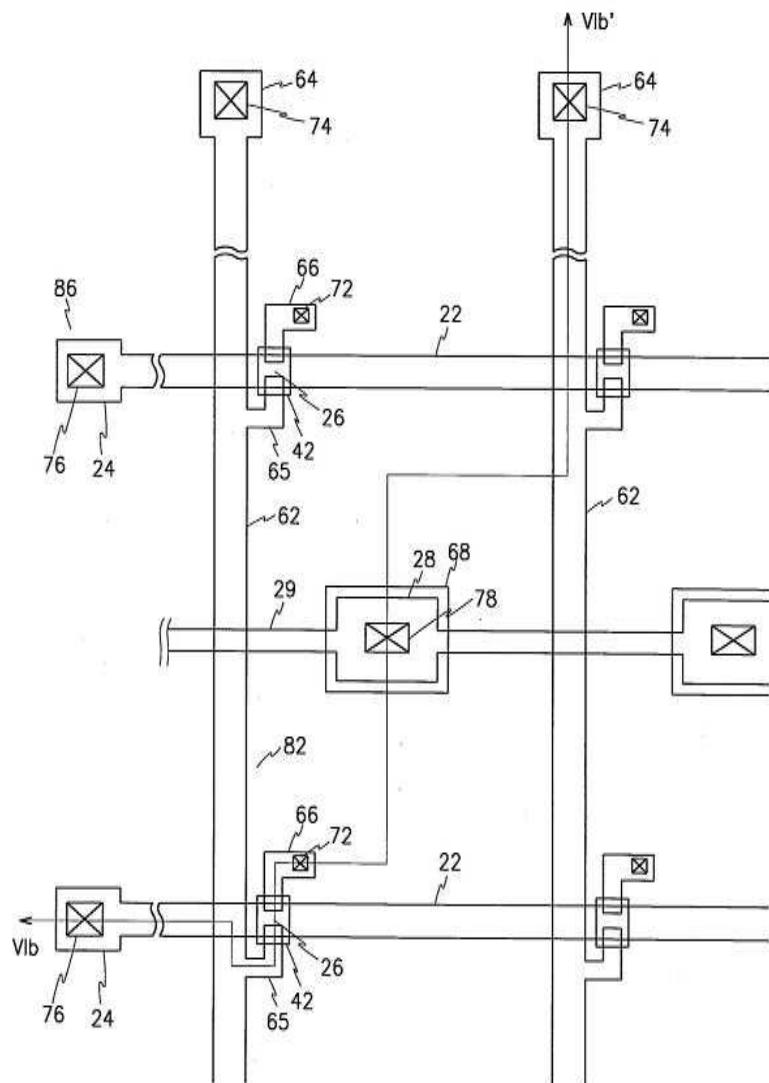
도면5a



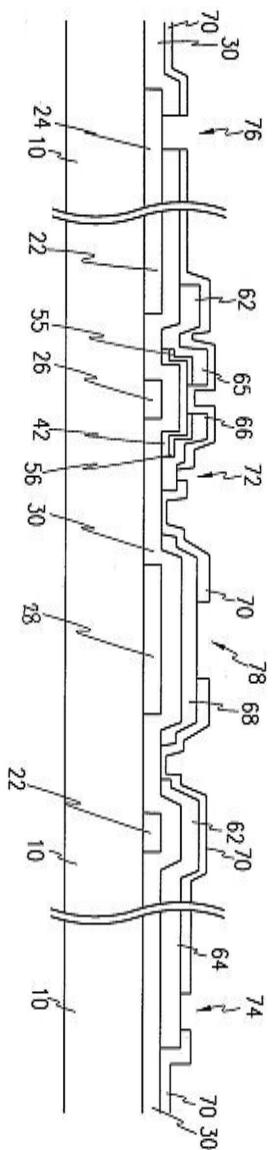
도면5b



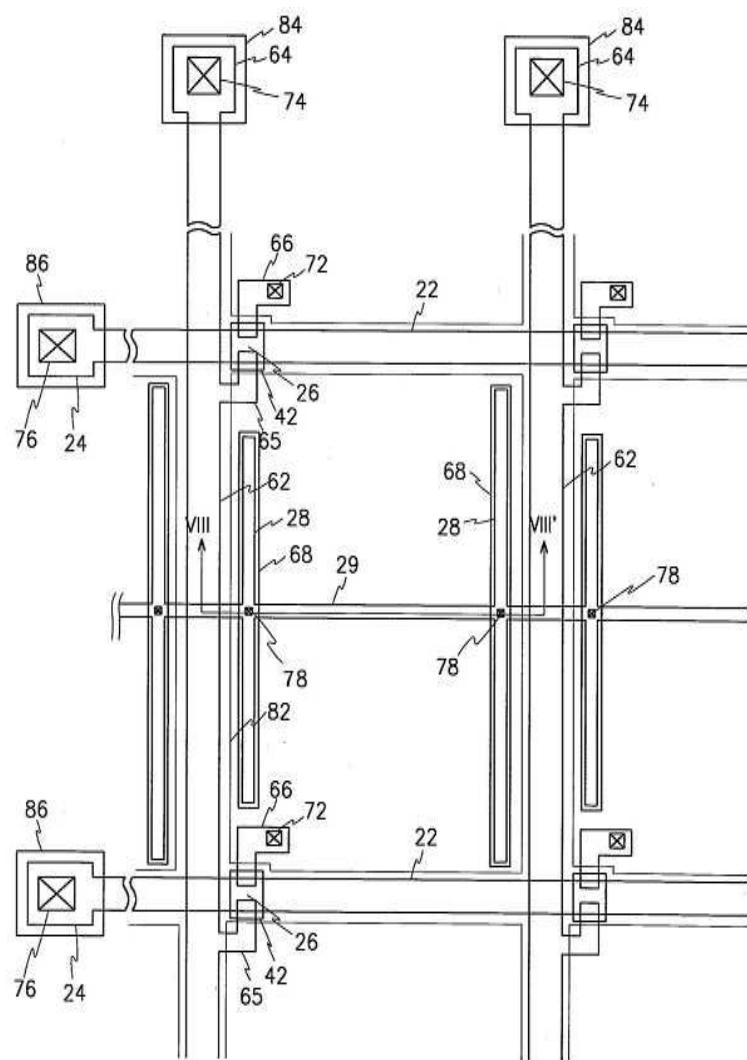
도면6a



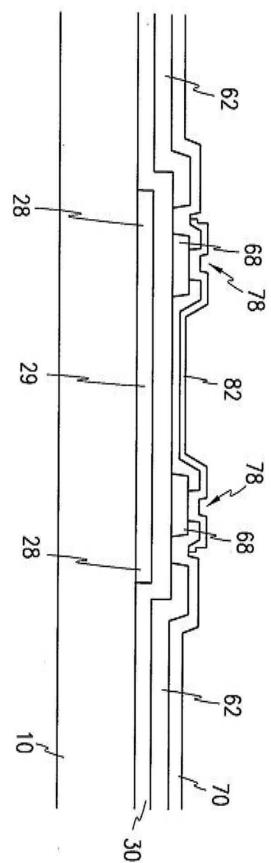
도면6b



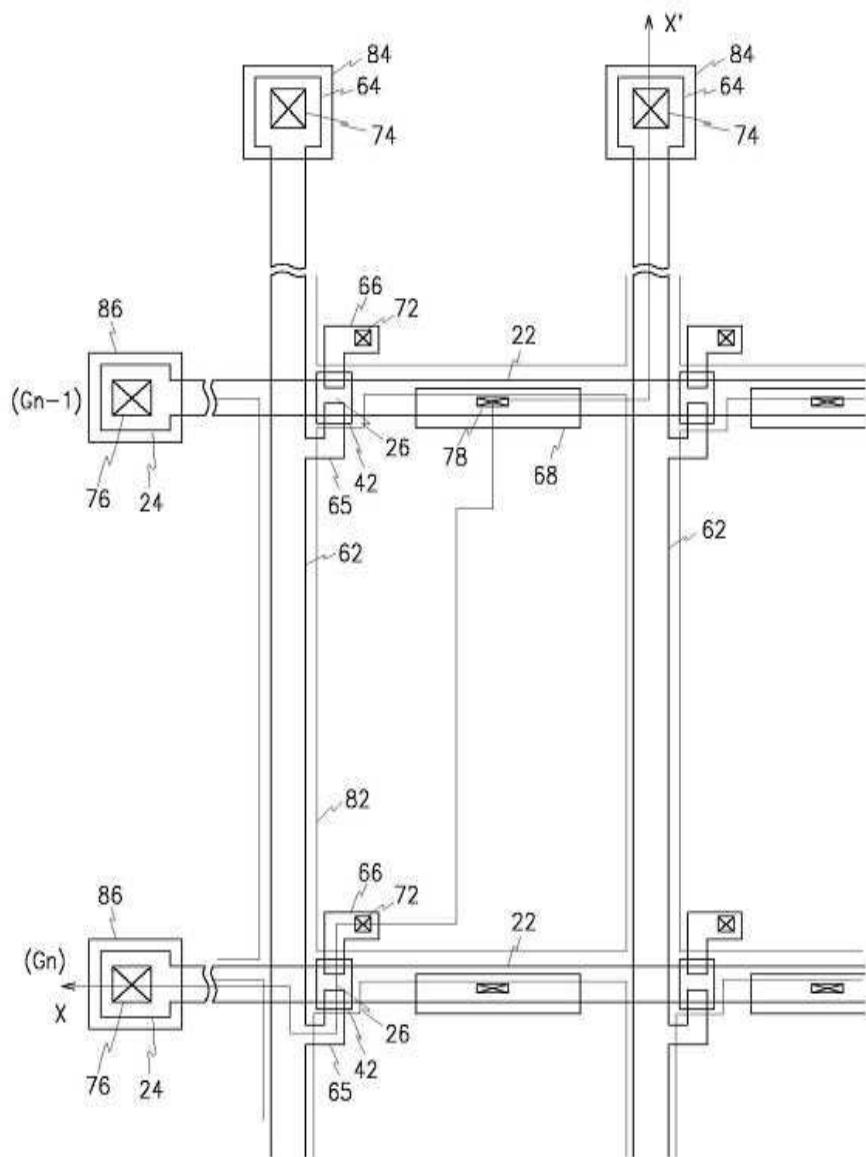
도면7



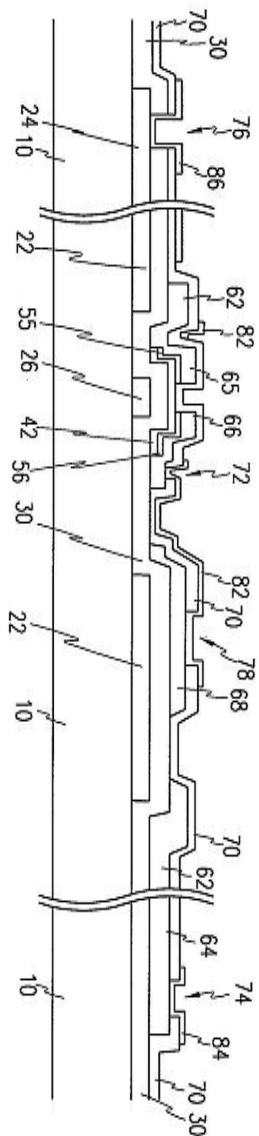
도면8



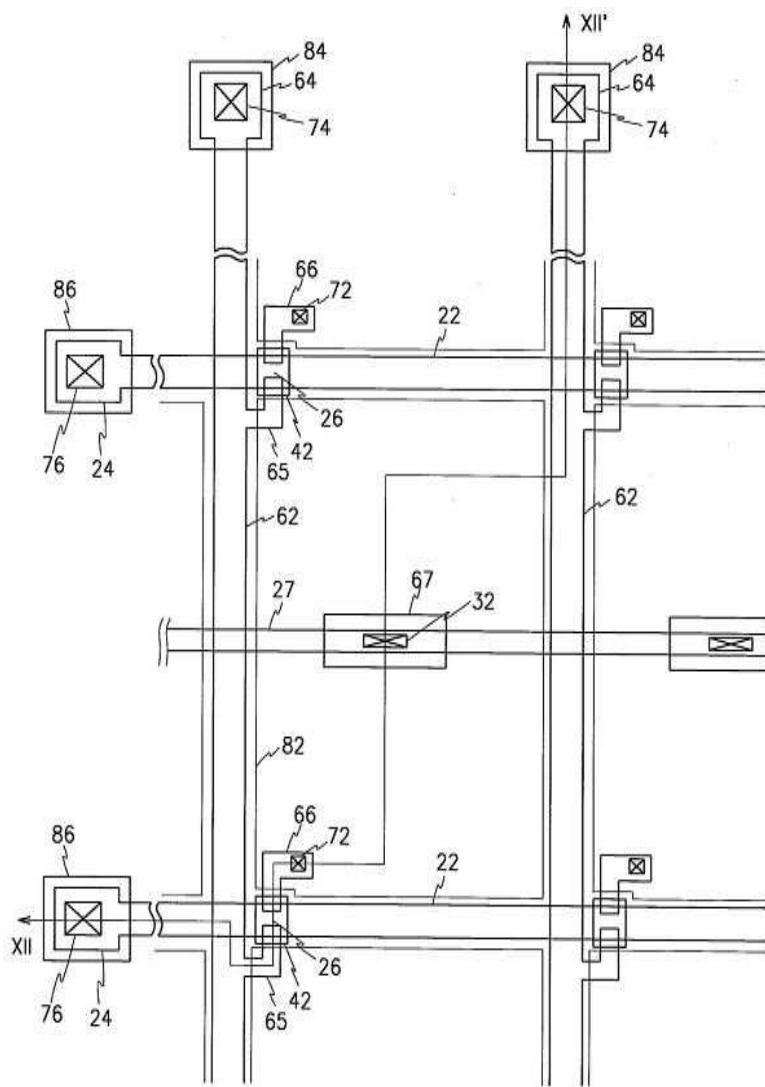
도면9



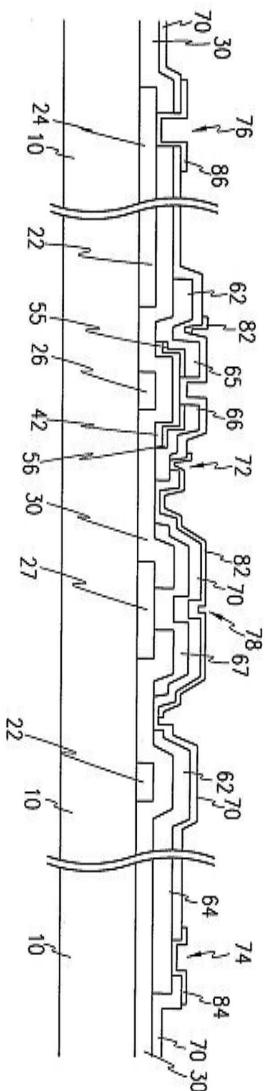
도면10



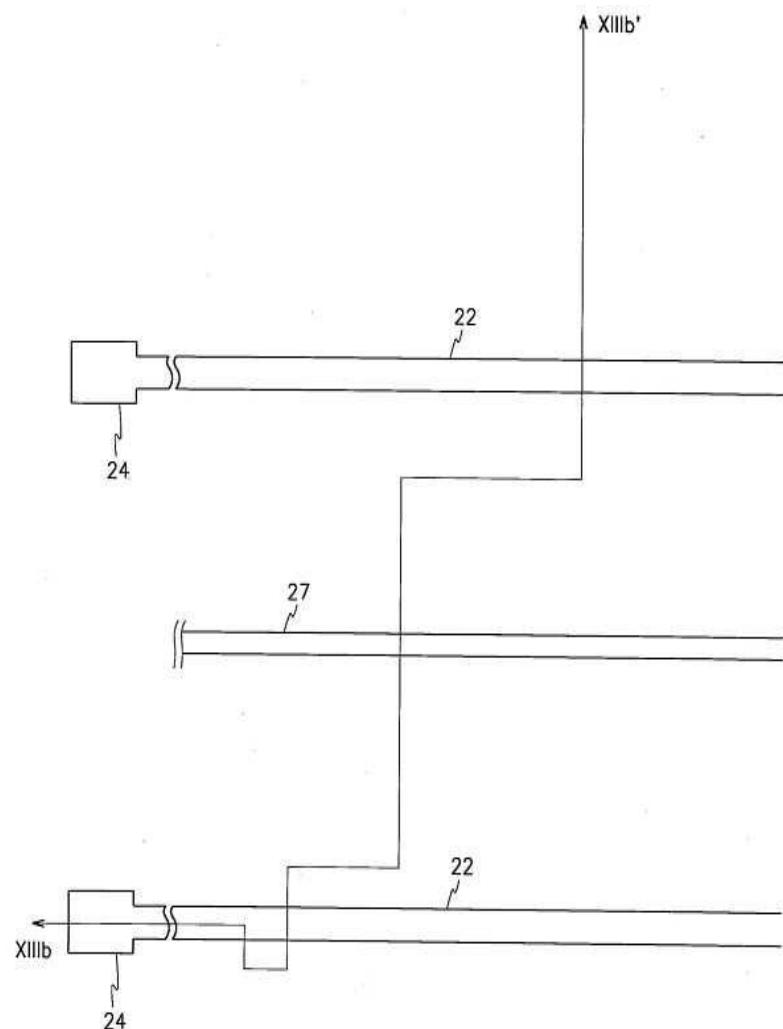
도면11



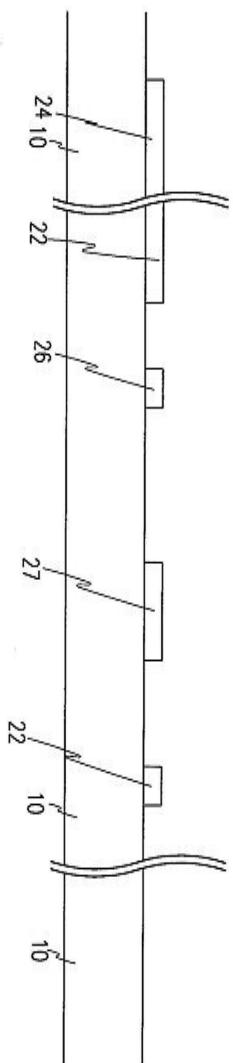
도면12



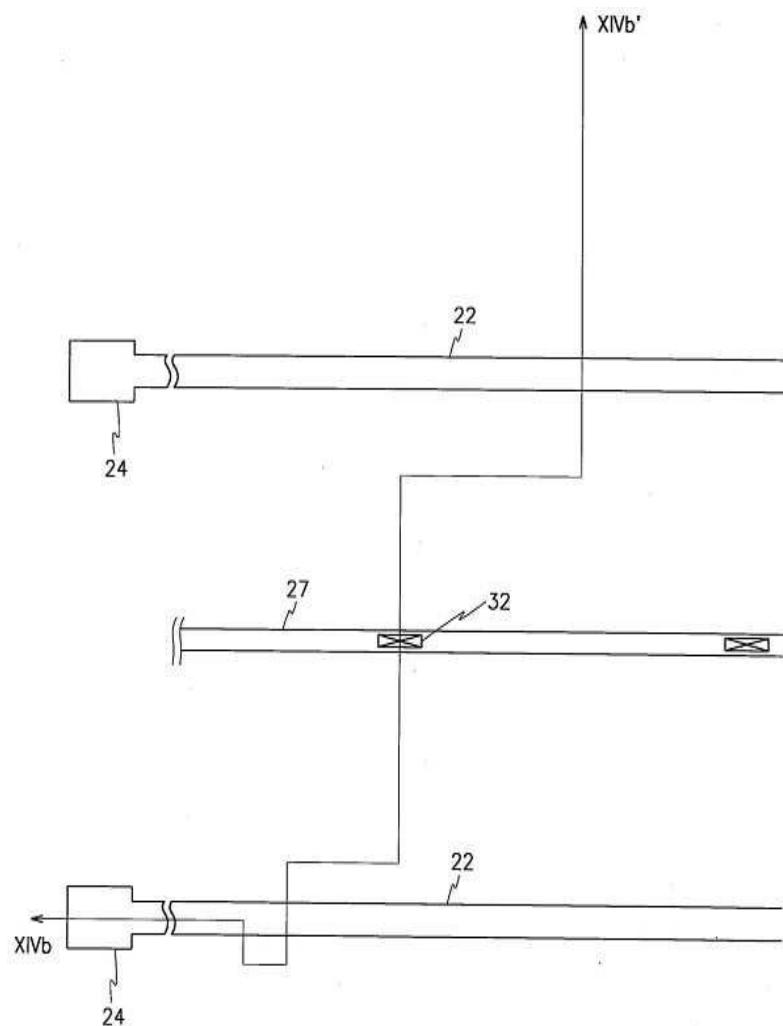
도면13a



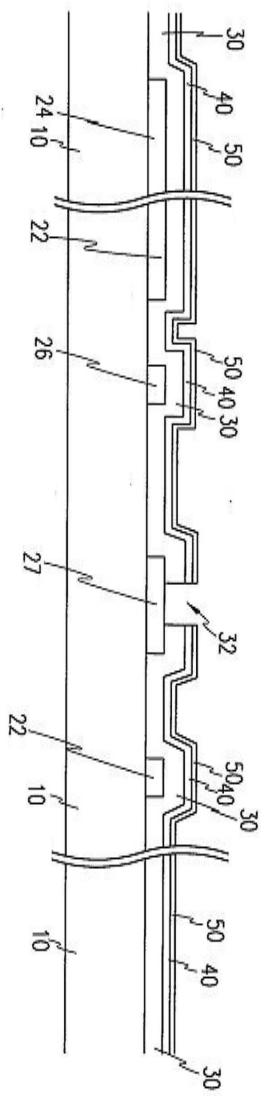
도면13b



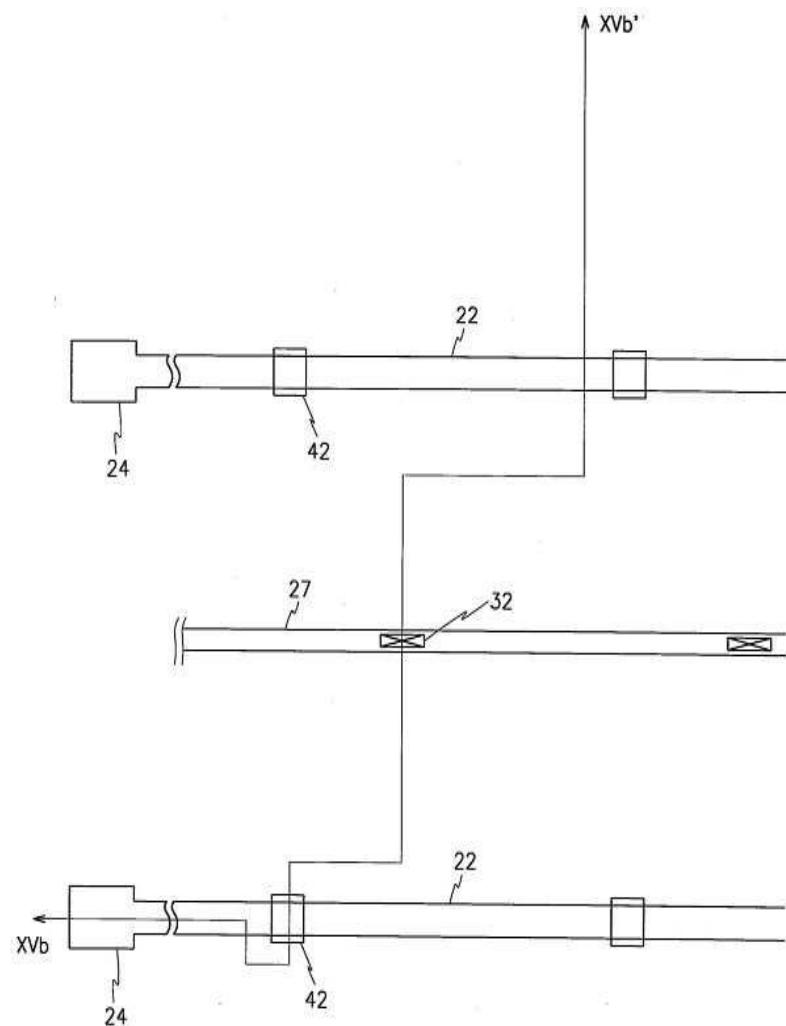
도면14a



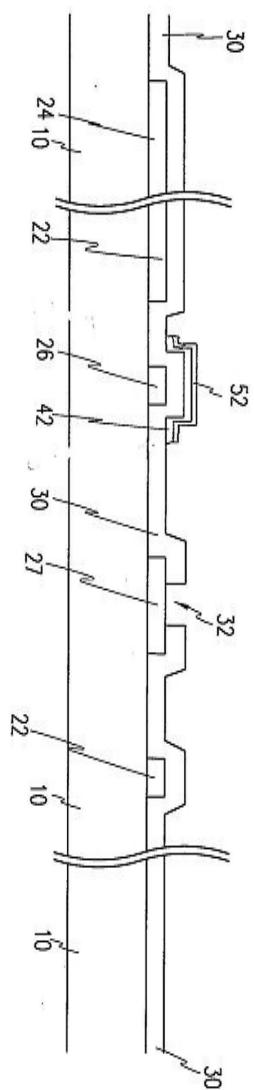
도면14b



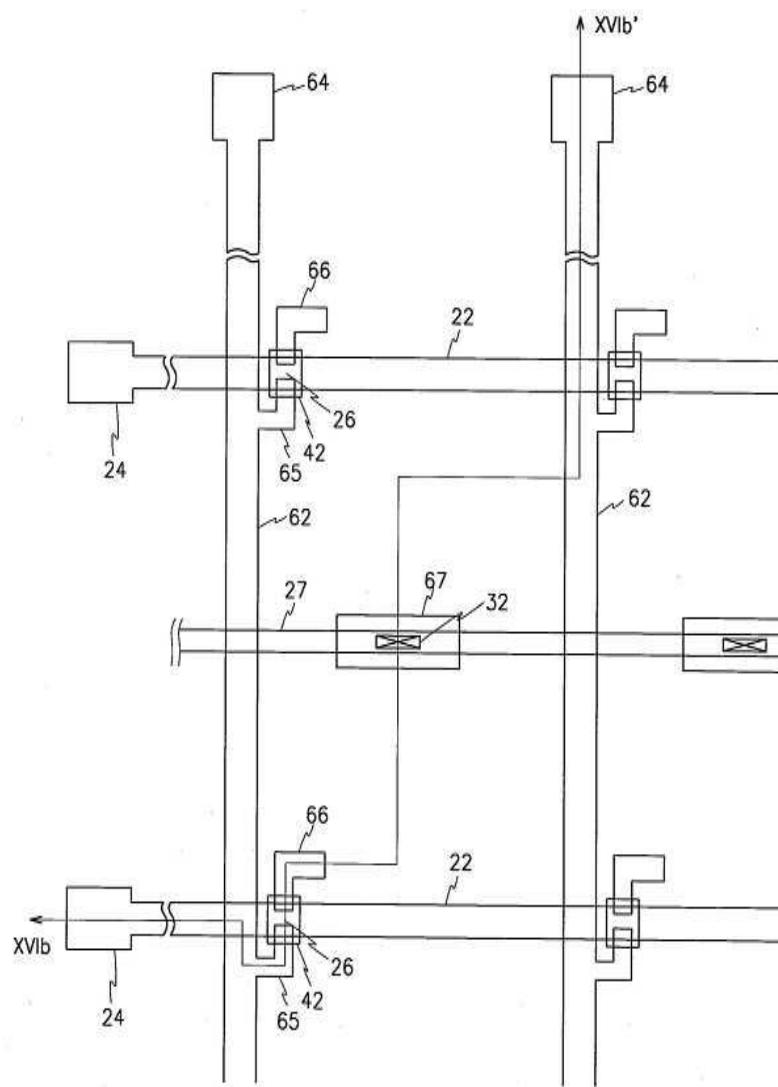
도면15a



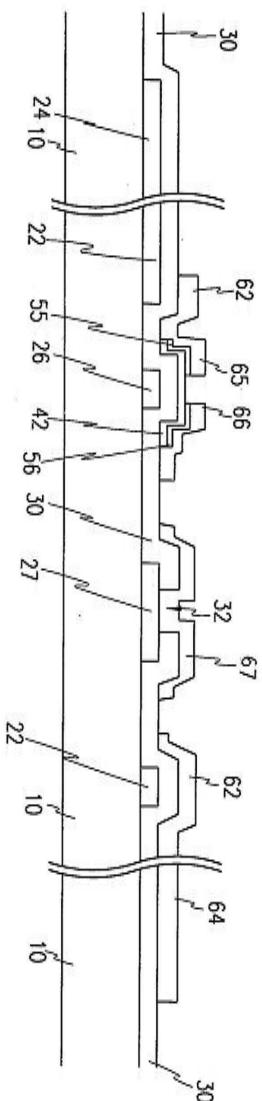
도면15b



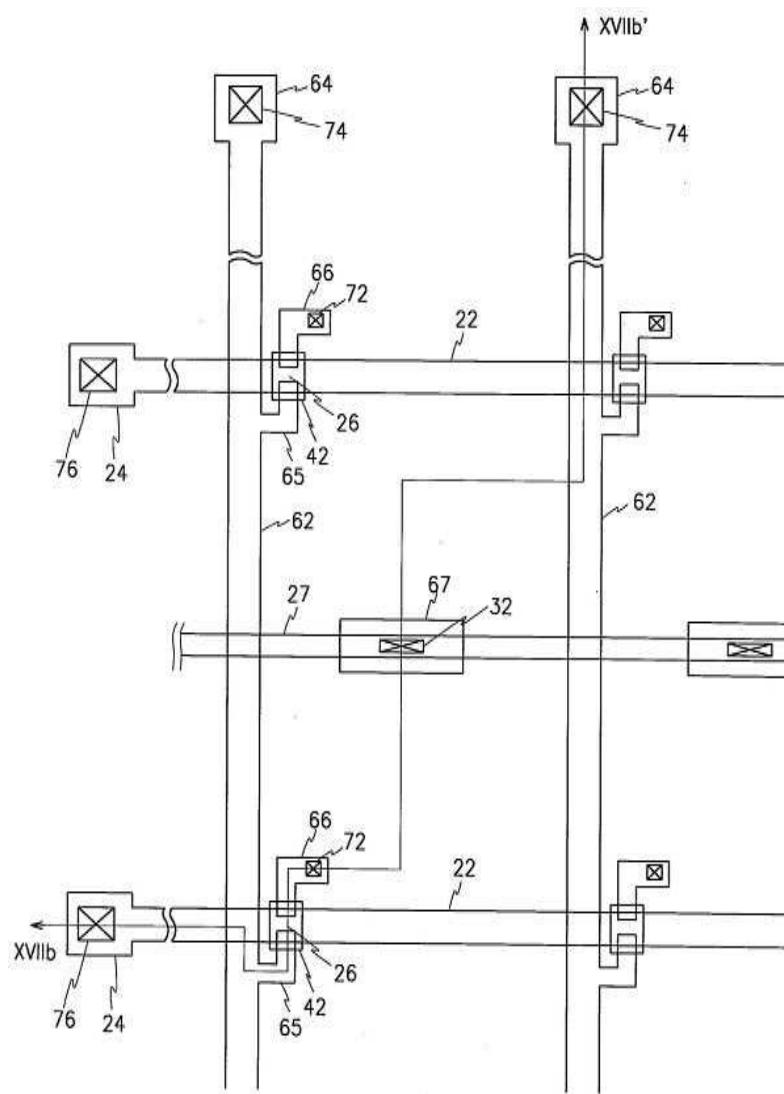
도면16a



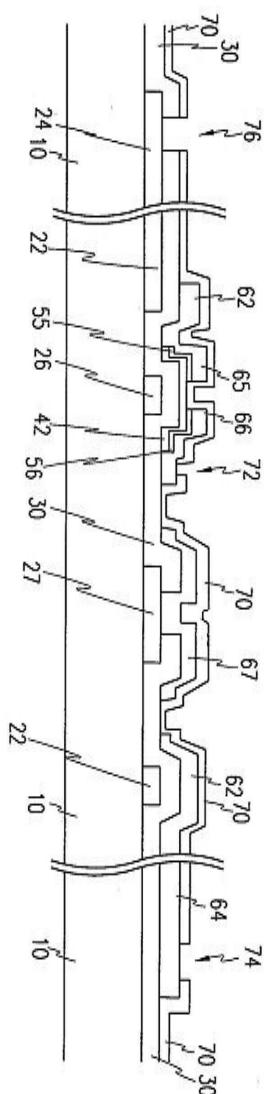
도면16b



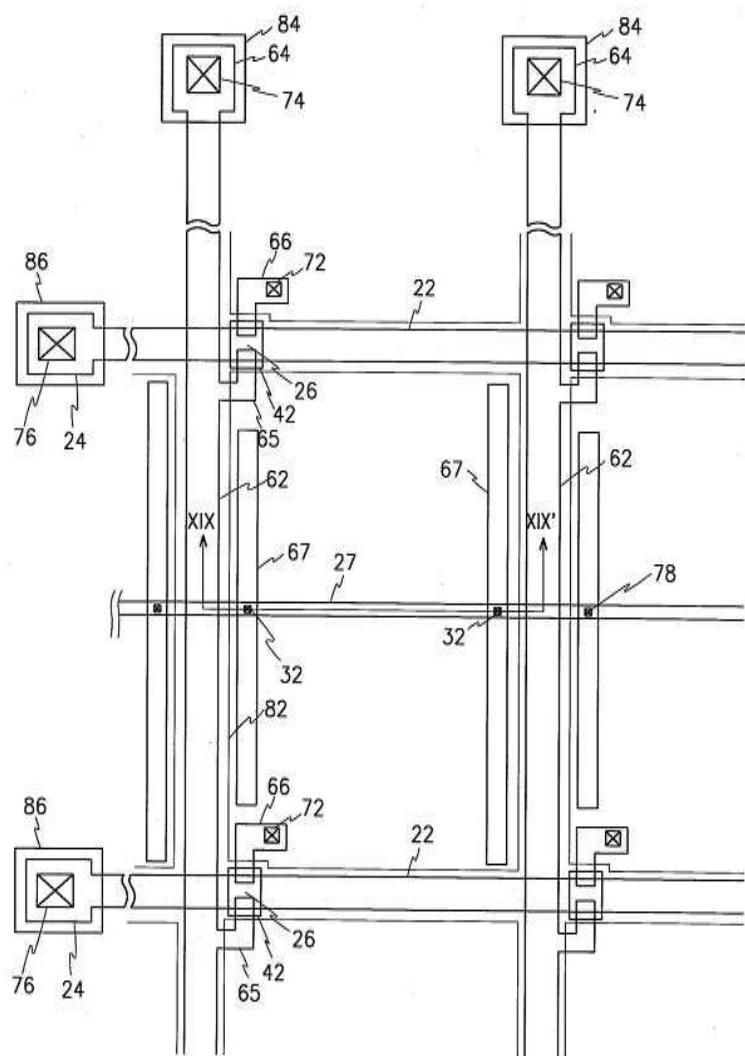
도면17a



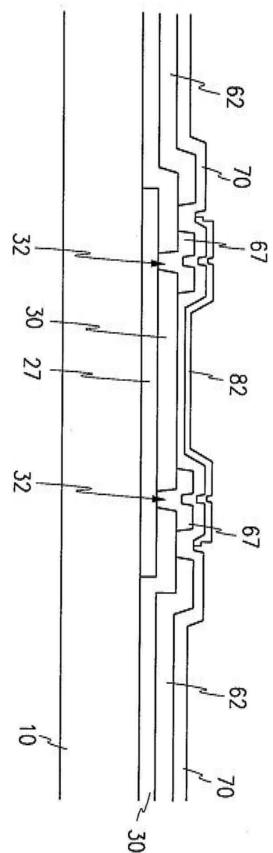
도면17b



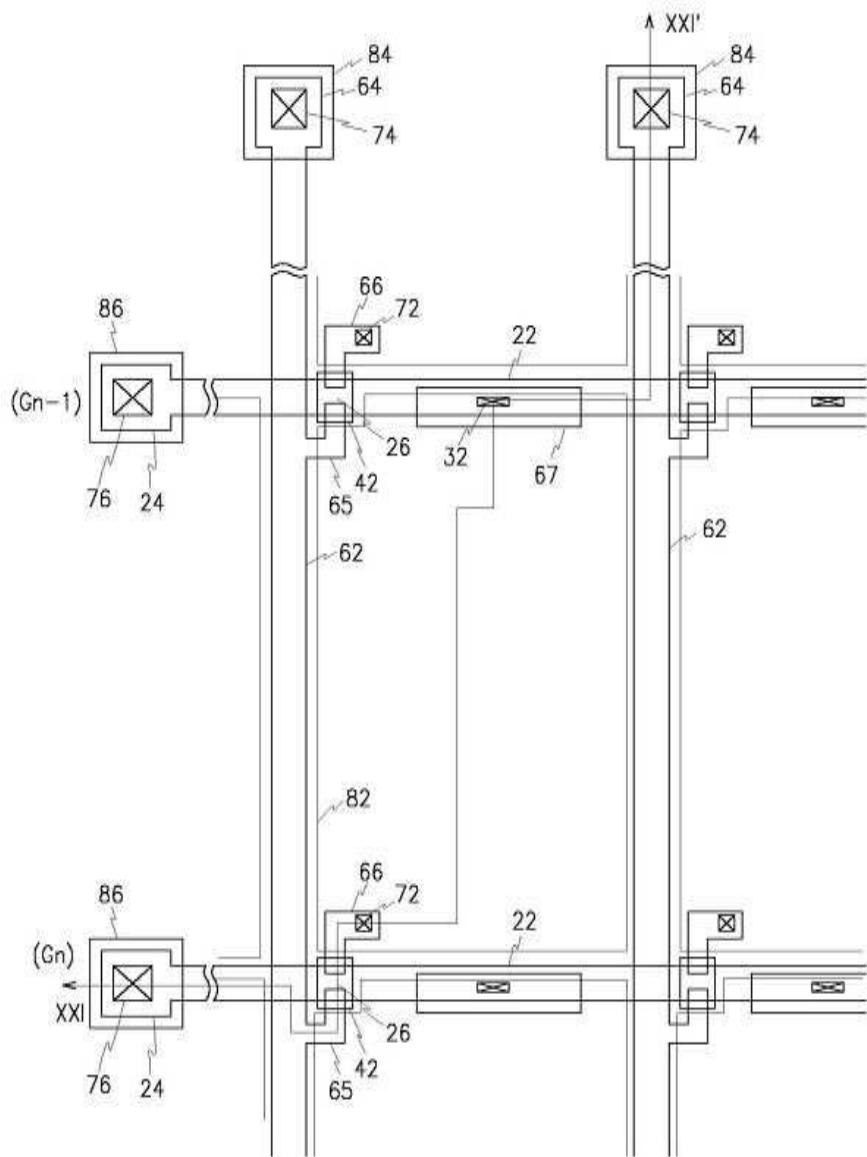
도면18



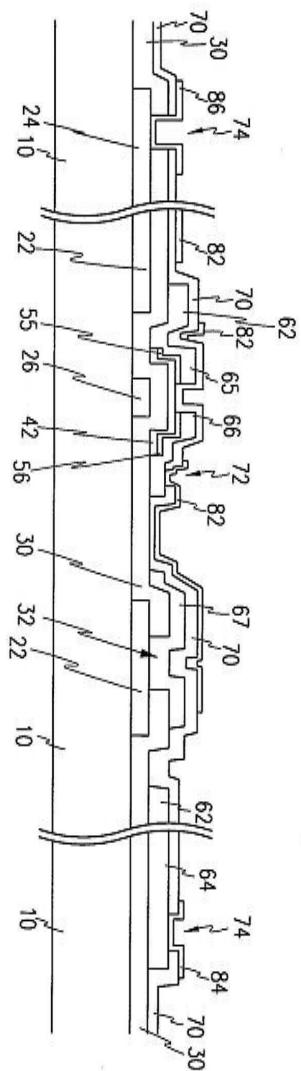
도면19



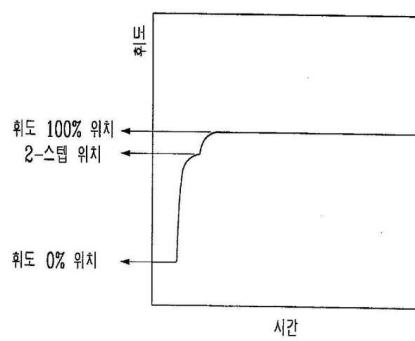
도면20



도면21



도면22



专利名称(译)	薄膜晶体管基板及其制造方法和液晶显示装置		
公开(公告)号	KR1020080042793A	公开(公告)日	2008-05-15
申请号	KR1020080041459	申请日	2008-05-02
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE CHANG HUN 이창훈 CHANG HAK SUN 창학선 KIM NAM HEUNG 김남홍		
发明人	이창훈 창학선 김남홍		
IPC分类号	G02F1/136 G02F1/1343		
CPC分类号	H01L29/786 G02F1/136286 G02F2201/123 H01L27/124		
外部链接	Espacenet		

摘要(译)

漏电极和存储电容导体图案分别表示第一和第二接触孔，形成第二存储电容的像素电极与第二栅极线的部分重叠，它连接到保护膜上的漏电极和存储电容导体图案通过第一和第二接触孔隐含在覆盖根据本发明的薄膜晶体管基板的保护膜中，数据线包括形成在栅极绝缘层上的数据线，覆盖包括第一栅极线和第二栅极线的栅极布线放置固定间隔并定位，并且栅极布线半导体图案在栅电极中的栅极绝缘层上重叠并形成，栅极绝缘层在第一和第二栅极线中交叉，并且源电极和漏极电极和存储电容导体图案形成第一个存储电容对第二栅极线，数据线和存储电容导体图案和半导体图案的一部分以及保护膜进行褪色。开口率，存储电容，静电容量，栅极绝缘层，保护膜。

