



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0035989
(43) 공개일자 2018년04월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/1339 (2006.01) G02F 1/1335 (2006.01)

G02F 1/1337 (2006.01) G02F 1/1368 (2006.01)

(52) CPC특허분류

G02F 1/13394 (2013.01)

G02F 1/133512 (2013.01)

(21) 출원번호 10-2016-0125793

(22) 출원일자 2016년09월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조은민

서울특별시 동대문구 장한로 26나길 59, 203동 1305호(장안동)

이능희

서울특별시 관악구 대학동 서울대학교 관악사 90 3동 717호

(74) 대리인

특허법인 대아

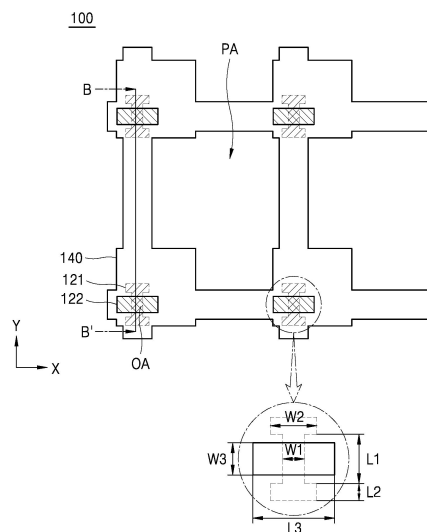
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시패널

(57) 요약

본 발명의 일 실시예는 제 1 기판 상에 배치되는 제 1 스페이서, 상기 제 1 기판에 대향하는 제 2 기판 상에 배치되고 각 화소영역의 외곽에 대응하는 블랙매트릭스, 및 상기 블랙매트릭스 상에 배치되고, 상기 제 1 스페이서에 적어도 일부 오버랩하는 제 2 스페이서를 포함하는 액정표시패널을 제공한다. 여기서 상기 제 1 및 제 2 스페이서 중 어느 하나는 I자형의 상면으로 이루어진다. 이와 같이 하면, 제 1 및 제 2 기판의 정렬 과정 시, 제 1 및 제 2 스페이서의 오버랩영역이 유지될 수 있을 정도의 공정 마진이 증가될 수 있으므로, 정렬 과정의 용이성이 향상될 수 있고, 그로 인해 수율이 향상될 수 있다.

대표도 - 도6



(52) CPC특허분류

G02F 1/1337 (2013.01)

G02F 1/1368 (2013.01)

G02F 2001/13396 (2013.01)

G02F 2001/13398 (2013.01)

명세서

청구범위

청구항 1

제 1 기관;

상기 제 1 기관 상에 배치되고, 표시영역에 정의된 복수의 화소영역 각각의 외곽 중 적어도 일부에 대응하며, 상호 이격하는 복수의 제 1 스페이스;

상기 제 1 기관에 대향하는 제 2 기관;

상기 제 2 기관 상에 배치되고 상기 각 화소영역의 외곽에 대응하는 블랙매트릭스; 및

상기 블랙매트릭스 상에 배치되고, 상기 복수의 제 1 스페이스에 적어도 일부 오버랩하는 복수의 제 2 스페이스를 포함하고,

상기 제 1 및 제 2 스페이스 중 어느 하나는 I자형의 상면으로 이루어지고, 다른 나머지 하나는 바(bar)형의 상면으로 이루어지는 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 I자형은 제 1 너비로 이루어진 가운데 영역과, 상기 제 1 너비보다 큰 제 2 너비로 이루어지고 상기 가운데 영역의 양측에 배치되는 가장자리 영역을 포함하는 액정표시패널.

청구항 3

제 2 항에 있어서,

상기 가운데 영역의 길이는 상기 바형의 너비보다 크고,

상기 가장자리 영역의 길이는 상기 바형의 너비보다 작으며,

상기 가장자리 영역의 상기 제 2 너비는 상기 바형의 길이보다 작은 액정표시패널.

청구항 4

제 1 항에 있어서,

상기 복수의 제 1 스페이스를 덮는 제 1 배향막; 및

상기 블랙매트릭스 상에 배치되고 상기 복수의 제 2 스페이스를 덮는 제 2 배향막을 더 포함하는 액정표시패널.

청구항 5

제 4 항에 있어서,

상기 복수의 제 2 스페이스 중 적어도 일부는 제 1 높이의 간격 스페이스이고, 나머지 일부는 상기 제 1 높이보다 작은 제 2 높이의 돌출 스페이스이며,

상기 간격 스페이스와 상기 제 1 스페이스가 상호 오버랩하는 영역에서 상기 제 1 및 제 2 배향막이 상호 접하는 액정표시패널.

청구항 6

제 5 항에 있어서,
상기 복수의 제 1 스페이서는 상기 I자형이고,
상기 복수의 제 2 스페이서는 상기 바형인 액정표시패널.

청구항 7

제 4 항에 있어서,
상기 복수의 제 1 스페이서 중 적어도 일부는 제 1 높이의 간격 스페이서이고, 나머지 일부는 상기 제 1 높이보다 작은 제 2 높이의 돌림 스페이서이며,
상기 간격 스페이서와 상기 제 2 스페이서가 상호 오버랩하는 영역에서 상기 제 1 및 제 2 배향막이 상호 접하는 액정표시패널.

청구항 8

제 7 항에 있어서,
상기 복수의 제 1 스페이서는 상기 바형이고,
상기 복수의 제 2 스페이서는 상기 I자형인 액정표시패널.

청구항 9

제 4 항에 있어서,
상기 제 1 기판 상에 배치되고, 상기 복수의 화소영역이 정의되도록 상호 교차하는 게이트라인과 데이터라인;
상기 복수의 화소영역에 대응하는 복수의 박막트랜지스터; 및
상기 제 1 배향막 아래에 배치되고, 상기 게이트라인, 상기 데이터라인 및 상기 복수의 박막트랜지스터를 덮는 층간절연막을 더 포함하고,
상기 층간절연막의 표면은 상기 게이트라인, 상기 데이터라인 및 상기 복수의 박막트랜지스터 중 적어도 하나에 대응하는 볼록부, 및 상기 볼록부 주변의 오목부를 포함하는 요철 형태이며,
적어도 상기 복수의 제 1 스페이서의 주변에 배치되고, 상기 층간절연막의 상기 오목부를 메우는 단차보상층을 더 포함하는 액정표시패널.

청구항 10

제 9 항에 있어서,
상기 단차보상층은 상기 제 1 스페이서와 동일층에 배치되는 액정표시패널.

발명의 설명

기술 분야

본 발명은 액정표시패널에 관한 것이다.

[0001]

배경 기술

- [0003] 표시장치(Display Device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용된다. 이에 표시 장치의 박형화, 경량화 및 저소비전력화 등을 개발시키기 위한 연구가 계속되고 있다.
- [0004] 표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.
- [0005] 이러한 표시장치들은 영상을 구현하기 위한 평판의 표시패널을 포함한다.
- [0006] 표시패널은 상호 합착된 한 쌍의 기판과, 한 쌍의 기판 사이에 배치되는 발광물질 또는 편광물질을 포함한다.
- [0007] 일 예로, 액정표시장치에 구비되는 액정표시패널은 한 쌍의 기판 사이에 배치된 액정물질들로 이루어진 액정층을 포함한다. 이러한 액정표시패널은 서브화소 별로 형성된 전계를 통해 액정물질들의 배열 방향을 조절하여, 각 서브화소의 광투과율을 조절함으로써, 영상을 표시한다.
- [0008] 그리고, 액정표시패널은 액정물질들의 초기 배열 방향을 정의하기 위한 배향막 및 한 쌍의 기판 사이의 갭(이하, "셀 갭"이라 함)을 일정하게 유지하기 위한 스페이서를 더 포함한다.
- [0009] 도 1은 일반적인 액정표시패널의 일 예시를 나타낸 도면이다.
- [0010] 도 1에 도시한 바와 같이, 일반적인 액정표시패널의 일 예시(10)는 상호 대향하는 하부기판(11)과 상부기판(12), 상부기판(12) 상에 배치되고 각 화소영역(PA; Pixel Area)의 외곽인 차광영역(SA; Shield Area)에 대응하는 블랙매트릭스(13), 블랙매트릭스(13) 상의 적어도 일부에 배치되는 스페이서(14), 하부기판(11) 상의 전체 영역을 덮는 제 1 배향막(15a) 및 상부기판(12) 상에 배치되고 블랙매트릭스(13)와 스페이서(14)를 덮는 제 2 배향막(15b)을 포함한다.
- [0011] 여기서, 스페이서(14)는 하부기판(11)과 상부기판(12) 사이의 갭을 영역 별로 균일하게 유지시키기 위한 것이므로, 스페이서(14)의 높이는 셀 갭에 대응한다.
- [0012] 즉, 스페이서(14)와 하부기판(11)이 오버랩하는 영역에서, 제 1 및 제 2 배향막(15a, 15b)은 상호 접한다.
- [0013] 이에 따라, 터치 및 장치 이송 등으로 인해, 상부기판(12)을 하부기판(11) 측으로 누르면서 소정 방향(도 1의 우측 방향)을 향하는 외력(Force)이 가해지는 경우, 상부기판(12)과 함께 블랙매트릭스(13) 및 스페이서(14)가 함께 밀린다.
- [0014] 이때, 스페이서(14)에 대응하는 제 1 배향막(15a)이 스페이서(14)의 유동으로 인해 손상될 수 있다. 그로 인해, 제 1 배향막(15a)의 손상으로 인해 액정물질이 틀어짐으로써, 빛샘이 발생될 수 있다.
- [0015] 그리고, 상부기판(12)과 함께 유동된 블랙매트릭스(13)는 차광영역(SA)으로부터 벗어나서 화소영역(PA)에 배치될 수 있다. 이 경우, 차광영역(SA) 중 블랙매트릭스(13)로 차단되지 않는 일부 영역(LLA; Light Leakage Area)에서 빛샘이 차단될 수 없으므로, 빛샘이 얼룩 불량 등으로 시인됨으로써 화질이 저하될 수 있다.
- [0016] 이를 방지하기 위한 일반적인 액정표시패널의 다른 일 예시는 상부기판과 하부기판 각각에 상호 적어도 일부 오버랩하는 상부 스페이서와 하부스페이서를 포함한다.
- [0017] 도 2는 일반적인 액정표시패널의 다른 일 예시를 나타낸 도면이다. 도 3은 도 2의 블랙매트릭스, 상부 스페이서 및 하부 스페이서의 평면을 나타낸 도면이다. 도 4는 도 2의 액정표시패널에 있어서, 상부 및 하부 기판 간의 오정렬을 나타낸 도면이다.
- [0018] 참고로, 도 2는 도 3의 A-A' 단면을 나타낸 도면이다. 특히, 도 2는 액정표시패널 중 각 화소영역의 외곽인 차광영역 중 일부를 나타낸 도면이다.
- [0019] 도 2에 도시한 바와 같이, 일반적인 액정표시패널의 다른 일 예시(20)는 상호 대향하는 하부기판(21)과 상부기판(22), 하부기판(21)의 차광영역 중 일부에 배치되는 하부 스페이서(23), 하부기판(21) 상에 배치되고 하부 스페이서(23)를 덮는 하부 배향막(24), 상부기판(22)의 차광영역 상에 배치되는 블랙매트릭스(25), 블랙매트릭스(25) 상에 배치되는 상부 스페이서(26), 및 블랙매트릭스(25)와 상부 스페이서(26)를 덮는 상부 배향막(27)을 포함한다.

- [0020] 여기서, 하부 스페이스(23)와 상부 스페이스(26)는 상호 적어도 일부 영역(28)에서 중첩한다. 그리고, 하부 스페이스(23)와 상부 스페이스(26)는 하부기관(21)과 상부기관(22) 간의 셀 갭을 유지하기 위한 것이므로, 하부 스페이스(23)와 상부 스페이스(26) 간의 중첩 영역(28)에서, 하부 배향막(24) 및 상부 배향막(25)이 상호 접한다.
- [0021] 이와 같이 하면, 하부 스페이스(23)와 상부 스페이스(26) 간의 중첩 영역(28)을 제외한 나머지 영역에서 상부 배향막(25)이 하부 배향막(24)에 접하지 않는다. 그러므로, 상부기관(22) 및 그에 배치된 상부 스페이스(26)가 외력에 의해 유동되는 경우에도, 하부 스페이스(23)로부터 이격된 각 화소영역의 하부 배향막(24)이 손상되는 것이 방지될 수 있다.
- [0022] 한편, 도 3에 도시한 바와 같이, 일반적인 액정표시패널의 다른 일 예시(20)에 따르면, 하부 스페이스(23) 및 상부 스페이스(26) 각각은 상호 교차하는 바형(bar shaped)으로 이루어진다.
- [0023] 그리고, 하부기관(도 2의 21)과 상부기관(도 2의 22)을 정렬하는 과정에서, 상부기관(22)이 하부기관(21)에 비해 좌우 방향(도 3의 X축 방향) 및/또는 상하 방향(도 3의 Y축 방향)으로 치우치는 불량이 발생할 수 있다.
- [0024] 일 예로, 도 4에 도시한 바와 같이, 상부기관(22)이 하부기관(21)에 비해 상하 방향(Y축 방향)을 따라 하부 스페이스(23)의 길이 이상으로 치우치는 불량이 발생하는 경우, 하부 스페이스(23)와 상부 스페이스(26) 간의 중첩 영역(28')이 정상적인 정렬 과정이 실시되는 경우의 중첩 영역(도 3의 28)보다 작아지는 문제점이 있다.
- [0025] 이와 같이, 하부 스페이스(23)와 상부 스페이스(26) 간의 중첩 영역(28')이 작아지면, 하부기관(21)과 상부기관(22) 간의 셀 갭을 유지하기 위한 지지력이 작아짐으로써, 외력에 더욱 취약해질 수 있는 문제점이 있다.
- [0026] 그러므로, 하부기관(21)과 상부기관(22)을 정렬하는 과정의 공정 마진이 하부 스페이스(23)와 상부 스페이스(26) 간의 중첩 영역(28)을 유지할 수 있는 범위로 한정됨으로써, 정렬 과정의 용이성이 저하되고, 수율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0028] 본 발명은 하부기관과 상부기관을 정렬하는 과정의 공정 마진이 증가될 수 있어, 정렬 과정의 용이성이 향상될 수 있고, 수율이 향상될 수 있는 액정표시패널을 제공하기 위한 것이다.
- [0029] 그리고, 본 발명은 얼룩 불량을 방지할 수 있는 액정표시패널을 제공하기 위한 것이다.

과제의 해결 수단

- [0031] 본 발명은 제 1 기관 상에 배치되는 제 1 스페이스, 상기 제 1 기관에 대향하는 제 2 기관 상에 배치되고 각 화소영역의 외곽에 대응하는 블랙매트릭스, 및 상기 블랙매트릭스 상에 배치되고, 상기 제 1 스페이스에 적어도 일부 오버랩하는 제 2 스페이스를 포함하는 액정표시패널을 제공한다. 여기서 상기 제 1 및 제 2 스페이스 중 어느 하나는 I자형의 상면으로 이루어진다. 이와 같이 하면, 제 1 및 제 2 기관의 정렬 과정 시, 제 1 및 제 2 스페이스의 오버랩영역이 유지될 수 있을 정도의 공정 마진이 증가될 수 있으므로, 정렬 과정의 용이성이 향상될 수 있고, 그로 인해 수율이 향상될 수 있다.
- [0032] 상기 액정표시패널은 상기 복수의 제 1 스페이스를 덮는 제 1 배향막; 및 상기 블랙매트릭스 상에 배치되고 상기 복수의 제 2 스페이스를 덮는 제 2 배향막을 더 포함할 수 있다.
- [0033] 또한, 상기 액정표시패널은 상기 제 1 배향막 아래에 배치되고, 게이트라인, 데이터라인 및 복수의 박막트랜지스터를 덮는 층간절연막을 더 포함할 수 있다. 여기서, 상기 층간절연막의 표면은 상기 게이트라인, 상기 데이터라인 및 상기 복수의 박막트랜지스터 중 적어도 하나에 대응하는 볼록부, 및 상기 볼록부 주변의 오목부를 포함하는 요철 형태이다. 여기서, 액정표시패널은 적어도 상기 복수의 제 1 스페이스의 주변에 배치되고, 상기 층간절연막의 상기 오목부를 메우는 단차보상층을 더 포함할 수 있다. 이러한 단차보상층으로 인해, 얼룩 불량을 방지할 수 있어, 화질 저하를 방지할 수 있다.

발명의 효과

- [0035] 본 발명의 각 실시예에 따르면, 제 1 기관 상에 배치되는 제 1 스페이서와 제 1 기관에 대향하는 제 2 기관 상에 배치되는 제 2 스페이서를 포함하되, 제 1 및 제 2 스페이서 중 어느 하나는 I자형으로 이루어지고, 다른 나머지 하나는 바형으로 이루어진다. 이와 같이 하면, 제 1 및 제 2 기관의 정렬 과정 시, 제 1 및 제 2 스페이서 사이의 오버랩 영역을 유지하기 위한 공정 마진이 증가될 수 있으므로, 정렬 과정의 용이성이 향상될 수 있고, 그로 인해 수율이 향상될 수 있다.
- [0036] 그리고, 본 발명의 일 실시예에 따르면, 게이트라인, 데이터라인 및 박막트랜지스터 중 적어도 하나에 의한 불록부 주변의 오목부를 메우는 단차보상층을 더 포함한다. 이로써, 제 1 배향막이 요철 형태의 표면으로 이루어지는 것이 방지되어, 액정층의 배향 방향이 달라지는 것에 의한 얼룩 불량이 방지될 수 있고, 그로 인해 화질 저하가 방지될 수 있다.
- [0037] 이뿐만 아니라, 단차보상층은 제 1 스페이서와 동일층에 배치될 수 있다. 이로써, 구성요소의 추가에 따른 마스크공정의 증가가 방지될 수 있다.

도면의 간단한 설명

- [0039] 도 1은 일반적인 액정표시패널의 일 예시를 나타낸 도면이다.
- 도 2는 일반적인 액정표시패널의 다른 일 예시를 나타낸 도면이다.
- 도 3은 도 2의 블랙매트릭스, 상부 스페이서 및 하부 스페이서의 평면을 나타낸 도면이다.
- 도 4는 도 2의 액정표시패널에 있어서, 상부 및 하부 기관 간의 오정렬을 나타낸 도면이다.
- 도 5는 본 발명의 제 1 실시예에 따른 액정표시패널을 나타낸 도면이다.
- 도 6은 도 5의 액정표시패널에 있어서, 블랙매트릭스와 제 1 및 제 2 스페이서의 평면을 나타낸 도면이다.
- 도 7은 도 6의 액정표시패널에 있어서, 제 1 및 제 2 기관 간의 오정렬을 나타낸 도면이다.
- 도 8은 도 5의 액정표시패널에 있어서, 서브화소의 평면에 대한 일 예시를 나타낸 도면이다.
- 도 9는 도 8의 C-C' 단면 및 D-D' 단면을 나타낸 도면이다.
- 도 10은 본 발명의 제 2 실시예에 따른 액정표시패널을 나타낸 도면이다.
- 도 11은 도 10의 액정표시패널에 있어서, 블랙매트릭스와 제 1 및 제 2 스페이서의 평면을 나타낸 도면이다.
- 도 12는 본 발명의 제 3 실시예에 따른 도 8의 C-C' 단면 및 D-D' 단면을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 이하, 본 발명의 각 실시예에 따른 액정표시패널에 대하여 첨부한 도면을 참고로 하여 상세히 설명하기로 한다.
- [0041] 먼저, 도 5 내지 도 9를 참조하여, 본 발명의 제 1 실시예에 따른 액정표시패널에 대해 설명한다.
- [0042] 도 5는 본 발명의 제 1 실시예에 따른 액정표시패널을 나타낸 도면이다. 도 6은 도 5의 액정표시패널에 있어서, 블랙매트릭스와 제 1 및 제 2 스페이서의 평면을 나타낸 도면이다. 도 7은 도 6의 액정표시패널에 있어서, 제 1 및 제 2 기관 간의 오정렬을 나타낸 도면이다. 도 8은 도 5의 액정표시패널에 있어서, 서브화소의 평면에 대한 일 예시를 나타낸 도면이다. 도 9는 도 8의 C-C' 단면 및 D-D' 단면을 나타낸 도면이다.
- [0043] 참고로, 도 5는 도 6의 B-B' 단면을 나타낸 것이다. 그리고, 도 5는 복수의 화소영역 각각의 외곽인 차광영역 중 일부를 나타낸 도면이다.
- [0044] 도 5에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 액정표시패널(100)은 제 1 기관(111), 제 1 기관(111) 상에 배치되고 표시영역에 정의된 복수의 화소영역 각각의 외곽 중 적어도 일부에 대응하며 상호 이격하는 복수의 제 1 스페이서(121), 제 1 기관(111) 상에 배치되고 복수의 제 1 스페이서(121)를 덮는 제 1 배향막(131),

제 1 기관(111)에 대항하는 제 2 기관(112), 제 2 기관(112) 상에 배치되고 각 화소영역의 외곽에 대응하는 블랙매트릭스(140), 블랙매트릭스(140) 상에 배치되고 복수의 제 1 스페이서(121)에 적어도 일부 오버랩하는 복수의 제 2 스페이서(122a, 122b) 및 블랙매트릭스(140)와 복수의 제 2 스페이서(122a, 122b)를 덮는 제 2 배향막(132)을 포함한다.

- [0045] 복수의 제 2 스페이서(122a, 122b) 중 일부는 제 1 높이(h1)의 간격 스페이서(122a)이고, 나머지 일부는 제 1 높이(h1)보다 작은 제 2 높이(h2)의 돌림 스페이서(122b)이다.
- [0046] 여기서, 간격 스페이서(122a)와 제 1 스페이서(121)가 상호 오버랩하는 영역에서, 제 1 및 제 2 배향막(131, 132)이 상호 접한다. 즉, 제 1 높이(h1)의 간격 스페이서(122a)는 제 1 스페이서(121)에 지지된다. 그러므로, 제 1 스페이서(121)와 제 1 높이(h1)의 간격 스페이서(122a)에 의해, 제 1 및 제 2 기관(111, 112) 간의 셀 갭이 유지될 수 있다.
- [0047] 그리고, 제 2 높이(h2)의 돌림 스페이서(122b)는 제 1 스페이서(121)로부터 소정 간격(h1-h2)으로 이격된다. 이러한 돌림 스페이서(122b)로 인해 제 2 기관(112)이 돌림 마진만큼 유연하게 늘려질 수 있다. 즉, 제 1 스페이서(121)와 제 2 높이(h2)의 돌림 스페이서(122b)에 의해, 제 2 기관(112)을 제 1 기관(111) 측으로 누르는 힘에 대한 제 2 기관(112)의 돌림 마진이 증가될 수 있으므로, 외력에 의한 액정표시패널의 손상이 감소될 수 있다.
- [0048] 도 6에 도시한 바와 같이, 복수의 화소영역(PA)은 상호 교차하는 게이트라인(미도시)과 데이터라인(미도시)에 의해 정의되고, 매트릭스 배열된다.
- [0049] 그리고, 제 1 스페이서(121) 및 제 2 스페이서(도 5의 122a, 122b; '122'으로 통칭함) 중 어느 하나는 I자형의 상면으로 이루어지고, 다른 나머지 하나는 바(bar)형의 상면으로 이루어진다.
- [0050] 즉, 도 6의 도시와 같이, 제 1 기관(111)에 배치되는 제 1 스페이서(121)는 I자형의 상면으로 이루어질 수 있고, 제 2 기관(112)에 배치되는 제 2 스페이서(122)는 바형의 상면으로 이루어질 수 있다.
- [0051] 그리고, 제 1 및 제 2 스페이서(121, 122)는 상호 교차하는 방향으로 배치된다. 일 예로, 제 1 스페이서(121)의 장변방향은 데이터라인에 대응하는 방향(도 6의 Y축 방향)에 평행할 수 있고, 제 2 스페이서(122)의 장변방향은 게이트라인에 대응하는 방향(도 6의 X축 방향)에 평행할 수 있다. 다만, 이는 단지 예시일 뿐이며, 제 1 스페이서(121)의 장변방향이 X축 방향이고, 제 2 스페이서(122)의 장변방향이 Y축 방향일 수도 있음은 당연하다.
- [0052] 이와 같이, 제 1 및 제 2 스페이서(121, 122)가 상호 교차함으로써, 제 1 및 제 2 스페이서(121, 122)는 상호 적어도 일부 오버랩(OA; Overlap Area)한다.
- [0053] 더불어, 제 1 스페이서(121)에 대응하는 I자형의 상면은 장변방향(Y축 방향)을 기준으로 제 1 너비(W1)의 가운데 영역, 및 가운데 영역의 양측에 배치되고 제 1 너비(W1)보다 큰 제 2 너비(W2)의 가장자리 영역을 포함한다.
- [0054] 제 1 너비(W1)의 가운데 영역은 제 1 길이(L1)로 이루어지고, 제 2 너비(W2)의 가장자리 영역 각각은 제 1 길이(L1)보다 짧은 제 2 길이(L2)로 이루어진다.
- [0055] 여기서, 제 2 너비(W2)는 제 2 스페이서(122)의 길이(L3)보다 작은 값으로 설정된다.
- [0056] 일 예로, I자형으로 이루어진 제 1 스페이서(121)의 가운데 영역의 제 1 길이(L1)는 바형으로 이루어진 제 2 스페이서(122)의 너비(W3)보다 작은 값으로 설정될 수 있다. 이와 같이 하면, 제 1 및 제 2 스페이서(121, 122) 간의 오버랩 영역(OA)이 제 1 스페이서(121)의 가운데 영역에만 배치될 수 있다.
- [0057] 그리고, I자형으로 이루어진 제 1 스페이서(121)의 가장자리 영역의 제 2 길이(L2)는 가운데 영역의 제 1 길이(L1)보다 작은 값으로 설정될 수 있다. 이와 같이 하면, I자형의 제 1 스페이서(121)을 커버하기 위해, 블랙매트릭스(140)의 너비가 크게 증가하는 것이 방지될 수 있다.
- [0058] 예시적으로, 제 2 길이(L2)는 제 1 스페이서(121)의 가운데 영역(W1)과 제 2 스페이서(122) 간의 오버랩 영역(OA)의 면적(W1*W3) 및 제 2 너비(W2)에 기초하여 설정될 수 있다.
- [0059] 이 경우, 제 2 길이(L2)는 제 1 스페이서(121)의 가운데 영역과 제 2 스페이서(122) 간의 오버랩 영역(OA)의 면적(W1*W3)을 제 2 너비(W2)로 나눈 값((W1*W3)/W2) 및 그의 근사값으로 설정될 수 있다.
- [0060] 이와 같이 하면, 제 2 스페이서(122)가 제 1 스페이서(121)의 가장자리 영역(W2)의 적어도 일부에 오버랩하는 경우 및 제 2 스페이서(122)가 제 1 스페이서(121)의 가운데 영역(W1)에만 오버랩하는 경우 각각에서, 제 1 및 제 2 스페이서(121, 122) 간의 오버랩 면적이 소정의 유사 범위 이내로 유지될 수 있다. 여기서 유사 범위는 사

실상 동일한 면적으로 같음될 수 있을 정도의 근사값들을 포함한다.

- [0061] 따라서, 도 7의 도시와 같이, 제 1 및 제 2 기관(111, 112)의 정렬 과정 시 제 2 기관(112)가 제 1 기관(111)에 비해 Y축 방향으로 소정의 정렬 오차만큼 틀어짐에 따라, 제 2 스페이서(122)가 제 1 스페이서(121)의 가장자리 영역(W2)에만 오버랩하는 경우, 제 1 및 제 2 스페이서(121, 122) 간의 오버랩 면적(OA')은 제 2 스페이서(122)가 제 1 스페이서(121)의 가운데 영역(W1)에만 오버랩하는 경우의 오버랩 면적(도 6의 OA)에 대응하는 소정의 유사 범위 이내로 유지될 수 있다.
- [0062] 이와 같이, 본 발명의 제 1 실시예에 따르면, 제 1 및 제 2 스페이서(121, 122) 중 어느 하나가 I자형의 상면으로 이루어짐에 따라, 제 1 및 제 2 기관(111, 112)의 정렬 과정 시, 제 1 및 제 2 스페이서(121, 122) 간의 오버랩 면적(OA, OA')을 유지할 수 있을 정도의 오차 범위, 즉 공정 마진이 증가될 수 있다.
- [0063] 즉, 제 1 및 제 2 스페이서가 모두 소정의 길이(L)와 소정의 너비(W)로 이루어진 바형인 경우, 제 1 및 제 2 기관의 정렬 과정에 대한 공정 마진은 제 1 스페이서의 길이에서 제 1 스페이서의 양측에 배치될 가능성이 있는 제 2 스페이서의 너비를 뺀 값(L-2W) 이하로 한정된다.
- [0064] 그에 반해, 본 발명의 제 1 실시예에 따르면, 제 2 스페이서(122)가 제 1 스페이서(121)의 가장자리 영역(W2)에만 오버랩하더라도 오버랩 영역(OA)의 면적이 소정의 유사 범위 이내로 유지될 수 있다. 그러므로, 제 1 및 제 2 기관(111, 112)의 정렬 과정에 대한 공정 마진은 제 1 스페이서(121)의 가운데영역의 제 1 길이(L1)에 대응하는 값이 된다. 이와 같이, 종래보다 공정 마진이 증가됨으로써, 정렬 과정의 용이성이 향상될 수 있고, 장치 제조 시의 수율이 향상될 수 있다.
- [0065] 한편, 본 발명의 제 1 실시예에 따른 액정표시패널(100)은 도 5 내지 도 7에 도시되지 않은 구성들을 더 포함한다.
- [0066] 즉, 도 8에 도시한 바와 같이, 제 1 실시예에 따른 액정표시패널(100)은 표시영역에 매트릭스 배열되는 복수의 화소영역(PA)이 정의되도록 상호 교차하는 게이트라인(GL)과 데이터라인(DL), 및 복수의 화소영역(PA)에 대응하고 게이트라인(GL)과 데이터라인(DL) 사이의 교차 영역에 배치되는 박막트랜지스터를 더 포함한다.
- [0067] 그리고, 앞서 언급한 바와 같이, 블랙매트릭스(140)는 각 화소영역(PA)의 외곽인 차광영역에 배치된다.
- [0068] 더불어, 상호 교차하는 제 1 스페이서(121) 및 제 2 스페이서(122a, 122b)는 블랙매트릭스(140)가 배치되는 차광영역 중 일부에 배치된다. 이때, 제 1 스페이서(121) 및 제 2 스페이서(122a, 122b)로 이루어진 스페이서 세트는 게이트라인(GL)에 대응하는 방향(도 8의 상하방향)으로 적어도 하나의 화소영역(PA)에 대응하는 간격으로 배열될 수 있다. 그리고, 도 8에 별도로 도시되지 않았으나, 제 1 스페이서(121) 및 제 2 스페이서(122a, 122b)로 이루어진 스페이서 세트는 데이터라인(DL)에 대응하는 방향(도 8의 좌우방향)으로 적어도 두 개의 화소영역(PA)에 대응하는 간격으로 배열될 수 있다.
- [0069] 앞서 언급한 바와 같이, 액정표시패널(100)은 각 화소영역(PA)에 대응하는 박막트랜지스터를 포함한다.
- [0070] 도 9에 도시한 바와 같이, 각 화소영역(PA)에 대응하는 박막트랜지스터(TFT)는 제 1 기관(111) 상에 배치되는 게이트전극(GE), 게이트전극(GE)을 덮는 게이트절연막(GI) 상에 배치되는 액티브층(ACT), 게이트절연막(GI) 상에 배치되고 액티브층(ACT)의 양측에 접하는 소스전극(SE)과 드레인전극(DE)을 포함한다.
- [0071] 이러한 박막트랜지스터(TFT)는 게이트절연막(GI) 상에 배치되는 제 1 층간절연막(151)으로 덮인다. 즉, 액티브층(ACT), 소스전극(SE) 및 드레인전극(DE)은 제 1 층간절연막(151)으로 커버된다.
- [0072] 더불어, 액정표시패널(100)은 게이트절연막(GI) 상에 배치된 박막트랜지스터(TFT)의 액티브층(ACT), 소스전극(SE) 및 드레인전극(DE)을 덮는 제 1 층간절연막(151), 제 1 층간절연막(151)을 커버하는 제 2 층간절연막(152), 제 2 층간절연막(152) 상에 배치되는 공통전극(CE), 공통전극(CE)을 덮는 제 3 층간절연막(153)을 더 포함한다. 또한, 도 9에 상세히 도시되지 않았으나, 각 화소영역(PA)에 빗살 형태로 배치되는 화소전극은 공통전극(CE)으로부터 절연되도록, 제 1 층간절연막(151) 상에 배치되거나, 아니면, 제 3 층간절연막(153) 상에 배치될 수 있다.
- [0073] 제 3 층간절연막(153) 상에는 I자형과 바형 중 어느 하나(도 8에서 I자형임)으로 이루어진 제 1 스페이서(121), 및 제 3 층간절연막(153) 상의 제 1 스페이서(121)를 커버하는 제 1 배향막(131)이 배치된다.
- [0074] 앞서 언급한 바와 같이, 액정표시패널(100)은 제 2 기관(112) 상에 배치되고 각 화소영역(PA)의 외곽(차광영역)에 대응하는 블랙매트릭스(140)를 포함한다. 이와 더불어, 액정표시패널(100)은 제 2 기관(112) 상에 배치되

고 각 화소영역(PA)에 대응하며 소정의 색상으로 광을 필터링하는 컬러필터(160), 블랙매트릭스(140)와 컬러필터(160)를 덮는 오버코트막(170)을 더 포함한다.

- [0075] 오버코트막(170) 상에는 I자형과 바형 중 나머지 다른 하나(도 8에서 바형임)로 이루어진 제 2 스페이서(122a, 122b), 및 오버코트막(170) 상의 제 2 스페이서(122a, 122b)를 덮는 제 2 배향막(132)이 배치된다.
- [0076] 여기서, 제 2 스페이서(122a, 122b)는 제 1 높이(h1)의 간격 스페이서(122a) 및 제 1 높이(h1)보다 작은 제 2 높이(h2)의 돌림 스페이서(122b)를 포함한다.
- [0077] 또한, 도 9에 상세히 도시되지 않았으나, 액정표시패널(100)은 제 1 및 제 2 기관(111, 112)가 상호 합착된 상태에서, 제 1 및 제 2 배향막(131, 132) 사이에 주입되는 액정물질로 이루어진 액정층(미도시)을 더 포함한다.
- [0078] 한편, 도 5 내지 도 9에서는 제 1 기관(111) 상의 제 1 스페이서(121)가 I자형으로 이루어지고, 제 2 기관(112) 상의 제 2 스페이서(122a, 122b)가 바형으로 이루어지는 것과, 제 1 스페이서(121)는 상호 동일한 높이의 범프 스페이서로 이루어지고, 제 2 스페이서(122a, 122b)는 서로 다른 높이의 간격 스페이서(122a) 및 돌림 스페이서(122b)로 구성되는 것을 도시한다.
- [0079] 이러한 도 5 내지 도 9의 도시와 달리, 제 1 기관(111) 상의 제 1 스페이서(121)가 바형으로 이루어지고, 제 2 기관(112) 상의 제 2 스페이서(122a, 122b)가 I자형으로 이루어질 수도 있음은 당연하다. 또는, 제 1 및 제 2 스페이서(121, 122a, 122b)가 모두 I자형으로 이루어질 수도 있다.
- [0080] 또한, 도 5 내지 도 9의 도시와 달리, 제 1 스페이서가 아닌 제 2 스페이서가 상호 동일한 높이로 이루어질 수도 있다.
- [0081] 도 10은 본 발명의 제 2 실시예에 따른 액정표시패널을 나타낸 도면이다. 도 11은 도 10의 액정표시패널에 있어서, 블랙매트릭스와 제 1 및 제 2 스페이서의 평면을 나타낸 도면이다. 참고로, 도 10은 도 11의 E-E' 단면을 나타낸 도면이다.
- [0082] 도 10 및 도 11에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정표시패널(100')은 제 1 기관(111) 상에 배치되는 제 1 스페이서(123a, 123b)가 서로 다른 높이의 간격 스페이서(123a)와 돌림 스페이서(123b)로 이루어지고, 제 2 기관(112) 상에 배치되는 제 2 스페이서(124)가 상호 동일한 높이의 범프 스페이서로 이루어지는 점을 제외하면, 제 1 실시예와 동일하므로, 이하에서 중복 설명을 생략한다.
- [0083] 또한, 도 11에 도시한 바와 같이, 본 발명의 제 2 실시예에 따르면, 제 1 스페이서(123a, 123b)는 I자형으로 이루어지고, 제 2 스페이서(124)는 바형으로 이루어질 수 있다. 그러나, 이는 단지 예시일 뿐이며, 제 2 실시예에서도, 제 1 스페이서(123a, 123b)는 바형으로 이루어지고, 제 2 스페이서(124)는 I자형으로 이루어질 수도 있음은 당연하다.
- [0084] 한편, 본 발명의 제 1 및 제 2 실시예에 따른 액정표시패널(100, 100')은 제 1 기관(111) 상에 배치되는 게이트라인(도 8의 GL), 데이터라인(도 8의 DL) 및 박막트랜지스터(도 9의 TFT)를 포함한다. 여기서, 게이트라인(GL)은 박막트랜지스터(TFT)의 게이트전극(GE)과 동일층인 제 1 기관(111) 상에 배치될 수 있다. 그리고, 데이터라인(DL)은 박막트랜지스터(TFT)의 소스전극(SE) 및 드레인전극(DE)과 동일층인 게이트절연막(GI) 상에 배치될 수 있다.
- [0085] 이러한 게이트라인(도 8의 GL), 데이터라인(도 8의 DL) 및 박막트랜지스터(도 9의 TFT) 각각은 하나 이상의 금속패턴 또는 반도체패턴으로 이루어진다.
- [0086] 이에 따라, 도 9에 도시한 바와 같이, 게이트라인(도 8의 GL), 데이터라인(도 8의 DL) 및 박막트랜지스터(도 9의 TFT)를 덮는 제 3 층간절연막(153)의 표면은 게이트라인(GL), 데이터라인(DL) 및 박막트랜지스터(TFT) 중 적어도 하나에 대응하는 볼록부, 및 볼록부 주변의 오목부를 포함하는 요철 형태이다.
- [0087] 이러한 제 3 층간절연막(153)의 요철 형태는 제 3 층간절연막(153) 상에 배치되는 제 1 배향막(121)으로 전사된다. 즉, 제 1 배향막(121)은 오목부와 볼록부를 포함하는 요철 형태로 배치된다. 그리고, 제 1 배향막(121)의 오목부와 볼록부 간의 단차에 의해, 액정의 배향방향이 틀어짐으로써, 작은 도트 형태의 얼룩이 발생될 수 있고, 그로 인한 화질 저하가 발생될 수 있다.
- [0088] 도 12는 본 발명의 제 3 실시예에 따른 도 8의 C-C' 단면 및 D-D' 단면을 나타낸 도면이다.
- [0089] 도 12에 도시한 바와 같이, 본 발명의 제 3 실시예에 따른 액정표시패널(100'')은 제 1 배향막(121) 아래에 배치

된 층간절연막(153)의 오목부를 메우는 단차보상층(125)을 더 포함하는 점을 제외하면, 도 5 내지 도 9에 도시한 제 1 실시예와 동일하므로, 이하에서 중복 설명을 생략한다.

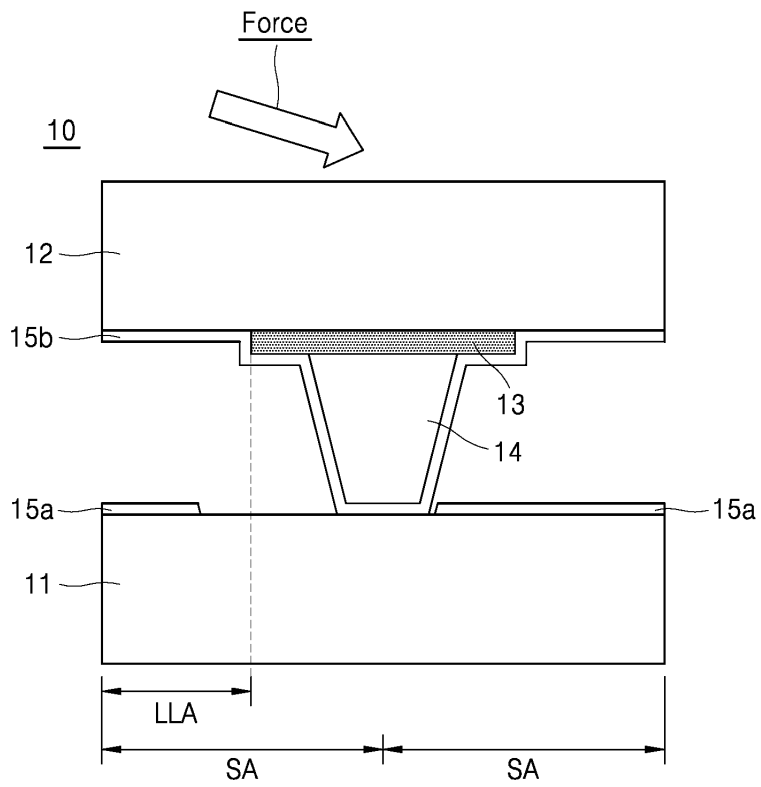
- [0090] 도 12에 도시한 바와 같이, 본 발명의 제 3 실시예에 따른 액정표시패널(100")은 제 1 배향막(121) 아래에 배치되고, 게이트라인(GL), 데이터라인(DL) 및 박막트랜지스터(TFT)를 덮는 제 1 층간절연막(151), 제 2 층간절연막(152) 및 제 3 층간절연막(153)을 포함한다.
- [0091] 이때, 제 1 내지 제 3 층간절연막(151, 152, 153)은 적어도 하나의 금속패턴을 각각 포함하는 게이트라인(GL), 데이터라인(DL) 및 박막트랜지스터(TFT) 중 적어도 하나에 대응하는 볼록부 및 볼록부 주변의 오목부를 포함하는 요철 형태이다.
- [0092] 또한, 도 8에 도시한 바와 같이, 게이트라인(GL), 데이터라인(DL) 및 박막트랜지스터(TFT)는 제 1 및 제 2 스페이서(121, 122a, 122b)와 마찬가지로, 화소영역(PA)의 외곽에 배치된다. 즉, 제 1 스페이서(121)는 요철 형태의 제 3 층간절연막(153) 위에 배치된다. 그리고, 제 1 배향막(131)은 요철 형태의 제 3 층간절연막(153) 위에 배치되고 제 1 스페이서(121)를 덮는다.
- [0093] 이에 따라, 제 1 배향막(131)은 요철 형태의 제 3 층간절연막(153)과 마찬가지로, 오목부와 볼록부를 포함할 뿐만 아니라, 제 1 스페이서(121)에 의한 볼록부를 더 포함하는 표면으로 이루어진다.
- [0094] 특히, 제 1 스페이서(121) 주위에 오목부가 배치되면, 제 1 배향막(131)의 표면에 제 1 스페이서(121)의 높이 및 오목부의 깊이로 인한 단차가 발생한다. 이로써, 제 1 배향막(131)에 의한 액정층의 배향방향이 주위와 상이해지므로, 도트 형태의 얼룩 불량으로 시인될 수 있고, 그로 인해 화질이 저하될 수 있다.
- [0095] 따라서, 본 발명의 제 3 실시예에 따른 액정표시패널(100")은 적어도 제 1 스페이서(121)의 주위에 배치되는 단차보상층(125)을 더 포함한다.
- [0096] 단차보상층(125)은 제 1 내지 제 3 층간절연막(151, 152, 153) 중 적어도 어느 하나 상에 배치되고, 게이트라인(GL), 데이터라인(DL) 및 박막트랜지스터(TFT) 중 적어도 하나에 의한 볼록부 주변의 오목부를 메운다.
- [0097] 이때, 단차보상층(125)은 제 1 스페이서(121)와 동일층인 제 3 층간절연막(153) 상에 배치될 수 있다. 예시적으로, 제 1 스페이서(121)와 단차보상층(125)은 단일 마스크를 이용하여 동일한 높이로 이루어질 수 있다. 또는, 제 1 스페이서(121)와 단차보상층(125)은 하프톤마스크를 이용하여 서로 다른 높이로 이루어질 수도 있다.
- [0098] 이와 같이, 본 발명의 제 3 실시예에 따르면, 단차보상층(125)을 더 포함함으로써, 단차로 인한 도트 얼룩을 방지하여 화질 저하를 방지할 수 있으면서도, 구성요소의 추가로 인한 마스크공정이 증가되는 것이 방지될 수 있다.
- [0099] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

- [0101] 100, 100', 100": 액정표시패널
 111: 제 1 기관 112: 제 2 기관
 121, 123a, 123b: 제 1 스페이서
 122a, 122b, 122, 124: 제 2 스페이서
 131: 제 1 배향막 132: 제 2 배향막
 140: 블랙매트릭스
 PA: 화소영역 SA: 차광영역

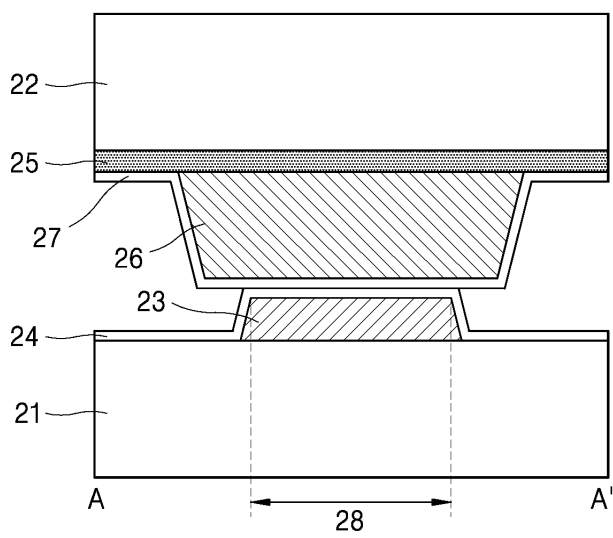
도면

도면1

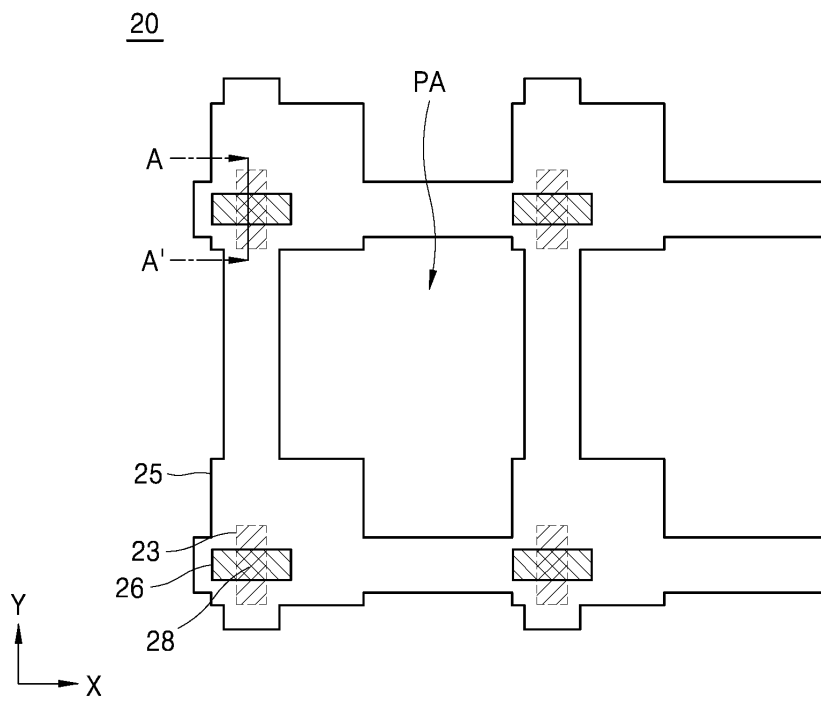


도면2

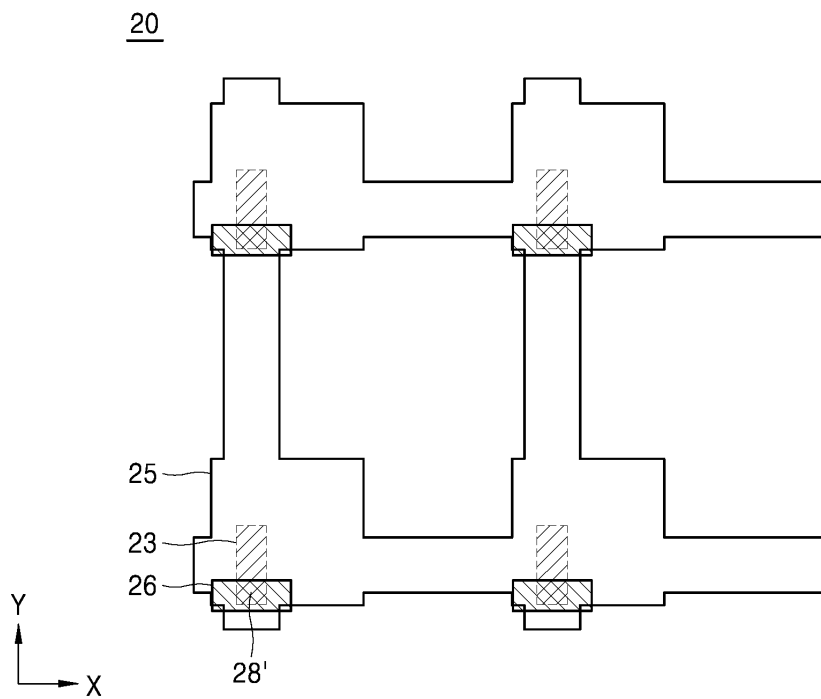
20



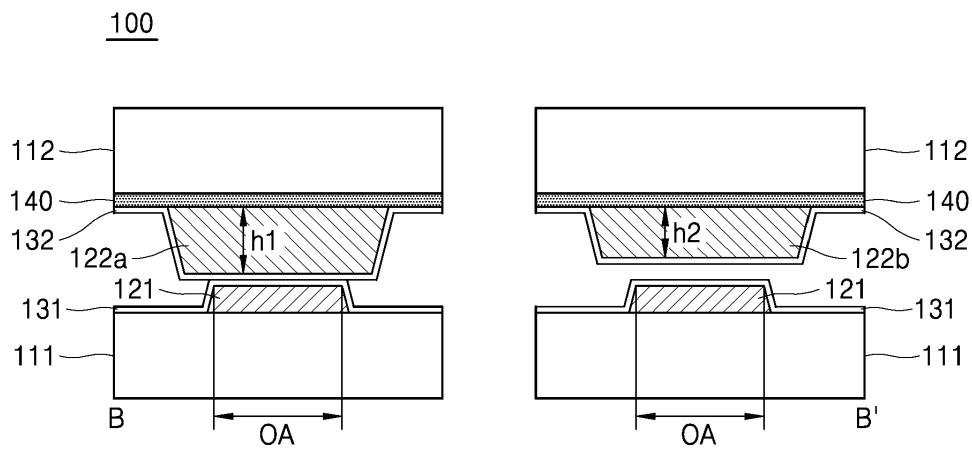
도면3



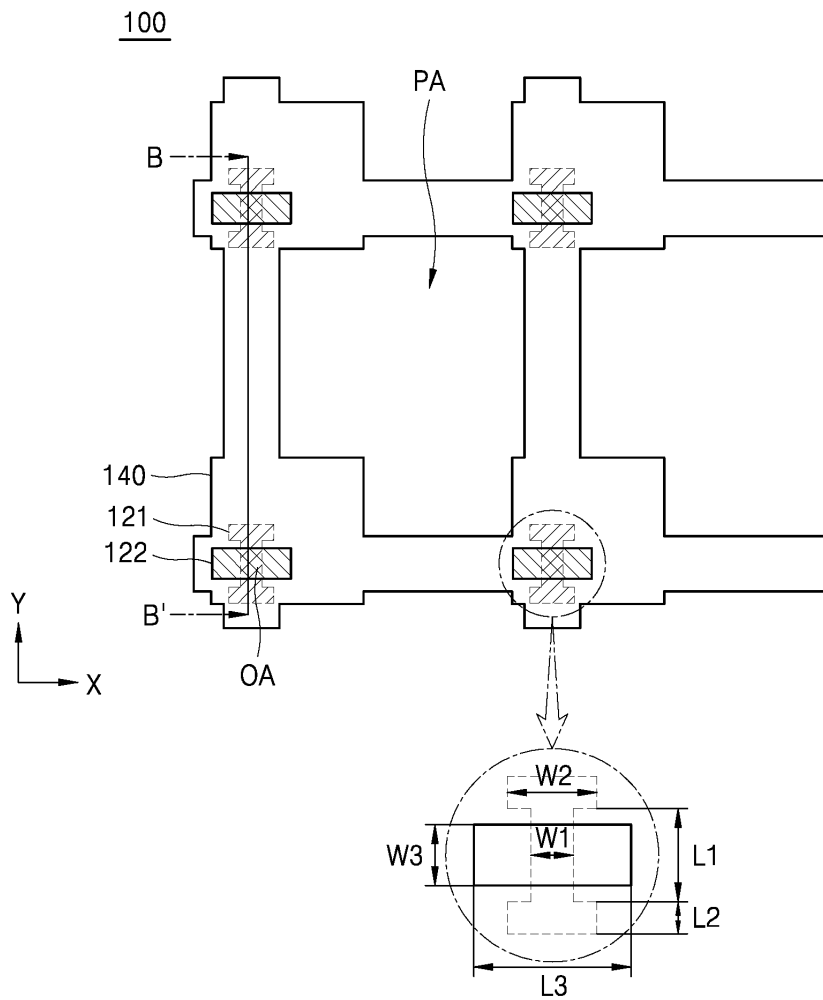
도면4



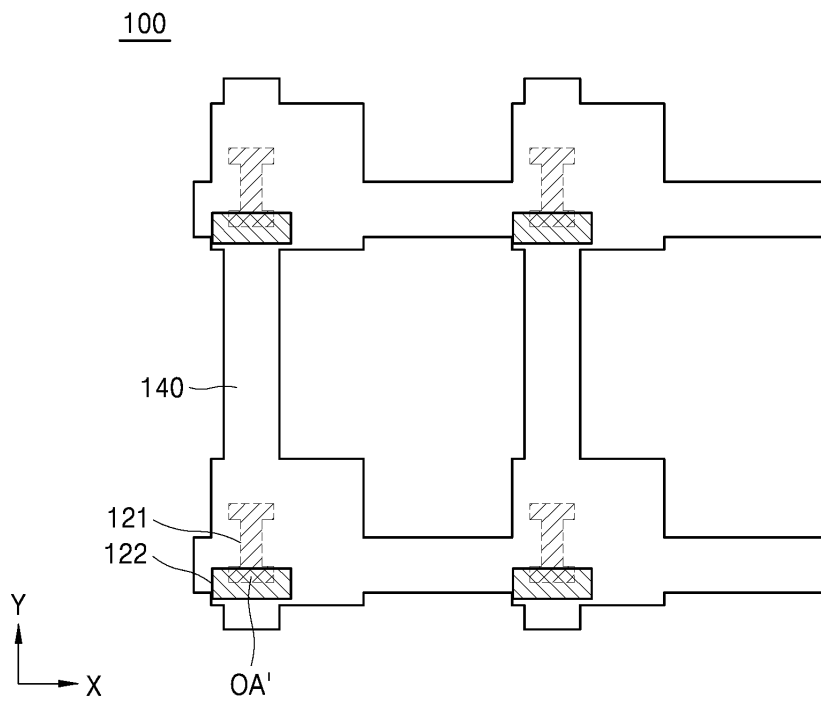
도면5



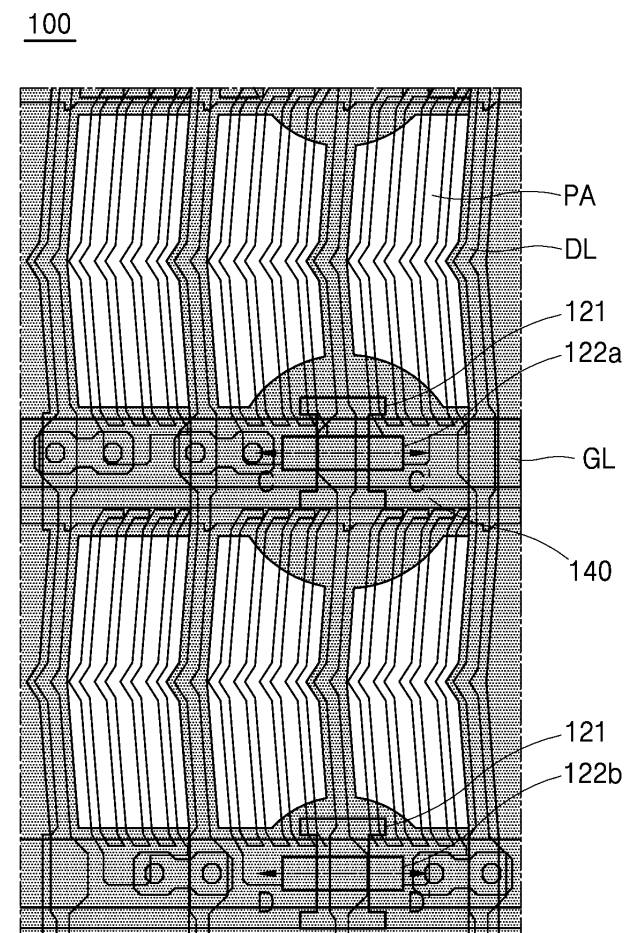
도면6



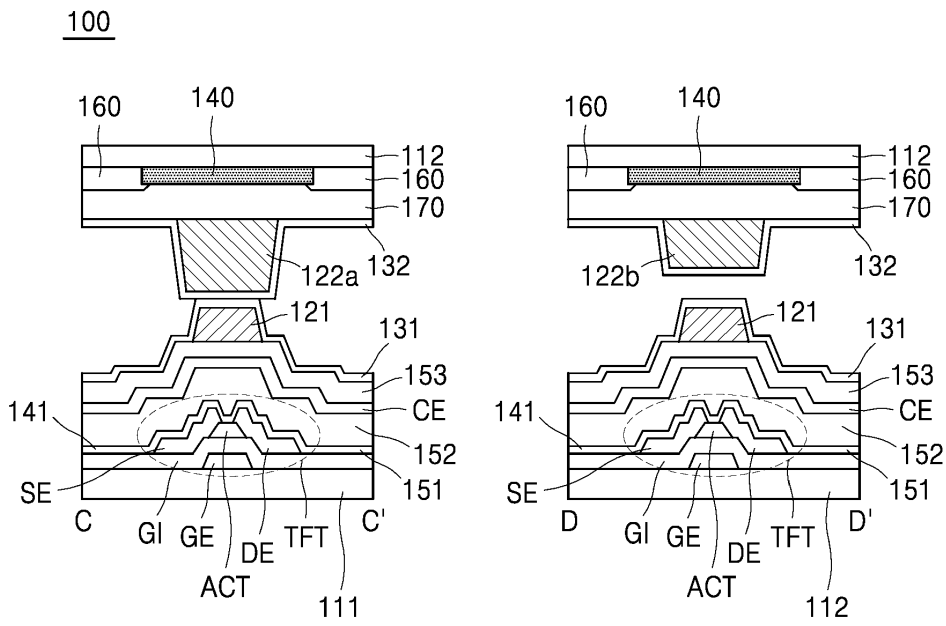
도면7



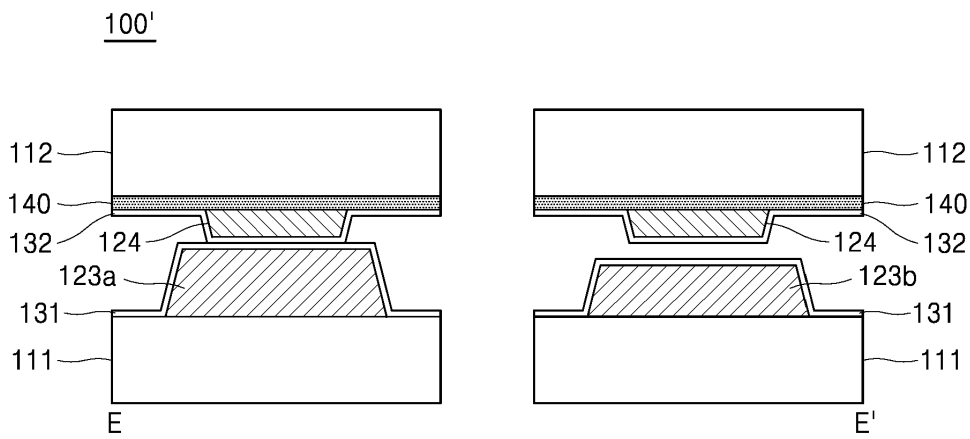
도면8



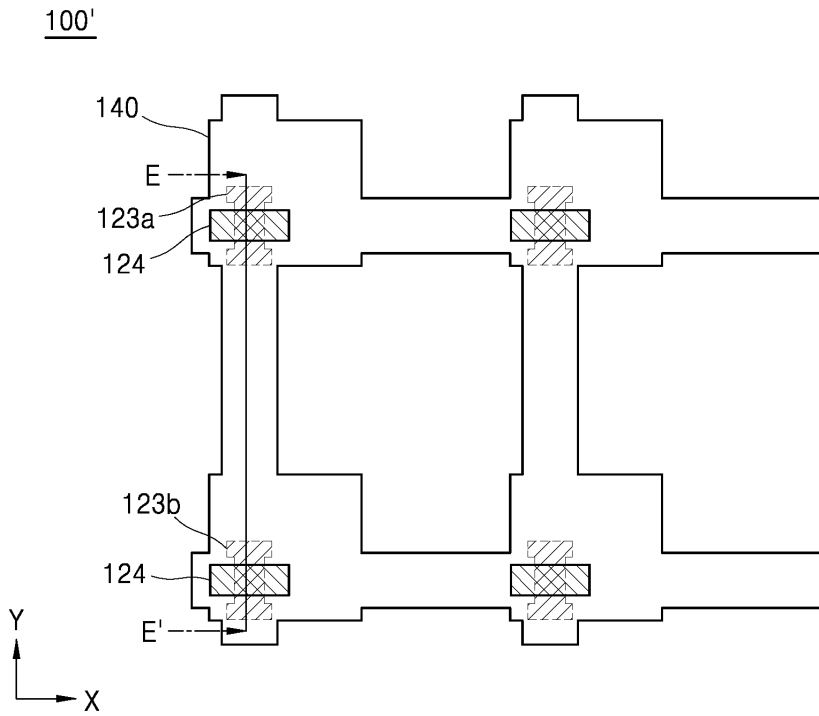
도면9



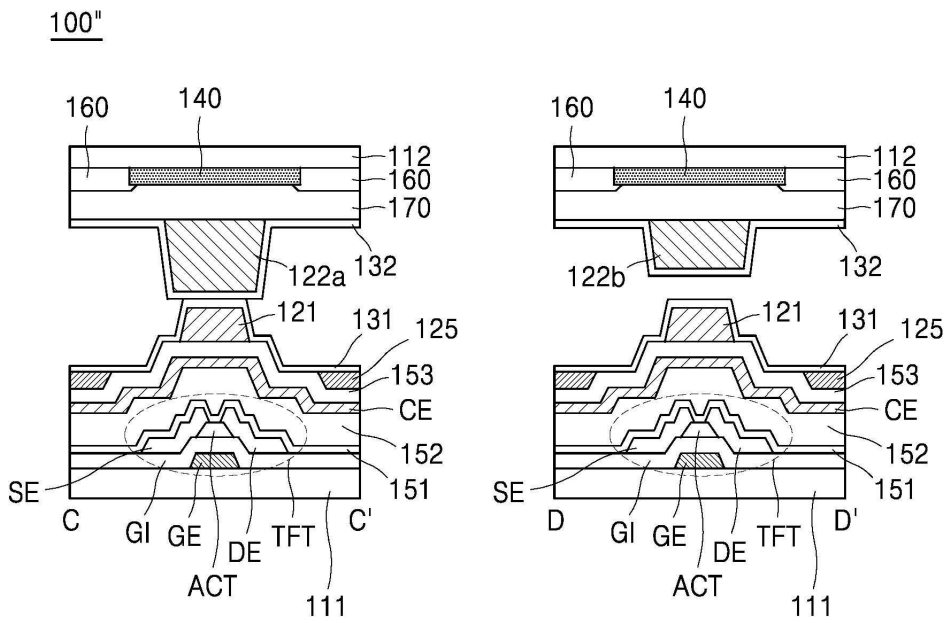
도면10



도면11



도면12



专利名称(译)	液晶显示面板		
公开(公告)号	KR1020180035989A	公开(公告)日	2018-04-09
申请号	KR1020160125793	申请日	2016-09-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	EUN MIN JO 조은민 NEUNG HEE LEE 이능희		
发明人	조은민 이능희		
IPC分类号	G02F1/1339 G02F1/1335 G02F1/1337 G02F1/1368		
CPC分类号	G02F1/13394 G02F1/133512 G02F1/1368 G02F1/1337 G02F2001/13396 G02F2001/13398		

摘要(译)

本发明的一个实施例提供了一种液晶显示装置，包括设置在第一基板上的第一间隔物，设置在面对第一基板的第二基板上的黑矩阵，黑矩阵对应于每个像素区域的轮廓，并且第二间隔物至少部分地与第一间隔物重叠。其中第一和第二隔离物中的任何一个具有I形上表面。通过这样做，在第一和第二基板的对准过程中，可以增加工艺余量，使得可以保持第一和第二间隔物的重叠区域，从而可以提高对准过程的容易性，产量可以提高。

