



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0062116  
(43) 공개일자 2017년06월07일

(51) 국제특허분류(Int. Cl.)

G02F 1/1339 (2006.01) F21V 8/00 (2016.01)  
G02F 1/1333 (2006.01) G02F 1/1337 (2006.01)  
H01L 29/786 (2006.01)

(52) CPC특허분류

G02F 1/1339 (2013.01)  
G02B 6/0093 (2013.01)

(21) 출원번호 10-2015-0167545

(22) 출원일자 2015년11월27일  
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이수빈

부산광역시 해운대구 선수촌로 122, 107동 2503호(반여동, 아시아선수촌아파트)

이종희

경기도 성남시 분당구 정자일로 72, 309동 901호(금곡동, 청솔마을한라아파트)

(74) 대리인

특허법인네이트

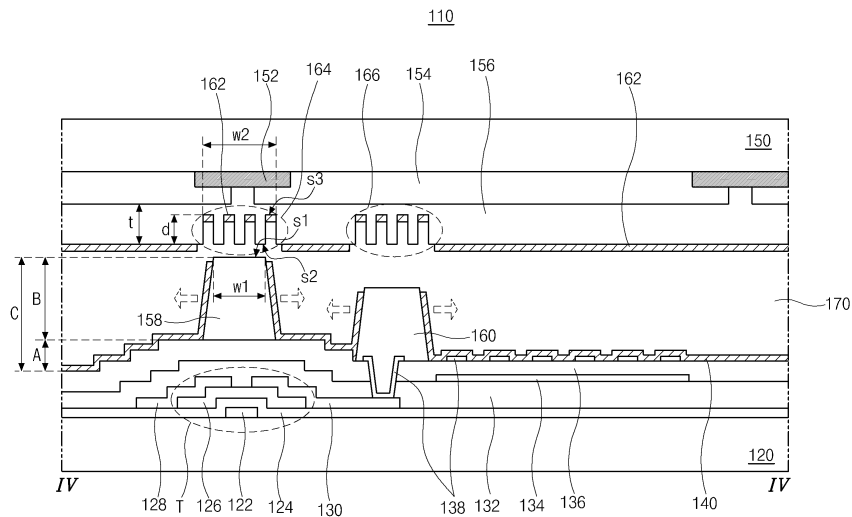
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은, 서로 마주보며 이격되는 제1 및 제2기판과, 상기 제1기판 내면에 배치되는 박막트랜지스터와, 상기 박막트랜지스터 상부에 배치되는 보호층과, 상기 박막트랜지스터에 대응되는 상기 보호층 상부에 배치되는 제1컬럼스페이서와, 상기 보호층 상부에 배치되고, 상기 제1컬럼스페이서의 상면을 노출하는 제1배향막과, 상기 제2기판 내면에 배치되고, 상기 제1컬럼스페이서에 대응되는 다수의 제1홈을 포함하는 오버코트층과, 상기 오버코트층 하부에 배치되는 제2배향막과, 상기 제1 및 제2배향막 사이에 배치되는 액정층을 포함하는 액정표시장치를 제공하는데, 컬럼스페이서를 최대 단차를 갖는 영역에 형성함으로써, 컬럼스페이서 상면의 배향막 형성 및 손상이 최소화 되고, 휘점 불량 및 표시품질 저하가 방지된다.

대표도 - 도4



(52) CPC특허분류

*G02F 1/1337* (2013.01)

*H01L 29/786* (2013.01)

*G02F 2001/133302* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

서로 마주보며 이격되는 제1 및 제2기판과;  
상기 제1기판 내면에 배치되는 박막트랜지스터와;  
상기 박막트랜지스터 상부에 배치되는 보호층과;  
상기 박막트랜지스터에 대응되는 상기 보호층 상부에 배치되는 제1컬럼스페이서와;  
상기 보호층 상부에 배치되고, 상기 제1컬럼스페이서의 상면을 노출하는 제1배향막과;  
상기 제2기판 내면에 배치되고, 상기 제1컬럼스페이서에 대응되는 다수의 제1홈을 포함하는 오버코트층과;  
상기 오버코트층 하부에 배치되는 제2배향막과;  
상기 제1 및 제2배향막 사이에 배치되는 액정층  
을 포함하는 액정표시장치.

#### 청구항 2

제 1 항에 있어서,  
상기 제2배향막은 상기 다수의 제1홈 사이의 상기 오버코트층의 하면을 노출하는 액정표시장치.

#### 청구항 3

제 1 항에 있어서,  
상기 다수의 제1홈과 상기 다수의 제1홈 사이의 상기 오버코트층의 하면을 합산한 면적은 상기 제1컬럼스페이서의 상면의 면적보다 크거나 같은 액정표시장치.

#### 청구항 4

제 1 항에 있어서,  
상기 다수의 제1홈은, 평면적으로, 다수의 정사각형의 세로열이 가로방향으로 엇갈리도록 배치된 형태, 다수의 정육각형의 세로열이 가로방향으로 엇갈리도록 배치된 형태, 다수의 직사각형이 가로방향으로 평행하게 배치된 형태 중 하나인 액정표시장치.

#### 청구항 5

제 1 항에 있어서,  
상기 제1컬럼스페이서로부터 이격되는 제2컬럼스페이서를 더 포함하는 액정표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 오버코트층은 상기 제2컬럼스페이스에 대응되는 다수의 제2홈을 더 포함하는 액정표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 박막트랜지스터를 덮는 층간절연층과;

상기 층간절연층 및 상기 보호층 사이에 배치되는 판 형상의 공통전극과;

상기 보호층 상부에 배치되고, 상기 공통전극에 대응되는 상기 보호층을 노출하는 다수의 개구부를 포함하는 화소전극과;

상기 제2기판과 상기 오버코트층 사이에 배치되는 블랙매트릭스 및 컬러필터층

을 더 포함하는 액정표시장치.

#### 청구항 8

제1기판 상부에 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터 상부에 보호층을 형성하는 단계와;

상기 박막트랜지스터에 대응되는 상기 보호층 상부에 제1컬럼스페이스를 형성하는 단계와;

상기 제1컬럼스페이스 상부에 제1배향막을 형성하는 단계와;

제2기판 상부에 상기 제1컬럼스페이스에 대응되는 다수의 제1홈을 포함하는 오버코트층을 형성하는 단계와;

상기 오버코트층 상부에 제2배향막을 형성하는 단계와;

상기 제1 및 제2배향막 사이에 액정층을 형성하는 단계

를 포함하는 액정표시장치의 제조방법.

#### 청구항 9

제 8 항에 있어서,

상기 제1배향막은 상기 제1컬럼스페이스의 상면을 노출하고,

상기 제2배향막은 상기 다수의 제1홈 사이의 상기 오버코트층의 상면을 노출하는 액정표시장치의 제조방법.

#### 청구항 10

제 8 항에 있어서,

상기 다수의 제1홈과 상기 다수의 제1홈 사이의 상기 오버코트층의 상면을 합산한 면적은 상기 제1컬럼스페이스의 상면의 면적보다 크거나 같은 액정표시장치의 제조방법.

### 발명의 설명

#### 기술 분야

본 발명은 액정표시장치에 관한 것으로, 특히 배향막 손상에 의한 휘점 불량에 방지되는 액정표시장치 및 그 제조방법에 관한 것이다.

[0001]

**배경 기술**

- [0002] 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 액정표시장치(liquid crystal display device: LCD), 플라즈마 표시장치(plasma display panel: PDP), 전계방출 표시장치(field emission display device: FED), 유기발광다이오드 표시장치(organic light emitting diode display device: OLED) 등과 같은 다양한 평판표시장치가 개발되어 각광 받고 있다.
- [0003] 이 중에서, 액정표시장치는 액정층의 광학적 이방성과 분극성질을 이용하여 구동되는데, 액정분자는 구조가 가늘고 길기 때문에 배열에 방향성을 가지고 있으며, 인위적으로 액정층에 전기장을 인가하여 액정분자의 배열방향을 제어할 수 있다. 따라서, 액정층에 임의의 전기장을 인가하면, 액정분자의 배열방향이 변하게 되고, 광학적 이방성에 의해 액정분자의 배열방향으로 빛이 굴절하여 영상정보를 표시할 수 있다.
- [0004] 일반적으로, 액정표시장치는 서로 마주하는 2개의 기판과, 2개의 기판 사이에 개재된 액정층을 포함하는데, 액정층의 두께(즉, 2개의 기판 사이의 이격거리)를 일정하게 유지하기 위하여 스페이서(spacer)가 사용된다.
- [0005] 종래에는 산포하는 형태의 스페이서가 사용되었으나, 최근에는 패터닝에 의하여 특정 위치에 형성함으로써 개구율 개선 등의 장점을 갖는 컬럼스페이서(column spacer)가 널리 사용되고 있다.
- [0006] 이러한 종래의 액정표시장치를 도면을 참조하여 설명한다.
- [0007] 도 1은 종래의 액정표시장치를 도시한 단면도이다.
- [0008] 도 1에 도시한 바와 같이, 종래의 액정표시장치(10)는, 서로 마주보며 이격되는 제1 및 제2기판(20, 50)과, 제1 및 제2기판(20, 50) 사이에 형성되는 액정층(70)을 포함한다.
- [0009] 제1기판(20) 내면에는 게이트전극(22)이 형성되고, 게이트전극(22) 상부의 제1기판(20) 전면에는 게이트절연층(24)이 형성된다.
- [0010] 게이트전극(22)에 대응되는 게이트절연층(24) 상부에는 반도체층(26)이 형성되고, 반도체층(26) 상부의 양단에는 서로 이격되는 소스전극(28) 및 드레인전극(30)이 형성되는데, 게이트전극(22), 반도체층(26), 소스전극(28) 및 드레인전극(30)은 박막트랜지스터(T)를 구성한다.
- [0011] 박막트랜지스터(T) 상부의 제1기판(20) 전면에는 층간절연층(32)이 형성되고, 층간절연층(32) 상부의 화소영역에는 공통전극(34)이 형성된다.
- [0012] 공통전극(34) 상부의 제1기판(20) 전면에는 보호층(36)이 형성되고, 보호층(36) 상부에는 드레인전극(30)에 연결되는 화소전극(38)이 형성되는데, 화소전극(38)은 다수의 개구부를 포함한다.
- [0013] 화소전극(38) 상부의 제1기판(20) 전면에는 제1배향막(40)이 형성된다.
- [0014] 그리고, 제2기판(50) 내면에는 박막트랜지스터(T)에 대응되는 블랙매트릭스(52)가 형성되고, 블랙매트릭스(52) 하부와 블랙매트릭스(52) 사이의 제2기판(50) 내면에는 컬러필터층(54)이 형성된다.
- [0015] 컬러필터층(54) 하부의 제2기판(50) 전면에는 오버코트층(56)이 형성되고, 오버코트층(56) 하부에는 제1 및 제2컬럼스페이서(58, 60)가 형성되는데, 제1컬럼스페이서(58)는 블랙매트릭스(52)에 대응되는 오버코트층(56) 하부에 배치되고, 제2컬럼스페이서(60)는 제1컬럼스페이서(58)로부터 이격되어 배치된다.
- [0016] 제1 및 제2컬럼스페이서(58, 60) 하부의 제2기판(50) 전면에는 제2배향막(62)이 형성된다.
- [0017] 이러한 액정표시장치(10)에서, 제1컬럼스페이서(58)는 외압이 없는 일반환경에서 셀갭을 유지하는 역할을 하고, 제2컬럼스페이서(60)는 제조공정, 신뢰성 시험 등의 외압이 있는 특수환경에서 셀갭을 유지하는 역할을 한다.
- [0018] 그런데, 제1 또는 제2기판(58, 60)의 특정 지점이 외압에 의하여 눌려질 경우, 제1 및 제2컬럼스페이서(58, 60)가 수평방향을 따라 좌우로 이동할 수 있으며, 이때 보호층((36) 상부의 제1배향막(38)과 제1 및 제2컬럼스페이서(58, 60) 하부의 제2배향막(62)이 마찰에 의하여 부분적으로 손상될 수 있다.
- [0019] 이러한 현상은, 특히 제1기판(20)에서 가장 큰 단차(A)를 갖는 박막트랜지스터(T)에 대응되는 영역의 제1배향막(38)과 제1 및 제2컬럼스페이서(58, 60)의 하면의 제2배향막(62) 사이에서 발생할 확률이 높는데, 손상된 배향막은 찌꺼기 형태의 이물이 되어 부유하다가 특정 부위에 부착되어 은하수 형태의 휘점 불량을 초래하여 액정표

시장치(10)의 표시품질이 저하되는 문제가 있다.

- [0020] 최근에는 스크래치 불량, 대각 시야각, 색감 불균형을 개선하고 액정 배향의 균일도를 향상시켜 정면의 대조비를 개선하기 위하여, 러빙배향 대신 광배향에 의하여 배향막을 완성하는 기술이 널리 연구되고 있다.
- [0021] 그런데, 광배향막은 러빙배향막에 비하여 경도가 낮은 특성을 가지므로, 제1 및 제2컬럼스페이스(58, 60)에 의한 제1 및 제2배향막(38, 62)의 손상과 그에 따른 휘점 불량 및 표시품질 저하는 광배향막에서 더욱 심화되고, 그 결과 여러 가지 장점에도 불구하고 광배향막을 액정표시장치(10)에 적용하기 어려운 문제가 있다.

**발명의 내용**

**해결하려는 과제**

- [0022] 본 발명은 이러한 문제점을 해결하기 위하여 제시된 것으로, 컬럼스페이스를 최대 단차를 갖는 영역에 형성함으로써, 컬럼스페이스 상면의 배향막 형성 및 손상이 최소화 되고, 휘점 불량 및 표시품질 저하가 방지되는 액정표시장치를 제공하는 것을 목적으로 한다.
- [0023] 그리고, 본 발명은, 컬럼스페이스와 마주보는 영역에 다수의 홈을 형성함으로써, 컬럼스페이스와 마주보는 영역 하면의 배향막 형성 및 손상이 최소화 되고, 휘점 불량 및 표시품질 저하가 방지되는 액정표시장치를 제공하는 것을 다른 목적으로 한다.

**과제의 해결 수단**

- [0024] 위와 같은 과제의 해결을 위해, 본 발명은, 서로 마주보며 이격되는 제1 및 제2기판과, 상기 제1기판 내면에 배치되는 박막트랜지스터와, 상기 박막트랜지스터 상부에 배치되는 보호층과, 상기 박막트랜지스터에 대응되는 상기 보호층 상부에 배치되는 제1컬럼스페이스와, 상기 보호층 상부에 배치되고, 상기 제1컬럼스페이스의 상면을 노출하는 제1배향막과, 상기 제2기판 내면에 배치되고, 상기 제1컬럼스페이스에 대응되는 다수의 제1홈을 포함하는 오버코트층과, 상기 오버코트층 하부에 배치되는 제2배향막과, 상기 제1 및 제2배향막 사이에 배치되는 액정층을 포함하는 액정표시장치를 제공한다.
- [0025] 그리고, 상기 제2배향막은 상기 다수의 제1홈 사이의 상기 오버코트층의 하면을 노출할 수 있다.
- [0026] 또한, 상기 다수의 제1홈과 상기 다수의 제1홈 사이의 상기 오버코트층의 하면을 합산한 면적은 상기 제1컬럼스페이스의 상면의 면적보다 크거나 같을 수 있다.
- [0027] 그리고, 상기 다수의 제1홈은, 평면적으로, 다수의 정사각형의 세로열이 가로방향으로 엇갈리도록 배치된 형태, 다수의 정육각형의 세로열이 가로방향으로 엇갈리도록 배치된 형태, 다수의 직사각형이 가로방향으로 평행하게 배치된 형태 중 하나일 수 있다.
- [0028] 또한, 상기 액정표시장치는 상기 제1컬럼스페이스로부터 이격되는 제2컬럼스페이스를 더 포함할 수 있다.
- [0029] 그리고, 상기 오버코트층은 상기 제2컬럼스페이스에 대응되는 다수의 제2홈을 더 포함할 수 있다.
- [0030] 또한, 상기 액정표시장치는, 상기 박막트랜지스터를 덮는 층간절연층과, 상기 층간절연층 및 상기 보호층 사이에 배치되는 판 형상의 공통전극과, 상기 보호층 상부에 배치되고, 상기 공통전극에 대응되는 상기 보호층을 노출하는 다수의 개구부를 포함하는 화소전극과, 상기 제2기판과 상기 오버코트층 사이에 배치되는 블랙매트릭스 및 컬러필터층을 더 포함할 수 있다.
- [0031] 한편, 본 발명은, 제1기판 상부에 박막트랜지스터를 형성하는 단계와, 상기 박막트랜지스터 상부에 보호층을 형성하는 단계와, 상기 박막트랜지스터에 대응되는 상기 보호층 상부에 제1컬럼스페이스를 형성하는 단계와, 상기 제1컬럼스페이스 상부에 제1배향막을 형성하는 단계와, 제2기판 상부에 상기 제1컬럼스페이스에 대응되는 다수의 제1홈을 포함하는 오버코트층을 형성하는 단계와, 상기 오버코트층 상부에 제2배향막을 형성하는 단계와, 상기 제1 및 제2배향막 사이에 액정층을 형성하는 단계를 포함하는 액정표시장치의 제조방법을 제공한다.
- [0032] 그리고, 상기 제1배향막은 상기 제1컬럼스페이스의 상면을 노출하고, 상기 제2배향막은 상기 다수의 제1홈 사이의 상기 오버코트층의 상면을 노출할 수 있다.
- [0033] 또한, 상기 다수의 제1홈과 상기 다수의 제1홈 사이의 상기 오버코트층의 상면을 합산한 면적은 상기 제1컬럼스페이스의 상면의 면적보다 크거나 같을 수 있다.

**발명의 효과**

- [0034] 본 발명은, 컬럼스페이서를 최대 단차를 갖는 영역에 형성함으로써, 컬럼스페이서 상면의 배향막 형성 및 손상이 최소화 되고, 휘점 불량 및 표시품질 저하가 방지되는 효과를 갖는다.
- [0035] 그리고, 본 발명은, 컬럼스페이서와 마주보는 영역에 다수의 홈을 형성함으로써, 컬럼스페이서와 마주보는 영역 하면의 배향막 형성 및 손상이 최소화 되고, 휘점 불량 및 표시품질 저하가 방지되는 효과를 갖는다.

**도면의 간단한 설명**

- [0036] 도 1은 종래의 액정표시장치를 도시한 단면도.
- 도 2는 본 발명의 제1실시예에 따른 액정표시장치의 어레이기판을 도시한 평면도.
- 도 3은 본 발명의 제1실시예에 따른 액정표시장치의 컬러필터기판을 도시한 평면도.
- 도 4는 본 발명의 제1실시예에 따른 액정표시장치를 도시한 단면도.
- 도 5는 본 발명의 제2실시예에 따른 액정표시장치의 다수의 제1홈을 도시한 평면도.
- 도 6은 본 발명의 제3실시예에 따른 액정표시장치의 다수의 제1홈을 도시한 평면도.

**발명을 실시하기 위한 구체적인 내용**

- [0037] 첨부한 도면을 참고로 하여 본 발명에 따른 액정표시장치 및 그 제조방법을 설명한다.
- [0038] 도 2는 본 발명의 제1실시예에 따른 액정표시장치의 어레이기판을 도시한 평면도이고, 도 3은 본 발명의 제1실시예에 따른 액정표시장치의 컬러필터기판을 도시한 평면도이고, 도 4는 본 발명의 제1실시예에 따른 액정표시장치를 도시한 단면도로서, 도 2 및 도 3의 절단선 IV-IV에 따른 단면도이다.
- [0039] 도 2, 도 3 및 도 4에 도시한 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치(110)는, 서로 마주보며 이격되는 제1 및 제2기판(120, 150)과, 제1 및 제2기판(120, 150) 사이에 형성되는 액정층(170)을 포함한다.
- [0040] 제1기판(120) 내면에는 게이트배선(GL)과 게이트배선(GL)에 연결되는 게이트전극(122)이 형성되고, 게이트배선(GL)과 게이트전극(122) 상부의 제1기판(120) 전면에는 게이트절연층(124)이 형성된다.
- [0041] 게이트전극(122)에 대응되는 게이트절연층(124) 상부에는 반도체층(126)이 형성되고, 반도체층(126) 상부의 양단에는 서로 이격되는 소스전극(128) 및 드레인전극(130)이 형성된다.
- [0042] 그리고, 게이트절연층(124) 상부에는 게이트배선(GL)과 교차하여 화소영역(P)을 정의하는 데이터배선(DL)이 형성되는데, 소스전극(128)은 데이터배선(DL)에 연결된다.
- [0043] 여기서, 게이트전극(122), 반도체층(126), 소스전극(128) 및 드레인전극(130)은 박막트랜지스터(T)를 구성한다.
- [0044] 박막트랜지스터(T) 상부의 제1기판(120) 전면에는 층간절연층(132)이 형성되고, 층간절연층(132) 상부의 화소영역(P)에는 판(plate) 형상의 공통전극(134)이 형성된다.
- [0045] 공통전극(134) 상부의 제1기판(120) 전면에는 보호층(136)이 형성되고, 보호층(136) 상부에는 화소전극(138)이 형성된다.
- [0046] 여기서, 층간절연층(132) 및 보호층(136)은 드레인전극(130)을 노출하는 콘택홀을 포함하고, 화소전극(138)은 콘택홀을 통하여 드레인전극(130)에 연결되고, 공통전극(134) 상부의 보호층(136)을 노출하는 다수의 개구부를 포함한다.
- [0047] 그리고, 보호층(136) 상부에는 제1 및 제2컬럼스페이서(158, 160)가 형성되는데, 제1컬럼스페이서(158)는 박막트랜지스터(T)에 대응되는 보호층(136) 상부에 배치되고, 제2컬럼스페이서(160)는 제1컬럼스페이서(158)로부터 이격되어 배치된다.
- [0048] 제1 및 제2컬럼스페이서(158, 160)와 제1 및 제2컬럼스페이서(158, 160) 외부로 노출되는 화소전극(138) 및 보호층(136) 상부에는 제1배향막(140)이 형성된다.
- [0049] 여기서, 제1배향막(140)은 제1 및 제2컬럼스페이서(158, 160)의 측면에 선택적으로 형성되고, 제1 및 제2컬럼스페이서(158, 160)의 상면에는 형성되지 않거나 최소화 된 두께로 부분적으로 형성되어 제1 및 제2컬럼스페이서

(158, 160)의 상면을 노출한다.

- [0050] 갭스페이서(gap spacer)라고도 불리는 제1컬럼스페이서(158)는 외압이 없는 일반환경에서 셀갭(즉, 제1 및 제2 기관(120, 150) 사이의 이격거리)을 유지하는 역할을 하고, 푸쉬스페이서(push spacer)라고도 불리는 제2컬럼스페이서(160)는 제조공정, 신뢰성 시험 등과 같이 진동 및 외압에 의하여 셀갭이 감소되는 특수환경에서 셀갭을 유지하는 역할을 한다.
- [0051] 이를 위하여, 일반환경에서는 제1기관(120) 상부의 제1컬럼스페이서(158)의 상면(s1)이 제2컬럼스페이서(160)의 상면보다 제2기관(150)에 더 가까이 위치하여야 한다.
- [0052] 그런데, 제1컬럼스페이서(158)가 제2컬럼스페이서(160)보다 박막트랜지스터(T)에 의한 단차(A) 만큼 더 높은 위치에 배치되므로, 제1컬럼스페이서(158)의 높이(B)를 제2컬럼스페이서(160)의 높이 이상으로 형성할 경우, 제1컬럼스페이서(158)의 상면(s1)을 제2컬럼스페이서(160)의 상면보다 제2기관(150)에 더 가까이 배치할 수 있다.
- [0053] 즉, 제1컬럼스페이서(158)의 높이는 제2컬럼스페이서(160)의 높이보다 크거나 같은 값일 수 있다.
- [0054] 한편, 제1컬럼스페이서(158)는 박막트랜지스터(T) 상부(특히, 박막트랜지스터(T)의 반도체층(126)의 소스전극(128) 및 드레인전극(130) 사이의 채널영역 직상부)에 배치되므로, 보호층(136)으로부터 제1컬럼스페이서(158)의 상면(s1)까지의 높이(C)는 박막트랜지스터(T)에 의한 단차(A)와 제1컬럼스페이서(158)의 높이(B)를 합산한 값이 되므로, 보호층(136)과 제1컬럼스페이서(158)의 상면(s1)과의 높이 차이를 최대화 할 수 있으며, 그 결과 제1컬럼스페이서(158)의 상면에 대한 제1배향막(140)의 형성을 방지하거나 최소화 할 수 있다.
- [0055] 구체적으로, 액정표시장치(110)의 어레이기관의 제조공정에서는, 제1기관(120) 상부에 박막트랜지스터(T), 공통전극(134), 화소전극(138) 및 제1컬럼스페이서(158)를 형성한 후, 배향막 물질을 제1컬럼스페이서(158)가 형성된 제1기관(120) 상부에 도포(coating)하는데, 제1컬럼스페이서(158)의 상면(s1)이 주위의 보호층(136)에 비하여 상대적으로 큰 높이를 가질 경우, 제1컬럼스페이서(158)의 측면 하부에서 상부로 갈수록 도포된 배향막 물질의 두께가 감소하다가 제1컬럼스페이서(158)의 상면(s1)에서는 배향막 물질이 잔존하지 않게 된다.
- [0056] 즉, 배향막 물질은 제한된 단차피복(step coverage) 특성을 가지므로, 제1컬럼스페이서(158)가 임계값 이상의 단차를 가질 경우, 제1컬럼스페이서(158)의 상면(s1)에서의 배향막 물질의 잔존을 방지할 수 있다.
- [0057] 본 발명의 제1실시예에서는, 제1컬럼스페이서(158)를 제1기관(120) 상부에서 최대 단차를 갖는 박막트랜지스터(T) 직상부에 형성함으로써, 제1컬럼스페이서(158)의 단차를 최대화 할 수 있으며, 그 결과 제1컬럼스페이서(158)의 상면(s1)에 대한 제1배향막(140)의 형성을 방지하거나 최소화 할 수 있다.
- [0058] 이때, 제2컬럼스페이서(158)는 제1컬럼스페이서(160)보다 작은 단차를 갖지만, 드레인전극(130), 공통전극(134) 및 화소전극(138) 등에 의하여 단차를 증가시켜 제2컬럼스페이서(158)의 상면에 대해서도 제1배향막(140)의 형성을 방지하거나 최소화 할 수 있다.
- [0059] 따라서, 마찰에 의한 제1 및 제2컬럼스페이서(158, 160) 상면의 제1배향막(140)의 손상이 최소화 되고, 액정표시장치(110)의 휘점 불량 및 표시품질 저하가 방지된다.
- [0060] 한편, 제2기관(150) 내면에는 박막트랜지스터(T)에 대응되는 블랙매트릭스(152)가 형성되고, 블랙매트릭스(152) 하부와 블랙매트릭스(152) 사이의 제2기관(150) 내면에는 컬러필터층(154)이 형성된다.
- [0061] 컬러필터층(154) 하부의 제2기관(150) 전면에는 오버코트층(156)이 형성되고, 오버코트층(156) 하부에는 제2배향막(162)이 형성된다.
- [0062] 여기서, 오버코트층(156)은 제1 및 제2컬럼스페이서(158, 160)에 각각 대응되는 다수의 제1홈(164) 및 다수의 제2홈(166)을 포함하는데, 다수의 제1홈(164) 및 다수의 제2홈(166)은 각각 평면적으로 다수의 정사각형의 세로열이 가로방향으로 엇갈리도록 배치된 형태일 수 있다.
- [0063] 그리고, 제2배향막(162)은 다수의 제1홈(164)의 사이의 오버코트층(156) 하면(s2)에는 형성되지 않거나 최소화된 두께로 형성된다.
- [0064] 구체적으로, 액정표시장치(110)의 컬러필터기관의 제조공정(도 4의 제2기관(150)을 뒤집어 놓은 상태에서 진행되는 공정)에서는, 제2기관(150) 상부에 블랙매트릭스(152), 컬러필터층(154) 및 오버코트층(156)을 형성한 후, 배향막 물질을 오버코트층(156)이 형성된 제2기관(150) 상부에 도포하는데, 다수의 제1홈(164) 부근에서는 배향막 물질이 다수의 제1홈(164)으로 흘러 들어가므로, 다수의 제1홈(164) 사이의 오버코트층(156) 상면(도 4의 오

버코트층(156)의 하면(s2))에는 배향막 물질이 잔존하지 않고 다수의 제1홈(164) 저면(도 4의 다수의 제1홈(164)의 상면(s3))에만 배향막 물질이 잔존하게 된다.

- [0065] 이때, 제2컬럼스페이서(158)에 대응되는 다수의 제2홈(166)도 다수의 제1홈(164)과 동일한 공정을 통하여 형성되며, 제2배향막(162)은 다수의 제2홈(166)의 사이의 오버코트층(156) 하면에는 형성되지 않거나 최소화된 두께로 부분적으로 형성되어 다수의 제2홈(166)의 사이의 오버코트층(156) 하면을 노출한다.
- [0066] 따라서, 마찰에 의한 제1 및 제2컬럼스페이서(158, 160)에 대응되는 오버코트층(156) 하면의 제2배향막(162)의 손상이 최소화 되고, 액정표시장치(110)의 휘점 불량 및 표시품질 저하가 방지된다.
- [0067] 여기서, 제1 및 제2컬럼스페이서(158, 160) 상면과의 마찰에 의한 제2배향막(140, 162)의 손상을 방지하기 위하여, 다수의 제1홈(164)이 차지하는 면적(다수의 제1홈(164)과 그 사이의 오버코트층의 하면을 합산한 면적)(s2+s3)은 제1컬럼스페이서(158) 상면(s1)의 면적보다 크거나 같고, 다수의 제2홈(166)이 차지하는 면적은 제2컬럼스페이서(160) 상면의 면적보다 크거나 같을 수 있다.
- [0068] 즉, 다수의 제1홈(164)이 원형 또는 정사각형을 이루고, 제1컬럼스페이서(158) 상면이 원형 또는 정사각형일 경우, 다수의 제1홈(164)의 제2폭(w2)은 제1컬럼스페이서(158) 상면(s1)의 제1폭(w1)보다 크거나 같을 수 있다.
- [0069] 예를 들어, 제1폭(w1)은 약 10 μm 내지 약 12 μm이고, 제2폭(w2)은 약 15 μm 이상일 수 있다.
- [0070] 그리고, 다수의 제1홈(164)의 깊이(d)가 오버코트층(156)의 두께(t)의 약 10%보다 작을 경우에는, 배향막 물질이 충분히 다수의 제1홈(164)으로 흘러 들어가서 않아서 다수의 제1홈(164) 사이의 오버코트층(156) 상면(s2)에 배향막 물질이 잔존할 수 있으며, 다수의 제1홈(164)의 깊이(d)가 오버코트층(156)의 두께(t)의 약 90%보다 클 경우에는, 다수의 제1홈(164) 형성과정이나 제2배향막(162) 형성과정에서 오버코트층(156) 하부(도 4에서는 오버코트층(156) 상부)의 컬러필터층(154)이 손상될 수 있다.
- [0071] 그러므로, 다수의 제1홈(164)의 깊이(d)는 오버코트층(156)의 두께(t)의 약 10% 내지 약 90%일 수 있으며, 바람직하게는 약 20% 내지 약 80%일 수 있다.
- [0072] 또한, 배향막 물질이 충분히 흘러 들어갈 수 있도록, 다수의 제1홈(164)이 차지하는 면적(다수의 제1홈(164)과 그 사이의 오버코트층(156)의 하면을 합산한 면적)(s2+s3)에 대한 다수의 제1홈(164)의 면적(s3)의 비는 50% 이상일 수 있다.
- [0073] 제1실시예에서, 제1 및 제2배향막(140, 162)은 러빙배향 또는 광배향으로 형성할 수 있으며, 광배향의 경우 제1 및 제2배향막(140, 162)은 분해형 폴리이미드(polyimide) 타입을 사용할 수 있으며, 광원으로는 약 254nm 내지 약 300nm의 파장대를 갖는 편광 자외선(UV)을 사용할 수 있다.
- [0074] 그리고, 제1 및 제2배향막(140, 162)의 배향에 의하여 어레이기판 및 컬러필터기판의 제조공정을 완료한 후, 액정 적하(dispensing) 방식으로 제1 및 제2기판(120, 150) 중 하나의 상부에 액정층(170)을 형성하고 제1 및 제2기판(120, 150)을 합착하여 액정표시장치(110)를 완성하거나, 액정 주입(injection) 방식으로 제1 및 제2기판(120, 150)을 합착하고 합착된 제1 및 제2기판(120, 150) 사이에 액정층을 형성하여 액정표시장치(110)를 완성할 수 있다.
- [0075] 한편, 제2기판(120) 하부의 오버코트층(156)에 의하여 제2기판(120)의 단차가 최소화 되므로, 제1기판(120)의 제1 및 제2컬럼스페이서(158, 160)와 제2기판(120)의 마찰이 발생할 가능성이 최소화 되며, 그 결과 마찰에 의한 제1 및 제2배향막(140, 162)의 손상이 더욱 최소화 되고, 액정표시장치(110)의 휘점 불량 및 표시품질 저하가 더욱 방지된다.
- [0076] 이상과 같이, 본 발명의 제1실시예에 따른 액정표시장치(110)에서는, 제1기판(120) 상부의 최대 단차를 갖는 박막트랜지스터(T) 상부에 제1컬럼스페이서(158)를 형성하고, 제2기판(150) 하부의 오버코트층(156)에 제1컬럼스페이서(158)에 대응되는 다수의 제1홈(164)을 형성함으로써, 제1컬럼스페이서(158) 상면과 제1컬럼스페이서(158)에 대응되는 오버코트층(156) 하면에 제1 및 제2배향막(140, 162)이 형성되는 것을 방지 또는 최소화 할 수 있다.
- [0077] 따라서, 마찰에 의한 제1 및 제2배향막(140, 162)의 손상과 이에 따른 휘점 불량이 방지되어, 액정표시장치(110)의 표시품질이 개선된다.
- [0078] 제1실시예에서는 수평전기장 방식 액정표시장치의 하나인 프린지 필드 스위칭(fringe field switching: FFS) 모드의 액정표시장치를 예로 들었으나, 다른 실시예에서는 바(bar) 형상의 화소전극 및 공통전극이 사용되는 인-

플레인 스위칭(in-plane switching: IPS) 모드 액정표시장치나, TN(twisted nematic) 모드 또는 VA(vertical alignment) 모드 액정표시장치에 본 발명을 적용할 수 있다.

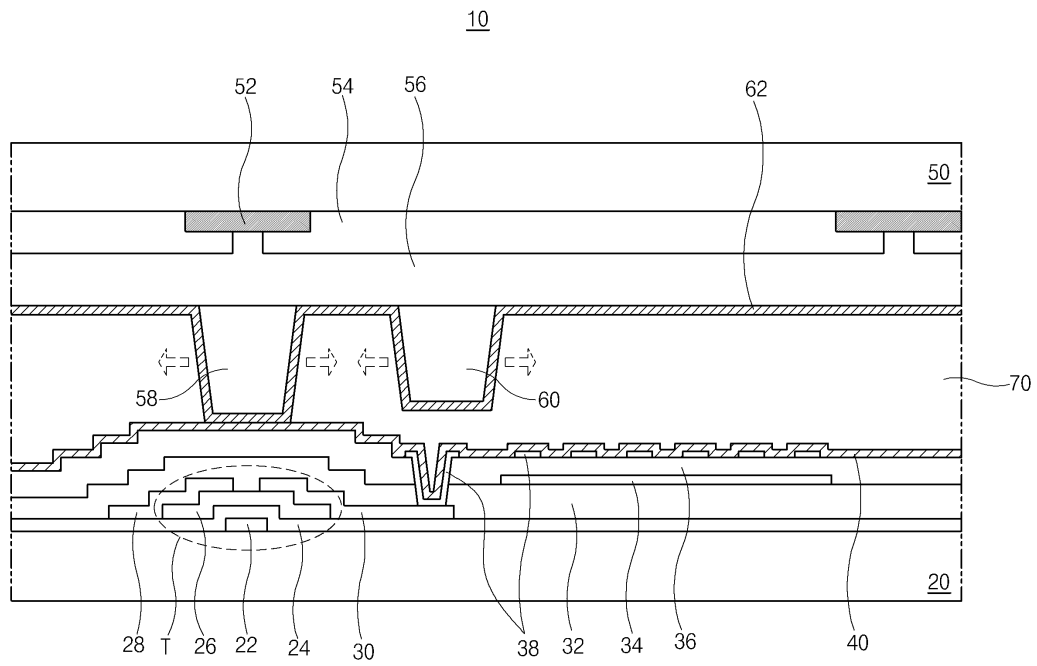
- [0079] 한편, 다른 실시예에서는 다수의 제1홈 및 다수의 제2홈의 형태를 변경할 수도 있는데, 이를 도면을 참조하여 설명한다.
- [0080] 도 5는 본 발명의 제2실시예에 따른 액정표시장치의 다수의 제1홈을 도시한 평면도이고, 도 6은 본 발명의 제3 실시예에 따른 액정표시장치의 다수의 제1홈을 도시한 평면도로서, 다수의 제1홈 이외의 구성은 제1실시예와 동일하므로 이에 대한 설명은 생략한다.
- [0081] 도 5에 도시한 바와 같이, 본 발명의 제2실시예에 따른 액정표시장치의 제2기판의 오버코트층은 다수의 제1홈(264)을 포함하는데, 다수의 제1홈(264)은 다수의 정육각형의 세로열이 가로방향으로 엇갈리도록 배치된 형태일 수 있다.
- [0082] 이 경우에도, 다수의 제1홈(264)이 차지하는 면적(다수의 제1홈(264)과 그 사이의 오버코트층의 하면을 합산한 면적)은 제1컬럼스페이스 상면의 면적보다 크거나 같을 수 있고, 다수의 제1홈(264)의 깊이는 오버코트층의 두께의 약 10% 내지 약 90%일 수 있으며, 다수의 제1홈(264)이 차지하는 면적에 대한 다수의 제1홈(264)의 면적의 비는 50% 이상일 수 있다.
- [0083] 도 6에 도시한 바와 같이, 본 발명의 제3실시예에 따른 액정표시장치의 제2기판의 오버코트층은 다수의 제1홈(364)을 포함하는데, 다수의 제1홈(364)은 다수의 직사각형이 가로방향으로 평행하게 배치된 형태일 수 있다.
- [0084] 이 경우에도, 다수의 제1홈(364)이 차지하는 면적(다수의 제1홈(364)과 그 사이의 오버코트층의 하면을 합산한 면적)은 제1컬럼스페이스 상면의 면적보다 크거나 같을 수 있고, 다수의 제1홈(364)의 깊이는 오버코트층의 두께의 약 10% 내지 약 90%일 수 있으며, 다수의 제1홈(364)이 차지하는 면적에 대한 다수의 제1홈(364)의 면적의 비는 50% 이상일 수 있다.
- [0085] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

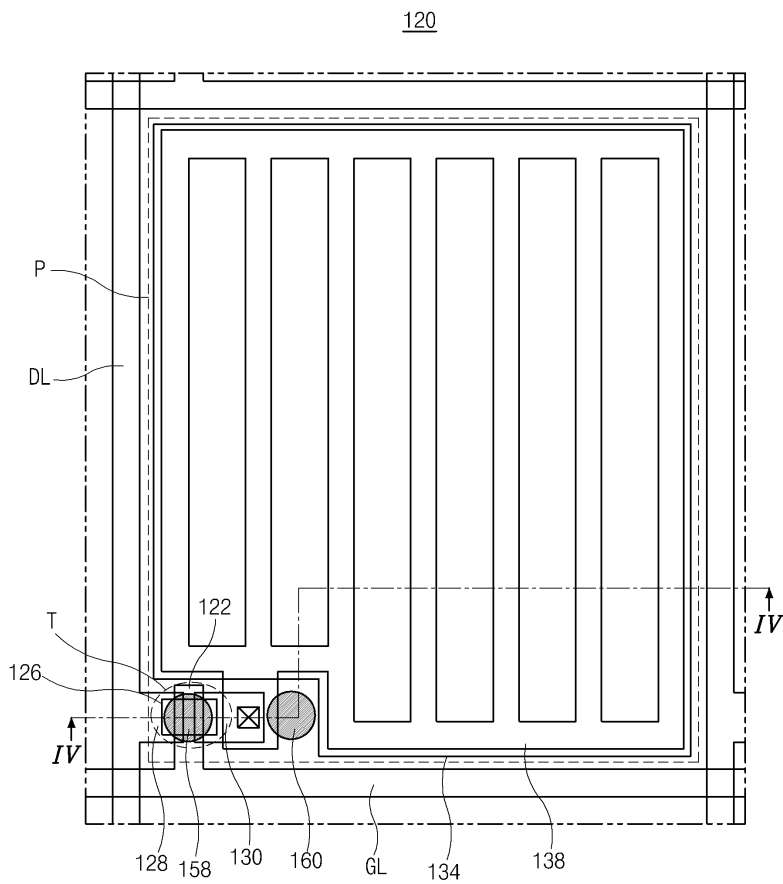
- [0086] 110: 액정표시장치    120: 제1기판
- 150: 제2기판    170: 액정층
- T: 박막트랜지스터    158: 제1컬럼스페이스
- 160: 제2컬럼스페이스    140: 제1배향막
- 164: 다수의 제1홈    166: 다수의 제2홈
- 162: 제2배향막

도면

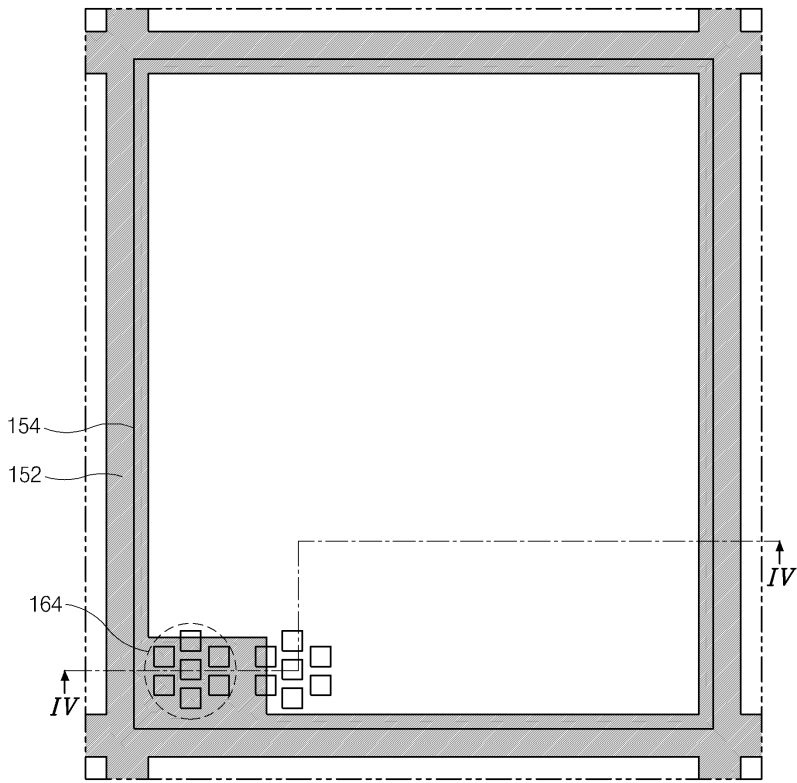
도면1



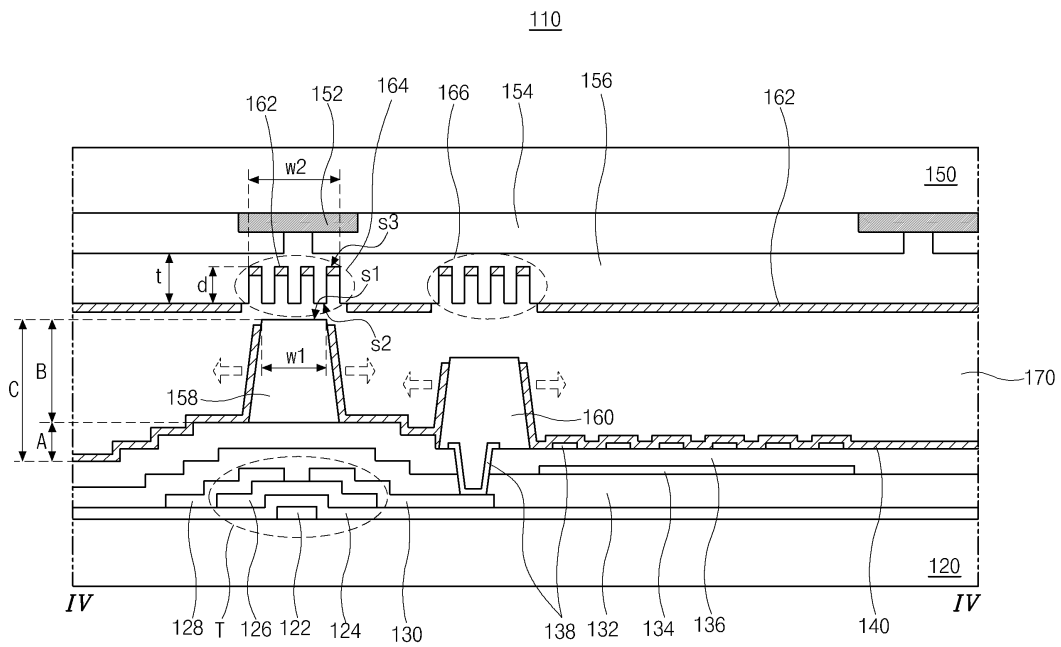
도면2



도면3

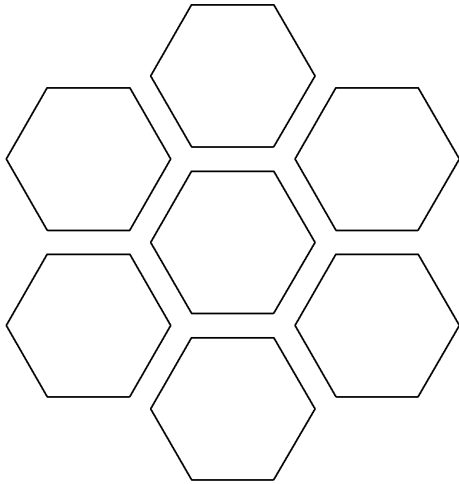


도면4



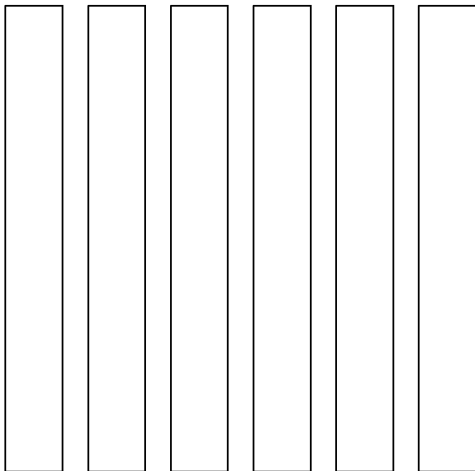
도면5

264



도면6

364



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020170062116A</a>	公开(公告)日	2017-06-07
申请号	KR1020150167545	申请日	2015-11-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SU BIN 이수빈 LEE JONG HWAE 이중회		
发明人	이수빈 이중회		
IPC分类号	G02F1/1339 F21V8/00 G02F1/1333 G02F1/1337 H01L29/786		
CPC分类号	G02F1/1339 G02F1/1337 H01L29/786 G02F2001/133302 G02B6/0093		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种液晶显示器，包括外涂层，设置在外涂层下部的第二取向层，以及设置在第一和第二取向层之间的液晶层，所述第一和第二取向层包括分离的第一和第二基板，所述薄膜晶体管布置在所述第一基板内表面中，所述保护层设置在所述薄膜晶体管的上部，所述第一柱状间隔物设置在所述保护层的上部，对应于所述薄膜晶体管，所述第一取向层，所述多个第一取向层面对时的凹槽。它在具有最大阶梯滑轮的区域上形成柱状间隔物。以这种方式，使柱间隔物上侧的取向层形成和损坏最小化，并且防止亮度缺陷和显示质量下降。第一取向层布置在保护层的上部，并暴露第一柱状衬垫料的上侧。多个第一凹槽布置在第二基板内表面中并且对应于第一柱状衬垫料。

