

(52) CPC특허분류

G02F 1/1343 (2013.01)

G02F 1/136286 (2013.01)

H01L 29/786 (2013.01)

G02F 2001/133302 (2013.01)

명세서

청구범위

청구항 1

중앙에 매트릭스 상의 화소 영역을 포함한 표시 영역을 갖고, 외곽에 비표시 영역을 갖는 기관;

상기 기관 상에 서로 교차하는 게이트 라인 및 데이터 라인;

상기 화소 영역 각각에, 상기 게이트 라인과 3개의 이상의 중첩부를 구비하여, 상기 중첩부들 사이의 굴곡부를 갖고 일체형으로 구비된 액티브층;

상기 액티브층의 양단과 접속된 소오스 전극 및 드레인 전극; 및

상기 액티브층 하측에, 상기 액티브층의 양 가장자리로부터의 최인접한 중첩부를 가리는 차광 패턴을 포함한 백플레인 기관.

청구항 2

제 1항에 있어서,

상기 액티브층은 상기 게이트 라인과 중첩부에 대응하여 채널 영역과, 상기 채널 영역에 접하여 저농도 불순물 영역과, 저농도 불순물 영역에 접한 고농도 불순물 영역을 구비한 백플레인 기관.

청구항 3

제 2항에 있어서,

상기 액티브층의 상기 굴곡부들은 상기 게이트 라인으로부터 돌출되어 있으며, 저농도 불순물 영역과 고농도 불순물 영역을 갖는 백플레인 기관.

청구항 4

제 3항에 있어서,

상기 굴곡부에서, 상기 고농도 불순물 영역은 상기 저농도 불순물 영역 사이에 위치한 백플레인 기관.

청구항 5

제 2항에 있어서,

상기 차광 패턴은, 상기 각 화소 영역에서, 상기 액티브층과 상기 게이트 라인의 가장 중심의 중첩부를 경계로 양쪽에서 이격되어 있는 백플레인 기관.

청구항 6

제 5항에 있어서,

상기 차광 패턴은, 상기 각 화소 영역에서, 상기 액티브층의 중심의 채널 영역과 이에 접한 저농도 불순물 영역과 비중첩하는 백플레인 기관.

청구항 7

제 1항에 있어서,

상기 차광 패턴은 상기 게이트 라인과 중첩되어, 상기 액티브층과 상기 게이트 라인의 중첩부를 모두 가리며, 그라운드된 백플레인 기관.

청구항 8

제 7항에 있어서,

상기 차광 패턴은 상기 비표시 영역까지 연장되어, 접지된 백플레인 기관.

청구항 9

제 1항에 있어서,

상기 차광 패턴은 상기 기관 상에 직접 접하며,

상기 차광 패턴과 상기 액티브층의 층간에 버퍼층과,

상기 액티브층과 게이트 라인의 층간에 게이트 절연막과, 상기 게이트 라인과, 상기 소오스 전극을 포함한 데이터 라인 및 드레인 전극의 층간에 층간 절연막을 더 포함하는 백플레인 기관.

청구항 10

제 1항에 있어서,

상기 비표시 영역에, 상기 게이트 라인의 양단에 게이트 드라이버를 구비하며,

상기 게이트 드라이버에 포함된 박막 트랜지스터들을 이루는 전극들 및 액티브 패턴은, 상기 표시 영역에 구비된 상기 게이트 라인과 데이터 라인 및 액티브층 중 어느 하나와 동일층에 있는 백플레인 기관.

청구항 11

제 10항에 있어서,

상기 게이트 드라이버에 포함된 박막 트랜지스터의 전극들은, 드라이버부 게이트 전극, 드라이버부 소오스 전극 및 드라이버부 드레인 전극을 포함하며,

상기 드라이버부 게이트 전극은 상기 액티브 패턴과 2개의 중첩부를 갖는 백플레인 기관.

청구항 12

중앙에 매트릭스 상의 화소 영역을 포함한 표시 영역을 갖고, 외곽에 비표시 영역을 갖는 기관;

상기 기관 상에 서로 교차하는 게이트 라인 및 데이터 라인;

상기 화소 영역 각각에, 상기 게이트 라인과 3개의 이상의 중첩부를 구비하여, 상기 중첩부들 사이의 굴곡부를 갖고 일체형으로 구비된 액티브층;

상기 액티브층의 양단과 접속된 소오스 전극 및 드레인 전극;

상기 액티브층 하측에, 상기 액티브층의 양 가장자리로부터의 최인접한 중첩부를 가리는 차광 패턴;

상기 화소 영역에 상기 드레인 전극과 접속된 화소 전극;

상기 기관과 대향된 대향 기관; 및

상기 기관과 대향 기관 사이의 액정층을 포함한 액정 표시 장치.

청구항 13

제 12항에 있어서,

상기 기관 상에, 복수개의 화소 영역을 덮는 공통 전극; 및

공통 전극 각각과 접속된 금속 라인을 더 포함한 액정 표시 장치.

청구항 14

제 13항에 있어서,

상기 화소 전극은, 상기 공통 전극 상측에 위치하며,

상기 공통 전극과 비중첩 부위에서 상기 드레인 전극과 접속된 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 특히 소비 전력 감소를 위하여 저주파 구동시 오프 전류 저감 및 면내 오프 전류 편차를 방지할 수 있는 구조의 백플레인 기판 및 이를 이용한 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 유기 발광 표시 장치(Organic Emitting Display Device), 플라즈마 표시장치(Plasma Display Panel device: PDP), 양자점 표시 장치(Quantum Dot Display Device), 전계방출표시장치(Field Emission Display device: FED), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등을 들 수 있는데, 이들은 공통적으로 화상을 구현하는 평판 표시패널을 필수적인 구성요소로 하는 바, 평판 표시패널은 고유의 발광 또는 편광 혹은 그 밖의 광학 물질층을 사이에 두고 한 쌍의 투명 절연기판을 대면 합착시킨 구성을 갖는다.

[0003] 이러한 여러 가지 종류의 평판 표시 장치의 기본이 되는 구성으로 복수개의 화소를 구비하여, 화소를 구분하는 복수개의 게이트 라인 및 데이터 라인 및 각 화소에 박막 트랜지스터를 포함하는 백플레인 기판을 들 수 있다. 이러한 백플레인 기판은 각 화소를 선택적으로 구동할 수 있는 의미에서, 액티브 매트릭스 구동 기판이라고도 한다.

[0004] 한편, 상술한 평판 표시 장치는 표시를 위해 일반적으로, 60Hz와 같이 특정의 주파수로 구동하는데, 최근에는 영상의 종류에 따라 구동 주파수를 달리하여 일부 저주파수 구동 영역을 포함시켜 소비 전력을 저감하고자 하는 요구가 제기되고 있다. 이를 LRR(Low Refresh Rate) 방식이라 한다.

[0005] 그런데, 이러한 LRR 방식을 이용할 경우, 저주파수로 구동시 게이트 라인별 펄스 주기가 길어지기 때문에, 서로 다른 극성으로 반전되는 프레임 간의 방전 시간이 길고, 화소에서 전하 누설 값이 커, 잔류 DC 값이 크게 되고, 이에 따라 화면 상의 플리커가 발생하는 현상이 있다. 그리고, 이러한 플리커(flicker)는 ΔV_p 에 비례하므로, 방전 시간이 길수록, 즉, 주기가 길수록 플리커 현상이 두드러지는 문제가 있다.

[0006] 이와 같이, 저주파수 구동이 소비 전력 감소의 이점이 있지만, 플리커 현상의 해결이 어려워 적용이 곤란한 문제가 있다.

[0007] 더불어, 일반적으로 일정 이상의 이동도(mobility)를 위해 이용하는 폴리 실리콘형 박막 트랜지스터는, 액티브층 내부에 그레인 바운더리(grain boundary) 영역을 포함한 결함(defect)들이 강한 드레인 필드(drain field) 하에 있을 때, 전자의 디트랩 스테이트(detrap state)로 작용하여 오프 전류를 상승시키는 구조적인 문제점도 있다.

[0008] 이하, 종래의 박막 트랜지스터 구조의 문제점을 살펴본다.

[0009] 도 1은 종래의 박막 트랜지스터의 단면도 및 이의 디트랩 현상을 나타낸 도면이다.

[0010] 도 1과 같이, 종래의 박막 트랜지스터는, 기판(10) 상에, 버퍼층(11)을 개재하여 액티브층(12)을 구비하며, 상기 액티브층(12)의 채널 영역(12a)에 중첩하여 게이트 전극(14)이 구비된다. 또한, 상기 액티브층(12)과 게이트 전극(14) 사이에는 게이트 절연막(13)이 구비된다.

[0011] 상기 액티브층(12)은 중앙의 채널 영역(12a)을 갖고, 양단에 고농도 불순물 영역(12c)을 갖고, 상기 채널 영역(12a)과 고농도 불순물 영역(12c) 사이에 LDD(Lightly doped drain) 영역(12b)를 구비한다.

[0012] 또한, 상기 액티브층(12)의 양단의 고농도 불순물 영역(12c)은 소오스 전극(15a)과 드레인 전극(15b)에 각각 접속된다. 그리고, 각각 소오스 전극(15a)과 접속되는 영역은 소오스 영역, 드레인 전극(15b)과 접속되는 영역은 드레인 영역이 된다. 그리고, 상기 접속 부위를 제외하여 상기 액티브층(12)과 상기 소오스 전극(15a) 및 드레인 전극(15b)의 층 사이에는 층간 절연막(16)이 더 구비된다.

[0013] 이러한 종래의 박막 트랜지스터에서는, 게이트 전극(14)과 드레인 전극(15b)과의 포텐셜 차로 전류가 발생되며 채널 영역(12a)에서 드레인 영역(12c)으로 전자들이 이동하는데, 특히, 하측 백라이트 유닛에 의해 발생하는 채널 영역(12a)의 광전자들은 드레인 영역(12c)으로 이동 중 짧은 mean free path로 인하여 소멸되어 없어지지만, LDD 영역(12b)에서 발생하는 광전자들은 상대적으로 강한 drain field에 의해, LDD 영역(12b)의 오프 전류 값을

상승하게 하는 원인이 되었다.

발명의 내용

해결하려는 과제

[0014] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 소비 전력 감소를 위하여 저주파 구동시에도 오프 전류 저감 및 면내 오프 전류 편차를 방지할 수 있는 구조의 백플레인 기관 및 이를 이용한 액정 표시 장치를 제공하는 데, 그 목적이 있다.

과제의 해결 수단

[0015] 상기와 같은 목적을 달성하기 위한 본 발명의 백플레인 기관 및 이를 이용한 액정 표시 장치는, 트리플 게이트 구조와 이와 선택적으로 중첩되는 차광 패턴의 구비로, 저주파수 구동시 오프 전류를 감소시키고, 화소 영역간의 차광 패턴의 분리로, 차광 패턴과 전극의 중첩 부위에서 발생하는 기생 캐피 인접 화소 영역에 영향을 끼침을 방지할 수 있다.

[0016] 이를 위한 본 발명의 백플레인 기관은, 중앙에 매트릭스 상의 화소 영역을 포함한 표시 영역을 갖고, 외곽에 비표시 영역을 갖는 기관과, 상기 기관 상에 서로 교차하는 게이트 라인 및 데이터 라인과, 상기 화소 영역 각각에, 상기 게이트 라인과 3개의 이상의 중첩부를 구비하여, 상기 중첩부들 사이의 굴곡부를 갖고 일체형으로 구비된 액티브층과, 상기 액티브층의 양단과 접속된 소오스 전극 및 드레인 전극 및 상기 액티브층 하측에, 상기 액티브층의 양 가장자리로부터의 최인접한 중첩부를 가리는 차광 패턴을 포함한다.

[0017] 상기 액티브층은 상기 게이트 라인과 중첩부에 대응하여 채널 영역과, 상기 채널 영역에 접하여 저농도 불순물 영역과, 저농도 불순물 영역에 접한 고농도 불순물 영역을 구비할 수 있다. 이 경우, 상기 액티브층의 상기 굴곡부들은 상기 게이트 라인으로부터 돌출되어 있으며, 저농도 불순물 영역과 고농도 불순물 영역을 가질 수 있다. 그리고, 상기 굴곡부에서, 상기 고농도 불순물 영역은 상기 저농도 불순물 영역 사이에 위치할 수 있다.

[0018] 또한, 상기 차광 패턴은, 상기 각 화소 영역에서, 상기 액티브층과 상기 게이트 라인의 가장 중심의 중첩부를 경계로 양쪽에서 이격되어 있다. 이 경우, 상기 차광 패턴은, 상기 각 화소 영역에서, 상기 액티브층의 중심의 채널 영역과 이에 접한 저농도 불순물 영역과 비중첩할 수 있다.

[0019] 또 다른 예로, 상기 차광 패턴은 상기 게이트 라인과 중첩되어, 상기 액티브층과 상기 게이트 라인의 중첩부를 모두 가리며, 그라운드될 수 있다. 그리고, 이 경우, 상기 차광 패턴은 상기 비표시 영역까지 연장되어, 접지될 수 있다.

[0020] 한편, 상기 차광 패턴은 상기 기관 상에 직접 접하며, 상기 차광 패턴과 상기 액티브층의 층간에 버퍼층과, 상기 액티브층과 게이트 라인의 층간에 게이트 절연막과, 상기 게이트 라인과, 상기 소오스 전극을 포함한 데이터 라인 및 드레인 전극의 층간에 층간 절연막을 더 포함할 수 있다.

[0021] 상기 비표시 영역에, 상기 게이트 라인의 양단에 게이트 드라이버를 구비하며, 상기 게이트 드라이버에 포함된 박막 트랜지스터들을 이루는 전극들 및 액티브 패턴은, 상기 표시 영역에 구비된 상기 게이트 라인과 데이터 라인 및 액티브층 중 어느 하나와 동일층에 있으며, 이 경우, 상기 게이트 드라이버에 포함된 박막 트랜지스터의 전극들은, 드라이버부 게이트 전극, 드라이버부 소오스 전극 및 드라이버부 드레인 전극을 포함하며, 상기 드라이버부 게이트 전극은 상기 액티브 패턴과 2개의 중첩부를 갖는 것이 바람직하다.

[0022] 동일한 목적을 위한 본 발명의 액정 표시 장치는 중앙에 매트릭스 상의 화소 영역을 포함한 표시 영역을 갖고, 외곽에 비표시 영역을 갖는 기관과, 상기 기관 상에 서로 교차하는 게이트 라인 및 데이터 라인과, 상기 화소 영역 각각에, 상기 게이트 라인과 3개의 이상의 중첩부를 구비하여, 상기 중첩부들 사이의 굴곡부를 갖고 일체형으로 구비된 액티브층과, 상기 액티브층의 양단과 접속된 소오스 전극 및 드레인 전극과, 상기 액티브층 하측에, 상기 액티브층의 양 가장자리로부터의 최인접한 중첩부를 가리는 차광 패턴과, 상기 화소 영역에 상기 드레인 전극과 접속된 화소 전극과, 상기 기관과 대향된 대향 기관 및 상기 기관과 대향 기관 사이의 액정층을 포함할 수 있다.

[0023] 그리고, 상기 기관 상에, 복수개의 화소 영역을 덮는 공통 전극 및 공통 전극 각각과 접속된 금속 라인을 더 포함할 수 있다. 이 경우, 상기 화소 전극은, 상기 공통 전극 상측에 위치하며, 상기 공통 전극과 비중첩 부위에서 상기 드레인 전극과 접속될 수 있다.

발명의 효과

- [0024] 본 발명의 백플레인 기관 및 이를 이용한 액정 표시 장치는 다음과 같은 효과가 있다.
- [0025] 첫째, 액티브층과 3개 이상 중첩된 게이트 전극 구조를 적용하여, 드레인 필드를 구비된 게이트 전극 수만큼 분할하여 드레인 전류를 완충시켜, 오프 전류를 감소시킬 수 있다.
- [0026] 둘째, 액티브층에 광전류 생성을 방지하기 위해 액티브층 하측에 구비되는 차광 패턴에 있어, 화소 영역별로 분리 영역을 구비하여, 차광 패턴과 중첩된 전극간의 기생 용량이 발생하여도, 이로 인한 영향이 인접 화소 영역들에 전달되는 것을 방지할 수 있어, 먼내 오프 전류 특성을 편차없이 안정화할 수 있다.
- [0027] 셋째, 액티브층의 채널 영역과 차광 패턴을 모두 중첩시킬 경우, 외곽에서 상기 차광 패턴을 그라운드하여, 차광 패턴에 기인한 기생 용량을 방지할 수 있다.
- [0028] 넷째, 표시 영역과 비표시 영역에 다른 게이트 전극 구조를 적용하여, 표시 영역에서는 오프 전류를 낮추고, 비표시 영역에서는 이동도 특성을 향상시킬 수 있다.

도면의 간단한 설명

- [0029] 도 1은 종래의 박막 트랜지스터의 단면도 및 이의 전자 디트랩 현상을 나타낸 도면
- 도 2는 본 발명의 박막 트랜지스터를 나타낸 평면도
- 도 3은 도 2의 I~I' 선상의 단면도
- 도 4는 도 2의 박막 트랜지스터에서, 소오스 영역에서 드레인 영역까지 전자 이동을 나타낸 도면
- 도 5는 본 발명의 제 1 실시예에 따른 백플레인 기관의 평면도
- 도 6은 도 5의 II~II' 선상의 단면도
- 도 7은 본 발명의 액정 표시 장치를 나타낸 단면도
- 도 8은 본 발명의 제 2 실시예에 따른 백플레인 기관의 평면도
- 도 9는 도 8의 III~III' 선상의 단면도
- 도 10a 및 도 10b는 듀얼 게이트와 트리플 게이트 구조의 박막 트랜지스터의 Vgs-Ids 특성을 나타낸 그래프
- 도 11은 본 발명의 백플레인 기관을 나타낸 평면도

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 부품 명칭과 상이할 수 있다.
- [0031] 도 2는 본 발명의 박막 트랜지스터를 나타낸 평면도이며, 도 3은 도 2의 I~I' 선상의 단면도이고, 도 4는 도 2의 박막 트랜지스터에서, 소오스 영역에서 드레인 영역까지 전자 이동을 나타낸 도면이다.
- [0032] 도 2 내지 도 4와 같이, 본 발명의 박막 트랜지스터는, 트리플(triple) 게이트를 구비한 구조로, 액티브층(110)과 게이트 라인(120)과 총 3개의 중첩 부위를 갖는다. 그리고, 액티브층(110)의 양단은 소오스 전극(131)과 드레인 전극(132)과 접속된다.
- [0033] 또한, 상기 액티브층(110)은 기관(100) 상에 구비되는 것으로, 결정화시 기관(100)에 포함된 성분에 의한 오염을 방지하기 위해, 기관(100)과 액티브층(110) 층간에는 버퍼층(103)을 구비한다. 또한, 상기 액티브층(110)과 게이트 라인(120) 사이의 층간에는 게이트 절연막(115)이, 상기 게이트 라인(120)과 소오스 전극(131)/드레인 전극(132)의 층간에는 층간 절연막(125)이 구비된다.
- [0034] 그리고, 상기 게이트 라인(120)과 상기 액티브층(110)의 중첩 부위에서, 상기 게이트 라인(120)은 박막 트랜지스터의 게이트 전극(120a)이 총 3개 구비되며, 이러한 구조를 트리플 게이트(triple gate) 구조라 한다. 또한,

이러한 게이트 전극(120a)과 중첩된 부위의 상기 액티브층(110)은 채널 영역(C1, C2, C3)으로 기능한다. 상기 액티브층(110)에서, 상기 채널 영역(110a)과 인접한 부위에는 오프 전류를 감소시키고자 저농도 불순물 영역(LDD1, LDD2, LDD3, LDD4, LDD5, LDD6)을 구비하고, 제 2, 제 3 저농도 불순물 영역(LDD2, LDD3)과 제 4, 제 5 저농도 불순물 영역(LDD4, LDD5)들 사이 및 상기 소오스 전극(131)과 드레인 전극(132)과 접속되는 상기 액티브층(110)의 영역에 고농도 불순물 영역(SD1, SD2, SD3, SD4)이 정의된다.

- [0035] 여기서, 저농도 불순물 영역들은 차례로, 단면도의 좌측에서 우측으로, 제 1 내지 제 6 영역(LDD1, LDD2, LDD3, LDD4, LDD5, LDD6)으로 명명한다.
- [0036] 이러한 본 발명의 박막 트랜지스터는, 게이트 전극(게이트 라인(120)과 액티브층(110)의 중첩부)과 드레인 전극(132) 사이에 포텐셜(potential) 차이로, 드레인 필드(drain field)가 발생하더라도, 3분할 완충으로 광전자들이 각 채널에 걸리는 유효한 드레인 필드가 감소하여 전자의 디트랩(detrap)에 의한 오프 전류 발생이 감소하게 된다. 또한, LDD 영역의 개수가 6개로 증가함에 따라 오프 전류 억제 효과가 커져 오프 전류 발생이 더욱 감소한다. 따라서, 드레인 전류(Ids)가 상승되지 않게 하여, 오프 전류를 안정적으로 낮게 한다.
- [0037] 따라서, 본 발명의 박막 트랜지스터를 구비한 백플레인 기관 구조는, 저주파수 구동에 있어서도 면내 편차없이 낮은 오프 전류 특성을 유지할 수 있어, Vp의 변동을 최소화하여 플리커를 방지할 수 있다.
- [0038] 구체적으로, 상술한 본 발명의 박막 트랜지스터를 적용한 예를 설명한다.
- [0039] 도 5는 본 발명의 제 1 실시예에 따른 백플레인 기관의 평면도이며, 도 6은 도 5의 II~II'선상의 단면도이다.
- [0040] 도 5 및 도 6과 같이, 본 발명의 제 1 실시예에 따른 백플레인 기관은, 상술한 도 2 내지 도 4의 박막 트랜지스터에, 상기 액티브층(110) 하측에 광원 구비에 의한 채널 영역(C1, C2, C3)에서의 광전류 발생을 방지하기 위해, 기관(100) 상에 광차단 패턴(105)을 구비한 상태를 도시한 것이다.
- [0041] 여기서, 광차단 패턴(105)은 상기 액티브층(110)의 채널 영역(C1, C2, C3)을 모두 하측에서 가릴 수도 있지만, 본 발명의 제 1 실시예에서는, 트리플 게이트 중 제 2 채널 영역(C2)에 상당한 중앙의 게이트 전극(게이트 라인)과 액티브층 중첩 영역) 부위를 노출하여 형성할 수도 있다. 실제 전극 구비로, 강한 필드(field)가 걸리는 부분은 소오스 전극(131) 및 드레인 전극(132)의 접속 부위에 인접한 제 1, 제 2 저농도 불순물 영역(LDD1, LDD2)과, 제 5, 제 6 저농도 불순물 영역(LDD5, LDD6)으로, 상대적으로 필드가 작은 중앙의 채널 영역이나 이에 인접한 제 3, 제 4 저농도 불순물 영역(LDD3, LDD4)은 드레인 전류 상승에 영향이 적으므로, 이 부위에는 광차단 패턴(105)을 생략할 수 있는 것이다. 이것은 액정 표시 장치용 백플레인 기관의 양방향 구동 특성에 따른 것으로 소오스 전극(131)과 드레인 전극(132)이 그 기능이 교차되어 반복적으로 변경되기 때문이다. 유기 발광 표시 장치의 회로 구조의 일방향 구동 특성을 갖는 박막 트랜지스터에 적용하는 경우 드레인 전극의 접속부위에 인접한 불순물 영역에서 광 전류가 가장 높게 발생되고, 드레인 전극에서 멀어질수록 광 전류 발생은 급감하게 된다.
- [0042] 이러한 구조의 이점은 공정 마진을 위해 게이트 라인(120) 대비 그 폭을 키워 형성하는 광차단 패턴(105)에 있어서, 일부분을 생략하여, 개구율을 향상시키는 것이다. 도 5와 같이, 실제 광차단 패턴(105)은 블랙 매트릭스 층과의 마진을 고려하여, 상대적으로 게이트 라인(120)보다 큰 폭으로 형성한다. 따라서, 게이트 라인(120) 외로 광차단 패턴(105)을 구비시 개구율이 저하되는 문제가 있었다. 본 발명의 백플레인 기관은 필드가 강한 부분의 액티브층(110)의 영역을 선택적으로 가리도록 하여, 광전류 발생을 방지함과 동시에 개구율 향상을 동시에 꾀한 것이다.
- [0043] 도 5의 평면도는, 게이트 라인과 교차하여 화소를 정의하는 데이터 라인(130)을 더 도시하였으며, 이 경우, 데이터 라인(130)은 박막 트랜지스터의 소오스 전극(131)과 일체형으로 형성된다. 그리고, 드레인 전극(132)은 상기 데이터 라인(130)과 동일층에 형성된다.
- [0044] 상기 화소 내에는 상기 드레인 전극과 접속하는 화소 전극(도 7의 147 참조)을 더 포함할 수 있으며, 화소 전극(147)은 화소 영역 내에서 2개 이상으로 분기되어, 횡전계를 유도할 수 있다.
- [0045] 상기 화소 전극(147)이 분기되어 형성되는 경우, 화소의 대부분의 면적을 차지하며, 상기 화소 전극(147)과 중첩하는 공통 전극(도 7의 144 참조)을 더 포함할 수 있다.
- [0046] 보다 구체적으로 본 발명의 백플레인 기관은, 중앙에 매트릭스 상의 화소 영역을 포함한 표시 영역(AA)을 갖고, 외곽에 비표시 영역을 갖는 기관(100, 도 11 참조)과, 상기 기관 상에 서로 교차하는 게이트 라인(120) 및 데이터 라인(130)과, 상기 화소 영역 각각에, 상기 게이트 라인(120)과 3개의 이상의 중첩부를 구비하여, 상기 중첩

부들 사이의 굴곡부(B1, B2)를 갖고 일체형으로 구비된 액티브층(110)과, 상기 액티브층(110)의 양단과 접속된 소오스 전극(131) 및 드레인 전극(132)과, 더불어, 상기 액티브층(110) 하측에, 상기 액티브층(110)의 양 가장자리로부터의 최인접한 중첩부를 가리는 차광 패턴(105)을 포함한다.

- [0047] 표시 영역에 포함되는 화소 영역 수가 점차 늘어나 집적도가 높아지는 추세에 있는데, 상기 굴곡부(B1, B2)는 단일 화소 영역에 포함되는 게이트 라인(120)의 길이를 늘리지 않게 할 수 있다. 즉, 화소 영역에서, 액티브층(110)이 차지하는 가로 폭을 늘리지 않아, 화소 집적도를 저하시키지 않는다.
- [0048] 상기 액티브층(110)은 상기 게이트 라인(120)과의 중첩부에 대응하여 채널 영역(C1, C2, C3)과, 상기 채널 영역(C1, C2, C3)의 양측에 접하여 저농도 불순물 영역(LDD1, LDD2, LDD3, LDD4, LDD5, LDD6)과, 저농도 불순물 영역에 접한 고농도 불순물 영역(SD1, SD2, SD3, SD4)을 구비한다. 이 경우, 상기 액티브층(110)의 상기 굴곡부들은 상기 게이트 라인(120)으로부터 돌출되어 있으며, 제 2 내지 제 5 저농도 불순물 영역(LDD2, LDD3, LDD4, LDD5)과 제 2 및 제 3 고농도 불순물 영역(SD2, SD3)을 가질 수 있다.
- [0049] 상기 액티브층(110)에서, 가장 양단에 위치한 제 1 고농도 불순물 영역(SD1)이 데이터 라인(130)과 일체형으로 부분적으로 돌출한 소오스 전극(131)과 접속되며, 상기 제 4 고농도 불순물 영역(SD4)이 상기 데이터 라인(130)과 동일층의 드레인 전극(132)과 접속된다.
- [0050] 단면도 상의 상기 소오스 전극(131) 및 드레인 전극(132)은 상기 액티브층(110)의 제 1, 제 4 고농도 불순물 영역(SD1, SD4)을 과식각하여 측면 접속되었는데, 이는 일예에 한한 것이며, 제 1, 제 4 고농도 불순물 영역(SD1, SD4)의 상부에 접속될 수도 있다.
- [0051] 그리고, 상기 굴곡부(B1, B2)에서, 상기 제 2, 제 3 고농도 불순물 영역(SD2, SD3)의 각각 제 2, 제 3 저농도 불순물 영역(LDD2, LDD3)과, 제 4, 제 5 불순물 영역(LDD4, LDD5) 사이에 위치할 수 있다.
- [0052] 또한, 본 발명의 차광 패턴(105)은, 상기 각 화소 영역에서, 상기 액티브층(110)과 상기 게이트 라인(120)의 가장 중심의 중첩부(제 2 채널 영역(C2)와 대응)를 경계로 양쪽에서 이격되어 있다. 이 경우, 상기 차광 패턴(105)은, 상기 각 화소 영역에서, 상기 액티브층의 중심의 제 2 채널 영역(C2)과 이에 접한 제 3, 제 4 저농도 불순물 영역(LDD3, LDD4)과 비중첩할 수 있다. 이 경우, 상기 차광 패턴(105)은 각 화소 영역에서 분리 영역을 가지며, 각 화소 영역을 주기로 나뉘어져, 차광 패턴(105)과 중첩되는 게이트 라인(120)이나 소오스 전극(131) 들간의 사이에 발생하는 기생 용량이 타 화소 영역들에 미치는 영향을 줄일 수 있게 된다.
- [0053] 또한, 상기 차광 패턴(105)은 전압이 인가되는 제 1 고농도 불순물 영역(SD1)과 제 4 고농도 불순물 영역(SD4)과 이에 인접한 제 1 채널 영역(C1)과 제 3 채널 영역(C3) 부위는 가리도록 하여, 드레인 필드가 강하게 작용하는 영역은 가려주어, 광전자가 인접한 제 1, 2, 5, 6 저농도 불순물 영역(LDD1, LDD2, LDD5, LDD6)에서 광전류를 높이는 현상을 방지할 수 있다. 이 경우, 비록 차광 패턴(105)이 나뉘어져 하측의 광원에 대해 제 2 채널 영역(C2)이 노출되어 있더라도, 이미 직접적으로 전압이 인가되는 제 1 고농도 불순물 영역(SD1)과 제 4 고농도 불순물 영역(SD4)과 이에 인접한 제 1 채널 영역(C1)과 제 3 채널 영역(C3) 부위는 차광하여, 가림으로써, 광전자 생성을 줄였고, 또한, 복수 채널 영역(C1, C2, C3) 중 가장 안쪽의 영역은 드레인 전류 생성이 크지 않아, 노출시에도 오프 전류에 대한 영향이 작게 된다. 또한, 이 부위는 노출시켜 개구율을 향상시킬 수 있어, 본 발명의 제 1 실시예에 따른 백플레인 기관의 구조의 적용시 개구율 향상의 이점이 큰 것이다.
- [0054] 한편, 상기 차광 패턴(105)은 상기 기관(100) 상에 직접 접하며, 상기 차광 패턴(105)과 상기 액티브층(110)의 층간에 버퍼층(103)이 더 구비되며, 상기 액티브층(110)과 게이트 라인(120)의 층간에 게이트 절연막(115)과, 상기 게이트 라인(120)과, 상기 소오스 전극(131)을 포함한 데이터 라인(130) 및 드레인 전극(132)의 층간에 층간 절연막(125)을 더 포함한다.
- [0055] 상수한 본 발명의 제 1 실시예의 백플레인 기관은 기관(100)은 게이트 라인(120)과 액티브층(110)의 중첩부가 3개인 트리플 게이트 구조를 기준으로 설명하였으나, 오프 전류를 줄이는 관점에서, 게이트 라인(120)과 액티브층(110)의 중첩부는 더 구비될 수 있다.
- [0056] 또한, 상기 백플레인 기관은 액정 표시 장치나, 유기 발광 표시 패널, 전기 영동 표시 패널, 양자점 표시 패널 등에 모두 적용 가능하나, 하기에는 일예로 액정 표시 장치에 적용한 예를 살펴본다.
- [0057] 이하, 상술한 본 발명의 백플레인 기관을 액정 표시 장치에 적용한 예를 설명한다.
- [0058] 도 7은 본 발명의 액정 표시 장치를 나타낸 단면도이다.

- [0059] 도 7과 같이, 본 발명의 액정 표시 장치는, 도 5 및 도 6의 구조에, 상기 화소 영역에 상기 드레인 전극(132)과 접속된 화소 전극(147)과, 상기 기관과 대향된 대향 기관(200) 및 상기 기관(100)과 대향 기관(200) 사이의 액정층(300)을 포함한다.
- [0060] 상기 대향 기관(200) 혹은 기관(100) 중 어느 하나에 컬러 필터층(210)이 더 구비될 수 있다. 도시된 도면에는, 컬러 필터층(210)이 대향 기관(200)측에 위치한 바를 나타내었으며, 상기 컬러 필터층(210)과 동일층에 화소 영역들의 경계부에 블랙 매트릭스층을 구비할 수 있다.
- [0061] 한편, 컬러 필터층(210)의 위치는 도시된 바에 한하지 않으며, 기관(100) 측에 컬러 필터층이 위치할 수 있다. 기관(100) 상에 컬러 필터층이 위치하는 경우, 블랙 매트릭스층은 생략될 수 있다.
- [0062] 그리고, 상기 기관(100) 상에, 복수개의 화소 영역을 덮는 공통 전극(144) 및 공통 전극(144) 각각과 접속된 금속 라인(미도시)을 더 포함한다. 여기서, 상기 화소 전극(147)은 화소 영역에서 복수개로 분기될 수 있으며, 이를 통해 상기 공통 전극(144)과의 사이에 횡전계를 유도하여 액정층(300)의 배향 방향을 수평으로 조절할 수 있다.
- [0063] 상기 공통 전극(144)은 복수개의 화소 영역마다 하나씩 구비되는 것으로, 해당 부위의 터치 여부에 따라 정전 용량의 변화로 터치 감지 기능을 할 수 있으며, 각각 금속 라인으로부터 순차적으로 신호를 인가받아 센싱하여 공통 전극(144) 위치의 터치 여부를 검출할 수 있다.
- [0064] 한편, 본 발명의 액정 표시 장치에 있어서, 화소 영역마다 구비된 상기 화소 전극(147)은, 상기 공통 전극(144) 상측에 위치하며, 전기적 쇼트를 방지하도록 상기 공통 전극(144)과 비중첩 부위에서 각 화소 영역의 상기 드레인 전극(132)과 접속될 수 있다. 이 경우, 상기 공통 전극(144)은 복수개의 화소 영역을 모두 커버하는 것이 아니라, 포함된 화소 영역들의 상기 화소 전극(147)과 드레인 전극(132)의 접속부위 및 그의 가장자리에서 일부 개구부를 가질 것이다.
- [0065] 상술한 예는 이용하는 표시 패널로 액정 표시 장치를 적용한 예를 나타낸 것에 불과하며, 이에 한하지 않으며, 상기 본 발명의 백플레인 기관은, 표면 혹은 그 상부의 구성을 다양하게 하여, 유기 발광 표시 장치나, 전기 영동 표시 장치 혹은 양자점 표시 장치 등으로도 적용 가능할 것이다.
- [0066] 한편, 상술한 예에 있어서, 트리플 게이트 구조를 기본으로 하여 설명하였지만, 백플레인 기관의 화소 영역에 집적화할 수 있는 최대한으로 액티브층과 중첩되는 게이트 전극 수를 늘릴 수 있다. 현재 스마트 폰과 같은 소형 모델에 있어서는, 고집적도가 진행되어, 2560x1440의 해상도인 QHD 모델에서, 트리플 게이트가 집적할 수 있는 현재 기술 수준에서의 최선이나, 각 패턴을 패터닝하는 노광 장비 등의 개선으로 집적도가 보다 개선될 경우, 액티브 층과 게이트 라인과의 중첩 개수는 보다 늘 수 있다. 또한, QHD 모델 이하에서는 화소 영역 내의 공간적 여유를 더 포함하고 있어, 액티브 층과 게이트 라인과의 중첩 개수는 3개보다 더 많을 수 있다. 그리고, 더 많이 액티브층과 게이트 라인이 중첩할수록 오프 전류는 감소되는 효과를 얻는다.
- [0067] 도 8은 본 발명의 제 2 실시예에 따른 백플레인 기관의 평면도이며, 도 9는 도 8의 III~III' 선상의 단면도이다.
- [0068] 한편, 도 8 및 도 9와 같이, 본 발명의 제 2 실시예에 따른 백플레인 기관은, 차광 패턴(405)의 구성만이 제 1 실시예와 상이하며, 상기 차광 패턴(405)은 상기 게이트 라인(120)과 중첩되어, 상기 액티브층(110)과 상기 게이트 라인(120)의 중첩부를 모두 가리며, 기관(100)의 외곽의 비표시 영역에서, 그라운드 배선(415)과 접속되어 그라운드되어 있다.
- [0069] 그리고, 이 경우, 상기 차광 패턴(405)은 게이트 라인(120)의 방향을 따라 상기 비표시 영역까지 연장되어, 접지된 것이다.
- [0070] 상기 차광 패턴(405)은 게이트 라인(120)과 중첩되어 있기 때문에, 비표시 영역의 게이트 드라이버까지 연장된 게이트 라인(120)과 중첩하며, 기관(100)의 가장자리까지 상기 차광 패턴(405)은 연장되어, 기관(100)의 비표시 영역의 일부에서 그라운드 배선(415)과 접속되어 그라운드 신호를 인가받을 수 있다.
- [0071] 이러한 본 발명의 제 2 실시예에 따른 백플레인 기관의 구조의 효과는 기생 용량을 방지하고, 차광 패턴의 플로팅 용량의 발생을 방지하여, 차광 패턴에 기인한 기생 용량 또는 플로팅 용량에 의해 인접 화소 영역들에 화질에 영향을 끼치는 것을 방지할 수 있다.
- [0072] 이하에서는 본 발명의 백플레인 기관에서 적용하는 트리플 게이트 구조가 듀얼 게이트 구조 적용시보다 우수한 이유를 살펴본다.

[0073] 도 10a 및 도 10b는 듀얼 게이트와 트리플 게이트 구조의 박막 트랜지스터의 Vgs-Ids 특성을 나타낸 그래프이다.

[0074] 도 10a 및 도 10b는 각각 듀얼 게이트와 트리플 게이트 구조의 박막 트랜지스터들의 Vgs-Ids 특성을 나타낸 것으로, 양 구조 모두 Vds를 0.1V로 할 경우는, 0V 이하에서 고른 낮은 Ids(드레인 전류)를 갖지만, Vds 전압이 10V로 할 경우에는, 도 10b와 같이, Vgs 전압이 -10V 이상인 경우는, 100fA 정도로 낮은 값을 유지함을 확인할 수 있으나, 도 10a와 같이, 듀얼 게이트 구조에서는, -10V 이상이라도 약 100fA 내지 300fA 사이로 변동이 큰 경향을 보이고 있어, 도 10b의 상대적으로 더 많은 게이트를 구비할 때, 오프 전류값이 작아짐을 확인할 수 있으며, 면내 편차도 감소함을 확인할 수 있었다.

[0075] 따라서, 저주파수 구동에 따른 신호가 인가되는 화소 영역의 부위는 3개 이상의 게이트 전극(액티브층과 게이트 라인의 중첩부) 구조가 상대적으로 더블 게이트나 싱글 게이트보다 오프 전류 저하와 이에 따른 플리커 감소 측면에서 유리함을 확인할 수 있다.

[0076] 도 11은 본 발명의 백플레인 기판을 나타낸 평면도이다.

[0077] 도 11과 같이, 본 발명의 백플레인 기판은, 기판(100)의 상기 비표시 영역에, 상기 게이트 라인의 양단에 게이트 드라이버(320)를 구비한다.

[0078] 그리고, 게이트 드라이버(320)에 구비된 박막 트랜지스터는 이동도 특성이 우수한 듀얼 게이트를 적용하고, 화소 영역은 트리플 게이트를 적용하여, 선택적인 게이트 전극 구조를 적용하여, 회로적 이점과, 저주파수의 오프 전류 감소를 동시에 꾀한 것을 나타낸다.

[0079] 여기서, 표시 영역(AA)에는 복수개의 화소(pixel)들이 매트릭스 상으로 포함되며, 각 화소는 R, G, B 화소 영역을 갖는다.

[0080] 그리고, 화소 영역의 각각의 박막 트랜지스터들은 3개 이상의 게이트 전극을 구비한 반면, 상기 게이트 드라이버(320)에 포함된 박막 트랜지스터들을 이루는 전극들 및 액티브 패턴은, 상기 표시 영역에 구비된 상기 게이트 라인과 데이터 라인 및 액티브층 중 어느 하나와 동일층에 있으며, 이 경우, 상기 게이트 드라이버에 포함된 박막 트랜지스터의 전극들은, 드라이버부 게이트 전극, 드라이버부 소오스 전극 및 드라이버부 드레인 전극을 포함하며, 상기 드라이버부 게이트 전극은 상기 액티브 패턴과 2개의 중첩부를 갖는다.

[0081] 그리고, 상기 제 2 실시예에 따른 백플레인 기판의 상기 그라운드 배선(415)은 상기 게이트 드라이버(320) 외측에 위치할 수 있다.

[0082] 한편, 설명하지 않은 부호 350은 드라이버 IC를 나타내는 것으로, 데이터 라인에 영상 신호를 인가하며, 상기 게이트 드라이버(320)로 게이트 로우 전압 신호, 게이트 하이 전압 신호 및 각종 클럭 신호를 게이트 드라이버(320)와 데이터 라인(130)에 전달하는 기능을 한다.

[0083] 표 1은 도 10a 및 도 10b에서 나타낸 각각 Vgs 전압을 -10V로 할 때의 오프 전류가 듀얼 게이트에서, $1.28e^{-13}$ A, 트리플 게이트에서, $7.58e^{-14}$ A로, 트리플 게이트에서, 듀얼 게이트에서의 오프 전류 대비 59% 줄어듦을 알 수 있으며, 이동도는 듀얼 게이트의 경우, $77\text{cm}^2/\text{V}\cdot\text{s}$ 이며, 트리플 게이트의 경우 $53\text{cm}^2/\text{V}\cdot\text{s}$ 으로 회로내 충분한 속도를 요구되는 게이트 드라이버부에 이용시 듀얼 게이트의 사용이 더 유리함을 확인할 수 있어, 표시 영역과 비표시 영역 내의 회로 영역에서의 게이트 구조를 달리함이 이동 속도 개선과 오프 전류 관점에서 모두 우수함을 예상할 수 있다.

[0084] [표 1]

	N-	N+	Ioff (A)@Vgs=-10V	μ(cm ² /V.s)
DG	0.8e13/cm ² (70keV)	3.0e15/cm ² (65keV)	1.28e-13(σ3.9e-14)	77(σ10)
TG			7.58e-14(σ1.40e-14)	53(σ10)

[0085]

[0086] 위 실험에서, 듀얼 게이트 구조와 트리플 게이트 구조에서 공통적으로 저농도 불순물 영역(LDD)은 $0.8e^{13}/\text{cm}^2$ 의 농도로, 고농도 불순물 영역(SD)은 $3.0e^{15}/\text{cm}^2$ 로 하여 실험하였다.

[0087] 본 발명의 백플레인 기판은 30Hz 구동 QHD 스마트폰 제품을 구현할 수 있게 되어, 약 20% 수준의 소비 전력 감소가 기대된다. 현재 상용화되고 있는 모든 스마트폰은 60Hz 구동을 한다. 백플레인 기판의 오프 전류(누설 전

류)를 낮추게 되면 플리커 발생 이슈없이 30Hz 로 구동이 가능하게 된다.

[0088] 본 발명의 백플레인 기관 및 이를 이용한 표시 장치는 액티브층과 3개 이상 중첩된 게이트 전극 구조를 적용하여, 드레인 필드를 구비된 게이트 전극 수만큼 분할하여 드레인 전류를 완충시켜, 오프 전류를 감소시킬 수 있다.

[0089] 또한, 액티브층에 광전류 생성을 방지하기 위해 액티브층 하측에 구비되는 차광 패턴에 있어, 화소 영역별로 분리 영역을 구비하여, 차광 패턴과 중첩된 전극간의 기생 용량이 발생하여도, 이로 인한 영향이 인접 화소 영역들에 전달되는 것을 방지할 수 있어, 면내 오프 전류 특성을 편차없이 안정화할 수 있다.

[0090] 그리고, 액티브층의 채널 영역과 차광 패턴을 모두 중첩시킬 경우, 외곽에서 상기 차광 패턴을 그라운드하여, 차광 패턴에 기인한 기생 용량을 방지할 수 있다.

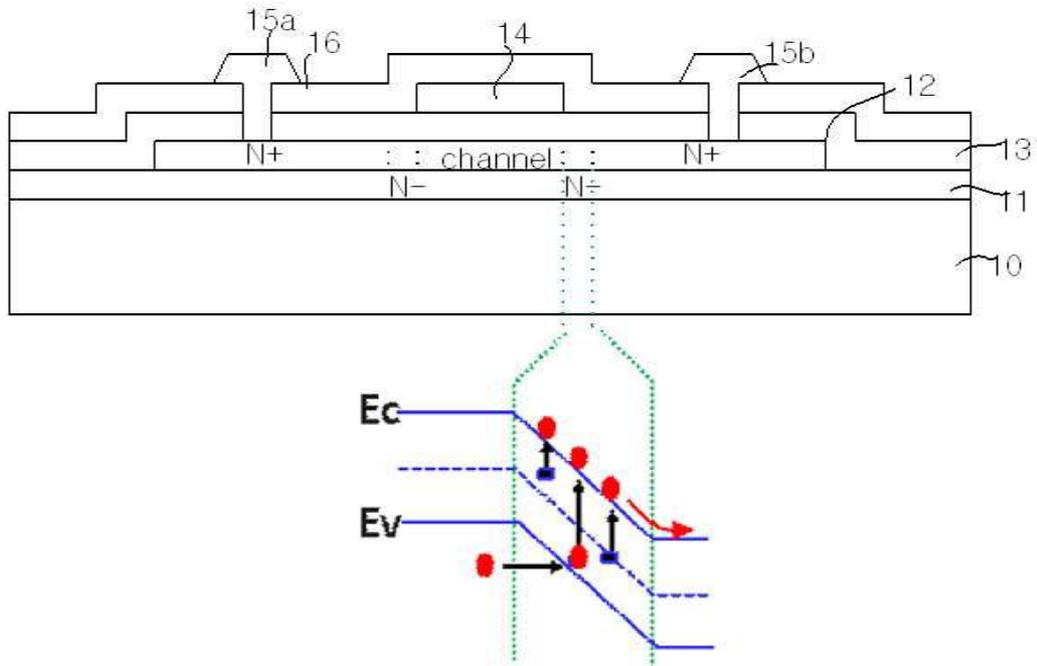
[0091] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

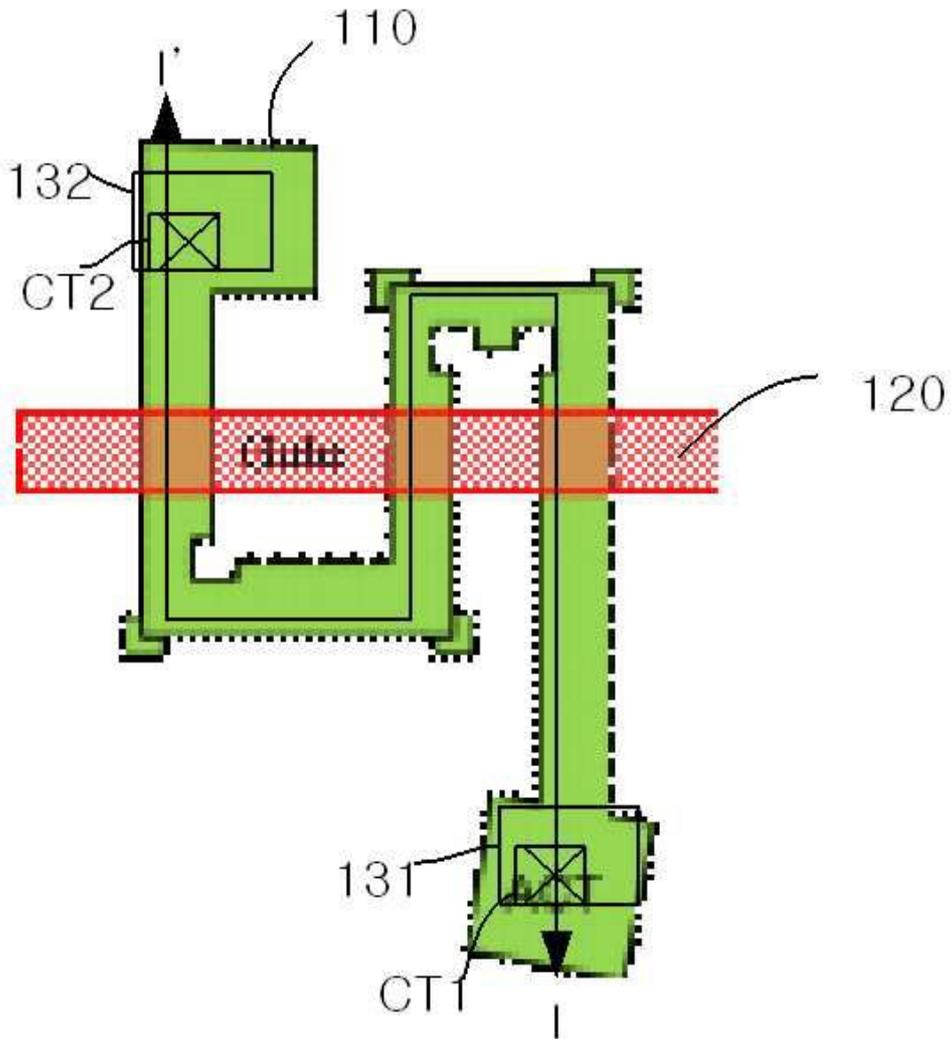
- [0092]
- | | |
|--|---------------|
| 100: 기관 | 103: 버퍼층 |
| 105: 차광 패턴 | 110: 액티브층 |
| C1, C2, C3: 채널 영역 | |
| LDD1, LDD2, LDD3, LDD4, LDD5, LDD6: 저농도 불순물 영역 | |
| SD1, SD2, SD3, SD4: 고농도 불순물 영역 | |
| 115: 게이트 절연막 | 120: 게이트 라인 |
| 125: 층간 절연막 | 130: 데이터 라인 |
| 131: 소오스 전극 | 132: 드레인 전극 |
| 137: 보호막 | 140: 투명 전극 패턴 |
| 144: 공통 전극 | 415: 그라운드 배선 |
| 145: 제 4 보호막 | 147: 화소 전극 |
| 200: 대향 기관 | 210: 컬러 필터층 |
| 300: 액정층 | 320: 게이트 드라이버 |
| 350: 드라이버 IC | 405: 차광 패턴 |

도면

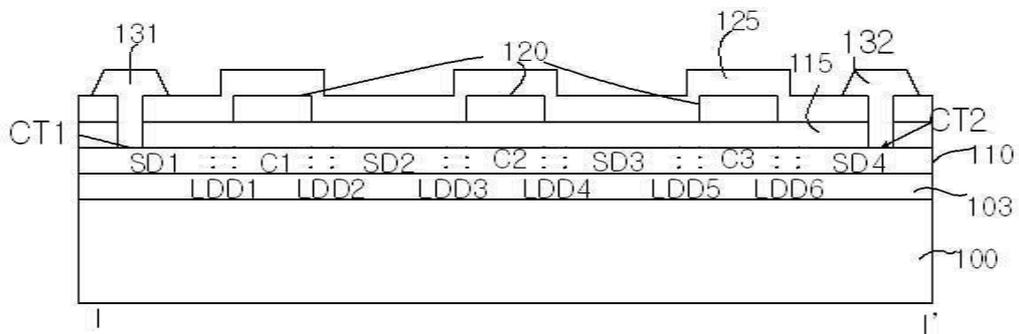
도면1



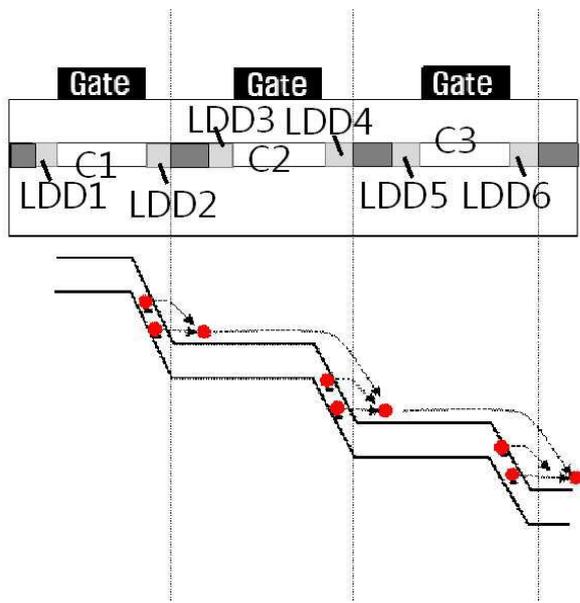
도면2



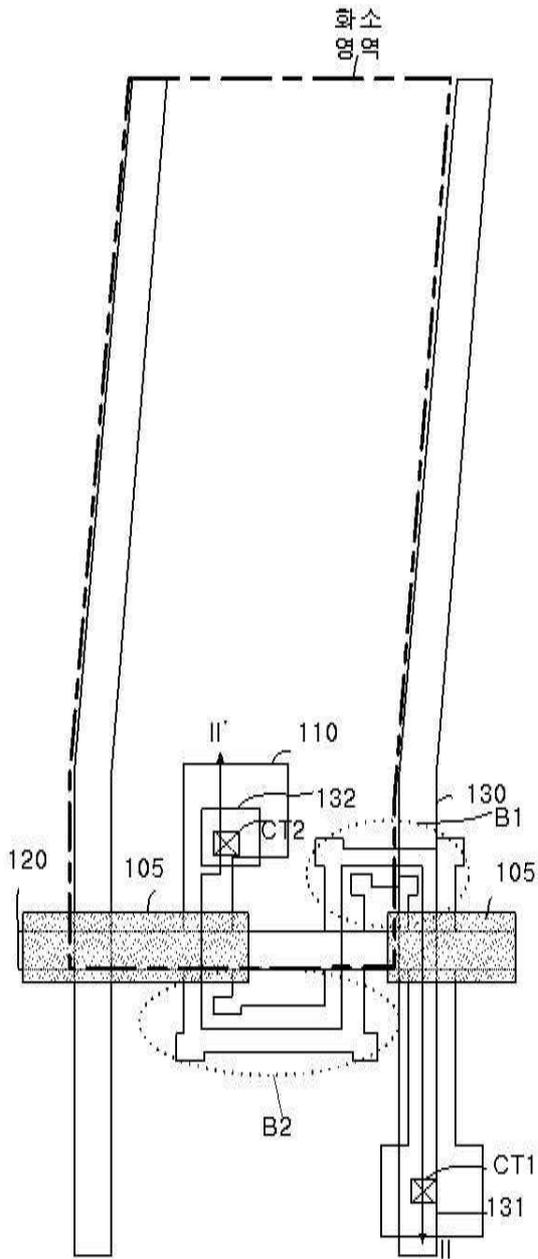
도면3



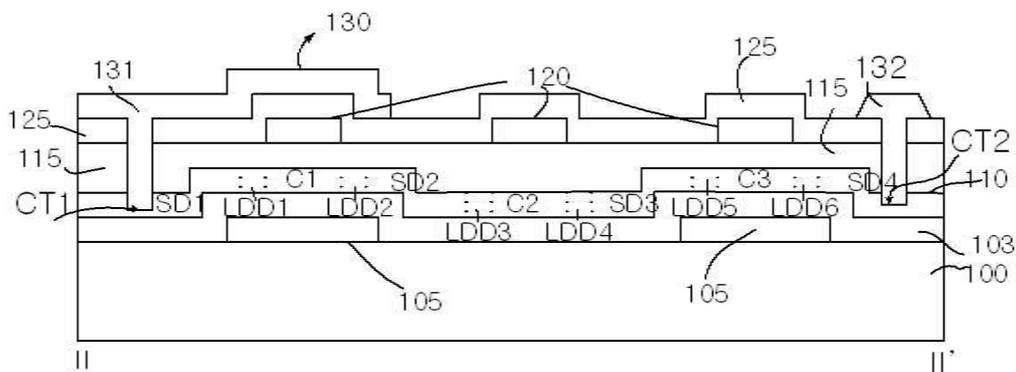
도면4



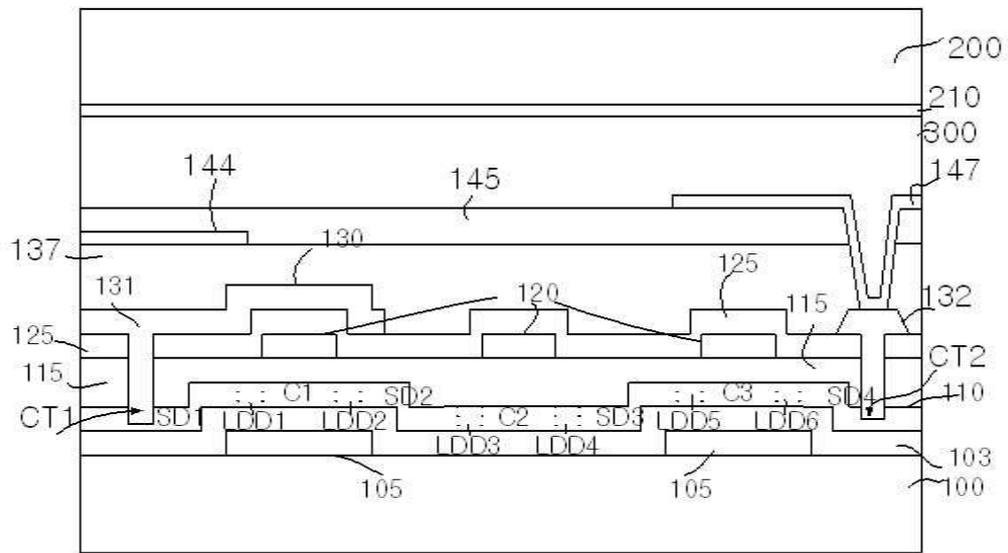
도면5



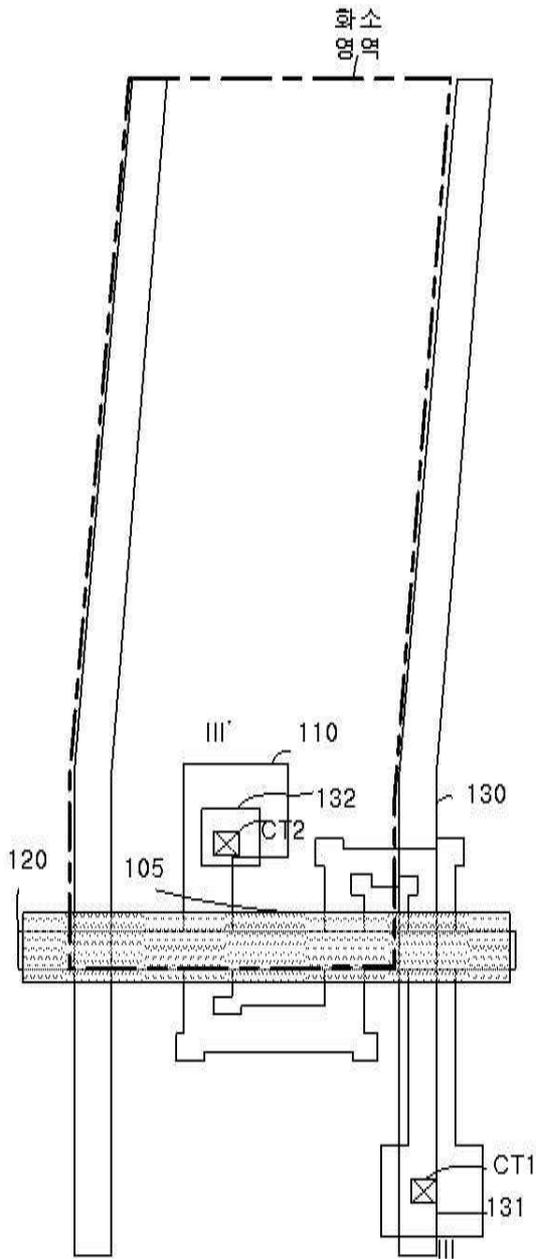
도면6



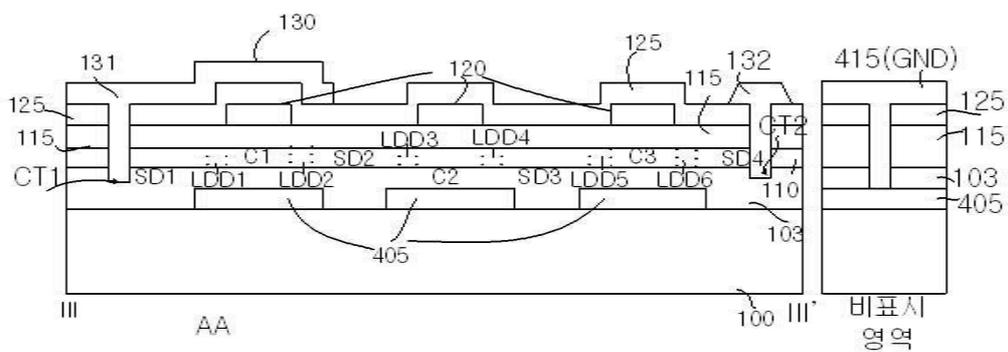
도면7



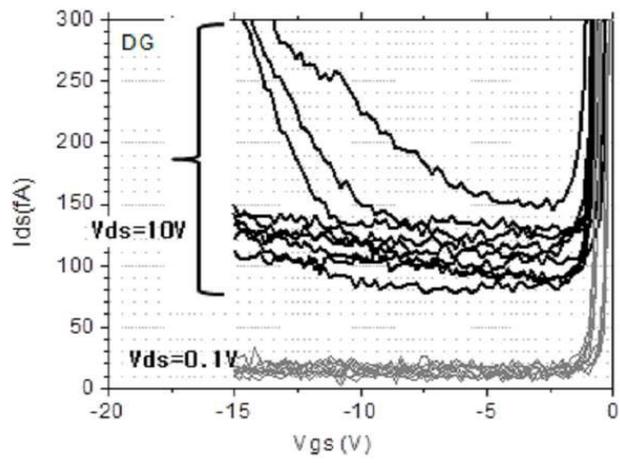
도면8



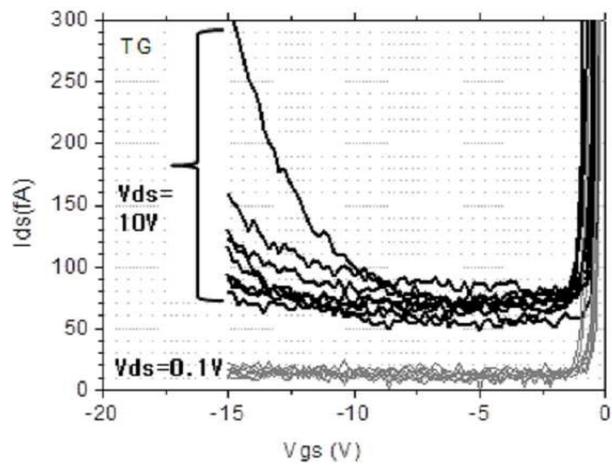
도면9



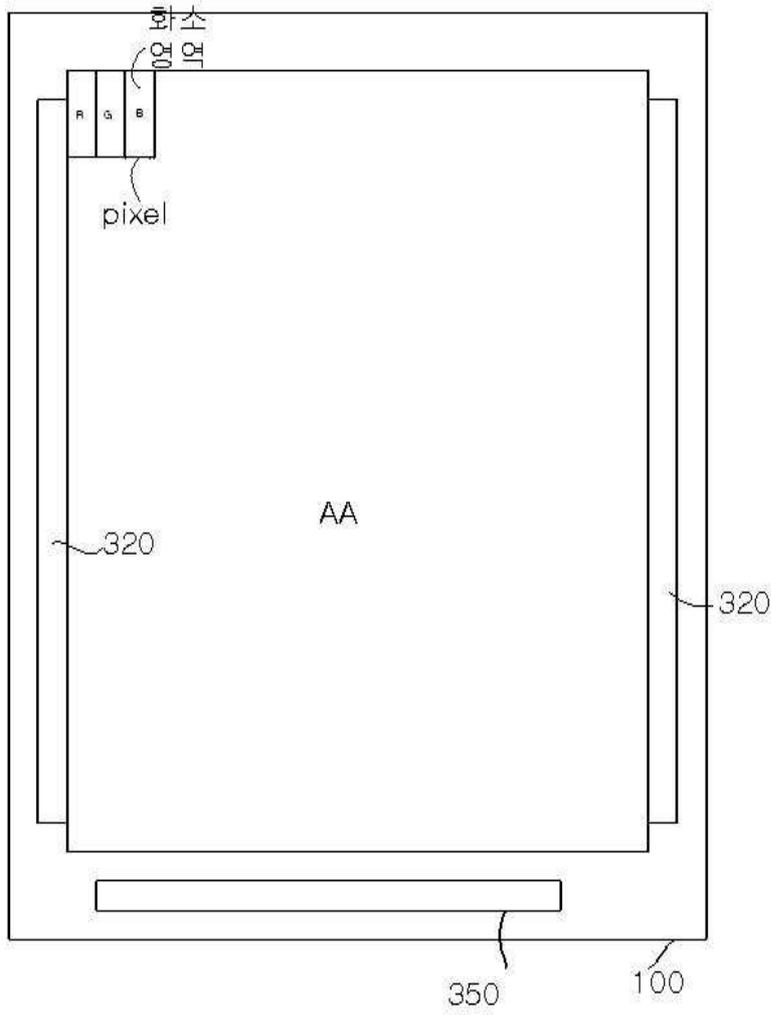
도면10a



도면10b



도면11



专利名称(译)	标题：背板基板和使用其的液晶显示器		
公开(公告)号	KR1020170060891A	公开(公告)日	2017-06-02
申请号	KR1020150165632	申请日	2015-11-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JAE HYUN 김재현 LEE SUNG JIN 이성진		
发明人	김재현 이성진		
IPC分类号	G02F1/1362 G02F1/1333 G02F1/1343 H01L29/786		
CPC分类号	G02F1/136209 G02F1/136286 G02F1/1343 G02F1/133345 H01L29/786 G02F2001/133302		
代理人(译)	Bakyounbok		
外部链接	Espacenet		

摘要(译)

本发明涉及背板和使用该背板的液晶显示器，用于防止在关断电流减少和结构侧的低频驱动器中的消耗电流的偏离电流偏差，并且本发明的背板减少在低频驱动中，具有遮光图案的截止电流选择性地与该栅极结构和三栅极结构重叠，并且可以防止在像素区域之间的遮光炉中产生的寄生电容，和电极的重复区域和遮光图案告诉相邻的像素区域。

