



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0082455
 (43) 공개일자 2016년07월08일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
 G02F 1/1368 (2006.01)
 (52) CPC특허분류
 G02F 1/134363 (2013.01)
 G02F 1/1362 (2013.01)
 (21) 출원번호 10-2015-0134049
 (22) 출원일자 2015년09월22일
 심사청구일자 없음
 (30) 우선권주장
 1020140193871 2014년12월30일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
곽희영
 경기도 고양시 일산서구 일현로 97-11 (탄현동)
 두산 위브더제니스 106동 1906호
조재민
 경기도 고양시 일산서구 주화로 211 (대화동, 장성마을1단지아파트) 103-1302
 (74) 대리인
김기문

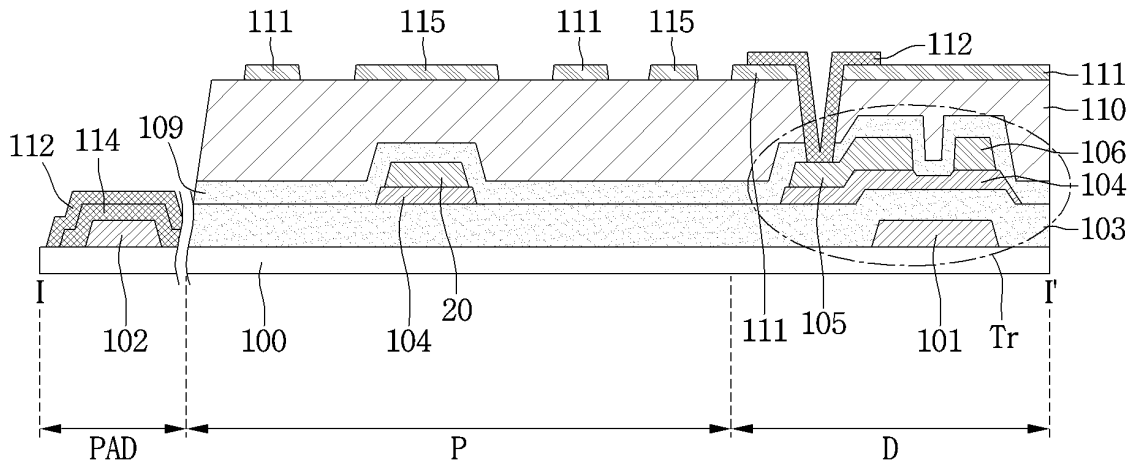
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **액정표시패널 및 그 제조 방법**

(57) 요약

본 발명은 액정표시패널 및 그 제조 방법을 개시한다. 보다 구체적으로, 기판; 상기 기판 상에 배치되는 박막 트랜지스터; 상기 박막 트랜지스터 상에 배치되고, 컨택홀을 포함하는 오버코트층; 상기 컨택홀을 둘러싸며 배치된 화소전극; 및 상기 컨택홀을 통해 상기 박막 트랜지스터의 드레인전극과 상기 화소전극을 전기적으로 연결하는 컨택전극;을 포함하며, 상기 오버코트층은 노광이 불필요한 물질을 포함하여 제조됨으로써 공정이 간단하고 제조 비용이 저감되며 투과율이 개선된 액정표시패널 및 그 제조 방법에 관한 것이다.

대표도 - 도2



(52) CPC특허분류
G02F 1/1368 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터 상에 배치되고, 컨택홀을 포함하는 오버코트층;

상기 컨택홀을 둘러싸며 배치된 화소전극; 및

상기 컨택홀을 통해 상기 박막 트랜지스터의 드레인전극과 상기 화소전극을 전기적으로 연결하는 컨택전극;을 포함하는, 액정표시패널.

청구항 2

제 1항에 있어서,

상기 컨택전극은 상기 드레인전극과 접하는, 액정표시패널.

청구항 3

제 1항에 있어서,

상기 컨택전극은 상기 화소전극과 접하는, 액정표시패널.

청구항 4

기관 상에 박막 트랜지스터, 오버코트층 및 화소전극 물질을 순차적으로 적층하는 제 1 단계;

상기 오버코트층 상에 상기 박막 트랜지스터의 드레인전극을 노출하는 컨택홀 및 화소전극을 형성하는 제 2 단계; 및

상기 컨택홀을 통해 상기 박막 트랜지스터의 드레인전극과 상기 화소전극을 전기적으로 연결시키는 컨택전극을 형성하는 제 3 단계;를 포함하고,

상기 오버코트층은 노광이 불필요한 물질을 포함하여 제조되는, 액정표시패널 제조 방법.

청구항 5

제 4항에 있어서,

상기 제 2 단계는,

제1 내지 제3 영역을 포함하는 기관 상에 배치되는 상기 화소전극 물질 상에 제 1 포토레지스트를 형성하는 단계;

하프톤 마스크를 이용하여 상기 제1 영역 및 제2 영역에 대응하는 제 1 포토레지스트를 제거하는 단계;

상기 제1 영역에 대응하는 상기 화소전극 물질 및 오버코트층을 식각하여 상기 드레인전극을 노출시키고, 상기 제2 영역에 대응하는 제 1 포토레지스트를 제거하고 화소전극 물질을 식각하는 단계;를 포함하는, 액정표시패널 제조 방법.

청구항 6

제 4항에 있어서,

상기 제 3 단계는,

상기 제1 내지 제3 영역에 컨택전극 물질을 적층하는 단계;

상기 제1 영역에 제 2 포토레지스트를 형성하는 단계; 및

상기 제2 및 제3 영역에 대응하는 상기 컨택전극 물질을 식각하고, 상기 제 2 포토레지스트를 제거하는 단계;를 포함하는, 액정표시패널 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시패널 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 공정을 단순화 하고 제조 비용을 저감시킬 수 있는 액정표시패널 및 그 제조 방법에 관한 것이다.

배경 기술

[0003] 액정표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정표시장치는 서로 대향하여 합착된 박막 트랜지스터 기관 및 컬러 필터 기관을 포함하는 액정표시패널과, 그 액정 표시패널에 광을 조사하는 백라이트 유닛과, 액정 표시 패널을 구동하기 위한 구동 회로부를 포함한다.

[0004] 박막 트랜지스터 기관은 하부 기관 위에 게이트 절연막을 사이에 두고 교차하게 형성된 게이트 배선 및 데이터 배선과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터의 드레인전극과 컨택홀을 통해 접속되는 화소전극과, 그들 위에 도포된 하부 배향막을 포함한다.

[0005] 이러한 박막 트랜지스터 어레이 기관은 포토리소그래피 기술을 사용한 제조 공정을 통해 제조된다. 그러나, 포토레지스트라고 불리는 감광성의 유기수지재료를 이용한 공정은 노광, 현상, 소성 및 박리 등과 같은 다수의 공정이 필요하게 된다. 따라서, 포토리소그래피 공정의 횟수가 늘어나는 만큼, 공정이 복잡해지고 제조 비용이 올라가는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 오버코트층에 형성된 컨택홀을 둘러싸고 배치되는 제 1 화소전극 및 상기 화소전극과 컨택홀에 중첩하여 배치되는 컨택전극을 포함하고, 상기 오버코트층은 노광이 불필요한 물질을 포함하여 제조됨으로써, 공정이 간단하고 제조 비용이 저감되며 투과율이 향상된 액정표시패널 및 그 제조 방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0009] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 액정표시패널 및 그 제조 방법은 기관 상에 배치되는 박막 트랜지스터를 포함하고, 상기 박막 트랜지스터 상에는 컨택홀을 포함하는 오버코트층이 배치된다. 또한, 상기 컨택홀을 둘러싸며 배치된 화소전극 및 상기 컨택홀을 통해 상기 박막 트랜지스터의 드레인전극과 상기 화소전극을 전기적으로 연결하는 컨택전극을 포함하고, 상기 오버코트층은 노광이 불필요한 물질을 포함하여 제조된다.

발명의 효과

- [0011] 본 발명의 액정표시패널 및 그 제조 방법은 공정이 간단하고 제조 비용이 저감된다.
- [0012] 또한, 본 발명의 액정표시패널 및 그 제조 방법은 오버코팅층의 유전율이 낮아 charging 특성이 향상되고 투과율이 개선된다.

도면의 간단한 설명

- [0014] 도 1은 본 발명에 따른 액정표시패널의 평면도이다.
- 도 2는 본 발명에 따른 액정표시패널의 I-I'를 따라 절단한 단면도이다.
- 도 3a 내지 도 3f는 본 발명에 따른 액정표시패널의 제조 방법을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0016] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0017] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0018] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함 할 수 있다.
- [0019] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0021] 도 1은 본 발명에 따른 액정표시패널의 평면도이고, 도 2는 본 발명에 따른 액정표시패널의 I-I'를 따라 절단한 단면도이다.
- [0022] **액정표시패널**
- [0023] 본 발명의 액정표시패널은 기판 상에 배치되는 박막 트랜지스터, 박막 트랜지스터 상에 배치되고 컨택홀을 포함하는 오버코팅층(110), 컨택홀을 둘러싸며 배치된 화소전극(111) 및 컨택전극(112)을 포함하고, 상기 컨택전극(112)은 컨택홀을 통해 상기 박막 트랜지스터의 드레인전극(105)과 상기 화소전극(111)을 전기적으로 연결한다.

- [0024] 본 발명에 따른 기관(100)은 구동부(D), 화소부(P) 및 패드부(PAD)를 포함할 수 있다. 상기 기관(100)은 투명 유리 또는 플라스틱으로 이루어진 것일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0025] 또한, 본 발명에 따른 박막 트랜지스터(Tr)는 상기 기관(100) 상에 배치된다.
- [0026] 상기 구동부(D)에는 박막 트랜지스터(Tr)가 배치되고, 상기 화소부(P)에는 화소전극(111) 및 공통전극(115)이 배치된다. 그리고, 상기 패드부(PAD)에는 패드전극이 배치된다.
- [0027] 본 발명의 액정표시패널은 다수개의 서브화소 영역(P)을 포함한다. 상기 서브화소 영역은 적색 서브화소 영역, 녹색 서브화소 영역 또는 청색 서브화소 영역일 수 있다. 상기 서브화소 영역(P)은 상기 기102판(100) 상에 배치되는 게이트 배선(10)과 데이터 배선(20)이 교차하여 정의된다.
- [0028] 상기 기관(100) 상에 상기 게이트 배선(10)에 접속되는 게이트 패드(30)와 상기 데이터 배선(20)에 접속되는 데이터 패드(40)가 배치되는데, 상기 게이트 배선(10)과 데이터 배선(20)이 교차하는 영역에는 박막 트랜지스터를 포함하는 구동부가 배치되고, 상기 구동부의 상측에 화소부가 배치된다.
- [0029] 본 발명에 따른 액티브층(104)은 상기 데이터 배선(20)과 중첩하여 배치된다. 상기 패드부(PAD)에는 상기 게이트 전극(101)과 동일층에서 제 1 게이트 패드 전극(102)이 배치되고, 상기 제 2 게이트 패드 전극(102) 상에는 제 2 게이트 패드 전극(114)이 배치된다. 또한, 상기 박막 트랜지스터(Tr) 및 데이터 배선(20)를 포함하는 화소부(P)와 구동부(D) 상에는 보호막(109)이 배치되고, 보호막(109) 상에는 오버코트층(110)이 배치된다.
- [0030] 상기 구동부에 배치되는 박막 트랜지스터는 게이트 전극(101), 액티브층(104), 소스전극(106) 및 드레인전극(105)으로 이루어진다. 또한, 상기 화소부에는 상기 소스전극(107) 및 드레인전극(105)과 동일층에서 데이터 배선(20)이 배치되고, 화소전극(111)과 공통전극(115)이 엇갈려 배치됨으로써, IPS (In-Plane Switching) 모드의 구동방식으로 구동될 수 있다. 다만, 본 발명에 따른 액정표시장치는 이에 한정되지 않으며, TN (Twisted Nematic), FFS(Fringe Field Switching), VA(Vertical Align) 모드 등의 구동방식을 이용하는 표시장치에 모두 적용 가능하다.
- [0031] 본 발명에 따른 오버코트층(110)은 상기 박막 트랜지스터 상에 배치되고, 드레인전극(105)을 노출하는 컨택홀을 포함한다.
- [0032] 상기 오버코트층(110)은 노광이 불필요한 물질을 포함하여 제조되는데, 노광이 불필요한 물질로써 본 발명의 목적에 벗어나지 않는 범위 내라면 그 종류는 특별히 제한되지 않는다.
- [0033] 종래에는 액정표시패널의 고투과율을 구현하기 위하여 데이터 배선과 화소전극 사이에 주로 PAC(Photo Acid Compound)을 사용하여 평탄화막을 형성하였는데, PAC은 유기막 성분이면서 반드시 노광 공정을 거쳐야 하므로 제조 공정이 복잡하고 재료비가 높다는 문제점이 있었다.
- [0034] 이에, 본 발명은 PAC을 이용하여 형성된 평탄화막 대신에 노광이 불필요한 물질을 포함하여 제조되고 컨택홀을 포함하는 오버코트층(110)을 포함함으로써 별도의 노광공정이 필요하지 않는바, 공정을 간단히 하고 제조 비용을 저감할 수 있다. 또한, 상기 오버코트층(110)은 PAC에 비해 유전율이 낮은 물질로 이루어지므로 charging 특성을 개선하고 투과율을 높일 수 있다.
- [0035] 본 발명에 따른 화소전극(111)은 컨택홀을 둘러싸며 배치되고, 상기 화소전극(111)과 공통전극(115)이 이격되어 화소부(P)의 오버코트층(110) 상에 교대로 배치된다.
- [0036] 상기 화소전극(111)과 공통전극은 몰리비다늄(MoTi)으로 이루어질 수 있으나, 도전성 물질로서 본 발명의 목적에 벗어나지 않는다면 반드시 이에 국한되는 것은 아니다.
- [0037] 본 발명에 따른 컨택전극(112)은 상기 컨택홀 상에 배치되고, 컨택홀을 둘러싸고 배치되는 화소전극(111)의 적어도 일부와 중첩한다. 상기 컨택전극(112)은 컨택홀을 통해 상기 박막 트랜지스터의 드레인전극(105)과 화소전극(111)을 전기적으로 연결한다.
- [0038] 자세하게는, 상기 박막 트랜지스터 상에 배치되는 오버코트층(110)에 형성된 상기 컨택홀을 둘러싸고 화소전극(111)이 배치된다. 그리고, 상기 화소전극(111)과 중첩하여 배치되고, 상기 컨택홀 상에 배치되는 컨택전극(112)이 상기 박막 트랜지스터(Tr)의 드레인전극(105)과 연결된다.
- [0039] 본 발명의 일 실시예에 의하면 상기 컨택전극은 상기 드레인전극(105)과 접할 수 있으며, 본 발명의 또 다른 실시예에 의하면 상기 컨택전극은 상기 화소전극(111)과 접할 수 있다. 이에 의해 컨택전극(112)이 드레인전극

(105)과 화소전극(111)을 효과적으로 연결할 수 있다.

[0040] 상기 컨택전극(112)은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 도전성 물질로 이루어질 수 있으나, 도전성 물질로서 본 발명의 목적에 벗어나지 않는다면 반드시 이에 국한되는 것은 아니다.

[0041] 본 발명에 따른 액정표시패널은 포토레지스트층을 포함한 화소전극(111)을 마스크로 하여 오버코트층(110)을 식각하여 형성된 컨택홀을 포함하고, 별도의 포토레지스트층을 마스크로 하여 형성된 컨택전극(112)을 포함함으로써 노광이 불필요한 물질로 제조된 오버코트층(110)을 구비하더라도, 공정 수의 증가 없이 액정표시패널을 제조하고 제조 비용을 저감할 수 있다. 또한, 상기 오버코트층(110)은 종래 보호막을 이루는 PAC에 비해 유전율이 낮은바, 데이터 배선과 공통 배선간의 커패시턴스(C)를 줄일 수 있다. 이에 따라, 유전율과 커패시턴스(C)는 비례관계에 있으므로 데이터 전극과 공통전극 간의 charging 특성이 향상되고 투과율이 개선된다.

[0042] 따라서, 별도 공정의 추가 없이도 유전율이 낮은 오버코트층(110)을 사용할 수 있는 장점이 있다.

[0044] **액정표시패널의 제조 방법**

[0045] 이어서, 도 3a 내지 도 3f를 참조하여, 본 발명에 따른 액정표시패널의 제조 방법을 살펴보면 다음과 같다. 도 3a 내지 도 3f는 본 발명에 따른 액정표시패널의 제조 방법을 도시한 도면이다.

[0046] 본 발명의 액정표시패널의 제조 방법은 먼저 박막 트랜지스터, 노광이 불필요한 물질을 포함하여 제조된 오버코트층(110) 및 화소전극 물질(111a)을 기판 상에 순차적으로 적층하고, 상기 오버코트층(110) 상에 컨택홀(150) 및 화소전극(111)을 형성하고, 박막 트랜지스터의 드레인전극(105)을 노출시키며, 컨택홀(150)을 통해 컨택전극(112)을 형성하여 박막 트랜지스터의 드레인전극(105)과 상기 화소전극(111)을 전기적으로 연결하는 단계를 포함한다.

[0047] 이하에서는 본 발명의 액정표시패널의 제조 방법에 대해 구체적으로 서술한다.

[0048] 본 발명에 있어, 상기 제1 영역은 기판(100)의 패드부(PAD)부와 구동부(D)에서 컨택홀이 형성되는 영역이고, 상기 제2 영역은 상기 기판(100) 상에 공통전극 또는 화소전극이 형성되지 않는 영역이며 상기 제3 영역은 상기 기판(100) 상에 공통전극 또는 화소전극이 형성되는 영역이다.

[0049] 먼저, 기판 상에 박막 트랜지스터, 오버코트층 및 화소전극 물질을 순차적으로 적층한다(제 1 단계).

[0050] 구체적으로, 도 3a를 참조하면, 패드부(PAD), 화소부(P) 및 구동부(D)로 구분되는 기판(100) 상에 제 1 전극물질이 배치된다. 상기 제 1 전극물질은 포토리소그래피 공정을 통해 패터닝된다. 이를 통해, 상기 제 1 기판(100) 상에 박막 트랜지스터의 게이트 전극(101) 및 상기 게이트 전극(101)과 이격되어 제 1 패드 전극(102)이 배치된다.

[0051] 여기서, 상기 게이트 전극(101)과 제 1 패드 전극(102)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 조합으로부터 형성되는 합금 일 수 있다. 또한, 도면에서는 단일 금속층으로 형성되어 있지만, 경우에 따라서는 적어도 2개 이상의 금속층들을 적층하여 배치할 수도 있다.

[0052] 도 3b를 참조하면, 상기 게이트 전극(101)과 제 1 패드 전극(102)이 배치된 제 1 기판(100) 상에 게이트 절연막 물질(103a)이 배치된다. 그리고, 상기 게이트 절연막 물질(103a) 상에 액티브층 물질이 배치된다. 상기 액티브층 물질은 $A_xB_yC_zO(x, y, z \geq 0)$ 나타낼 수 있으며, A, B 및 C 각각은 Zn, Cd, Ga, In, Sn, Hf 및 Zr 중에서 선택된다. 바람직하게는, 상기 산화물 반도체 물질은 ZnO, InGaZnO₄, ZnInO, ZnSnO, InZnHfO, SnInO 및 SnO 중에서 선택될 수 있으나, 이에 국한되지 않는다.

[0053] 상기 액티브층 물질(104a)은 포토레지스트 공정을 통해 패터닝 된다. 이를 통해, 상기 게이트 전극(101)과 중첩하는 액티브층(104)과 추후 배치되는 데이터 배선과 중첩하는 영역에 액티브층(104)이 배치된다.

[0054] 상기 액티브층(104)을 포함하는 기판 상에 제 2 전극물질이 배치된다. 상기 제 2 전극 물질은 포토리소그래피 공정을 통해 식각된다. 이를 통해, 상기 액티브층(104)과 중첩하여 소스전극(106) 및 드레인전극(105)이 배치된다. 그리고, 상기 소스전극(106) 및 드레인전극(105)과 이격하여 데이터 배선(20)이 배치된다.

[0055] 상기 소스전극(106), 드레인전극(105) 및 데이터 배선(20)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 조합으로부터 형성되는 합금 일 수 있다. 또한, 도면에서는 단일 금속층으로 형성되어 있지만, 경우에 따라서는 적어도 2개 이상의 금속층들을 적층하여 배치할 수도 있다.

- [0056] 또한, 도면에는 도시하지 않았으나, 상기 소스전극(106) 및 드레인전극(105)을 배치하는 단계 이전에, 상기 액티브층(104) 상에 절연막을 더 배치할 수도 있다. 상기 절연막은 상기 액티브층(104) 상에서 식각 정지층 역할을 할 수 있다.
- [0057] 이어서, 도 3c를 참조하면, 상기 소스전극(106), 드레인전극(105) 및 데이터 배선(20)이 배치된 기판(100) 상에 보호막 물질(109a)이 배치되고, 상기 보호막 물질(109a) 상에 오버코트층 물질(110a)이 배치된다. 본 발명에 따른 오버코트층 물질(110a)은 노광이 불필요한 물질을 포함한다. 상기 오버코트층 물질(110a)은 노광이 불필요한 물질로서 본 발명의 목적에 벗어나지 않는 범위 내라면 특별히 제한되지 않는다.
- [0058] 이어서, 오버코트층(110) 상에 상기 박막 트랜지스터의 드레인전극을 노출하는 컨택홀 및 화소전극을 형성한다(제 2 단계).
- [0059] 먼저, 제 1 내지 제3 영역을 포함하는 것으로써 보호막 물질(109a) 및 오버코트층 물질(110a)이 적층된 기판 상에 화소전극 물질(111a)이 배치되고, 상기 화소전극 물질(111a) 상에는 제 1 포토레지스트(200)가 형성된다. 제 1 포토레지스트를 형성하는 방법은 도포 동일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0060] 이 때, 상기 포토레지스트(200)는 포지티브 포토레지스트 또는 네거티브 포토레지스트일 수 있다. 포지티브 포토레지스트는 광이 조사되는 부분이 제거되는 감광성 재료이고, 네거티브 포토레지스트는 광이 조사되면 경화되는 물질인 감광성 재료이다.
- [0061] 후에, 기판과 하프톤 마스크를 마주하여 배치하고 상기 제1 영역 및 제2 영역에 대응하는 제 1 포토레지스트를 제거한다.
- [0062] 도 3d를 참조하면, 상기 제 1 포토레지스트(200)가 배치된 기판(100)과 대향하여 마스크(300)가 배치되고, 상기 마스크(300)는 하프톤 마스크일 수 있다. 자세하게는, 상기 마스크(300)는 차단부(301), 반투과부(302) 및 투과부(303)를 포함한다. 상기 투과부(303)는 광을 그대로 투과시키고, 상기 반투과부(302)는 상기 투과부(303)에 비해 광을 적게 통과시키고, 상기 차단부(301)는 광을 완전히 차단시킨다.
- [0063] 상기 마스크(300)를 통해 상기 제 1 포토레지스트(200)로 광을 조사한다.
- [0064] 본 발명이 네거티브 포토레지스트로 실시된 경우, 상기 마스크(300)의 차단부(301)는 패드부(P)와 대응하도록 배치된다. 또한, 상기 마스크(300)의 차단부(301)는 추후 구동부(D)에 배치되는 박막 트랜지스터의 드레인전극을 노출하는 컨택홀이 형성되는 영역과 대응하도록 배치된다. 또한, 상기 마스크(300)의 투과부(303)는 추후에 화소부(P)에 배치되는 공통전극 및 화소전극이 형성되는 영역과 추후 상기 구동부(D)에 배치되는 박막 트랜지스터가 형성되는 영역에 대응하도록 배치된다. 그리고 상기 마스크(300)의 반투과부(302)는 상기 화소부(P)에서 공통전극 및 화소전극이 형성되는 영역을 제외한 영역과 대응하도록 배치된다.
- [0065] 상기 마스크(300)의 투과부(303)와 대향하여 배치되는 포토레지스트(200)는 높이가 높은 제 1 포토레지스트 패턴a로 형성되고, 상기 마스크(300)의 반투과부(302)와 대향하여 배치되는 포토레지스트(200)는 높이가 낮은 제 1 포토레지스트 패턴 b로 형성된다. 또한, 상기 마스크(300)의 차단부(301)와 대향하여 배치되는 포토레지스트(200)는 제거되어 상기 화소전극 물질(111a)을 노출시킨다.
- [0066] 상기 제 1 포토레지스트를 제거하는 방법은 습식 식각일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0067] 이어서, 상기 제1 영역에 대응하는 상기 화소전극 물질(111a) 및 오버코트층을 식각하여 상기 드레인전극을 노출시켜 컨택홀을 형성하고, 상기 제2 영역에 대응하며 잔존하는 제 1 포토레지스트를 제거하고 화소전극 물질(111a)을 식각하여 화소전극을 형성한다.
- [0068] 구체적으로, 상기 마스크(300)의 차단부(301) 대응되어 배치되는 오버코트층 물질(110a), 보호막 물질(109a), 게이트 절연막 물질(103a)을 식각하여 상기 패드부(PAD)에 배치되는 제 1 게이트 패드 전극(102)을 노출한다. 또한, 상기 마스크(300)의 차단부(301) 대응되어 배치되는 상기 오버코트층 물질(110a) 및 보호막 물질(109a)을 식각하여 구동부(D)에 배치되는 박막 트랜지스터의 드레인전극(105)을 노출한다.
- [0069] 여기서, 상기 오버코트층 물질(110a)이 식각되어 상기 드레인전극(105)을 노출하는 영역은 컨택홀이 될 수 있다. 또한, 상기 식각된 오버코트층 물질(110a)은 오버코트층(110)이 되고, 상기 식각된 보호막 물질(109a)은 보호막이 된다. 또한, 상기 식각된 게이트 절연막 물질(103a)은 게이트 절연막(103)이 된다.
- [0070] 상기 오버코트층 물질(110a) 및 보호막 물질(109a)을 식각하는 방법은 건식 습각 일 수 있으나, 반드시 이에 제

한되는 것은 아니다.

- [0071] 이후, 잔존하는 제 1 포토레지스트 패턴 b는 에칭(ashing) 공정을 통해 제거될 수 있다. 이 때, 상기 제 1 포토레지스트 패턴 a의 일부도 함께 제거되어 초기의 제 1 포토레지스트 패턴보다 두께가 얇은 제 1-2 포토레지스트 패턴이 형성될 수 있다.
- [0072] 상기 제 1-2 포토레지스트 패턴 영역에서는 상기 화소전극 물질(111a)이 노출되므로 제 1-2 포토레지스트 패턴을 마스크로 하여 화소전극 물질(111a)을 식각한다. 이 때, 화소전극 물질(111a)은 습식 식각 방법에 의해 제거될 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0073] 후에, 상기 두께가 얇아진 제 1 포토레지스트 패턴을 제거한다. 즉, 제 1 포토레지스트 패턴 a 및 b를 마스크로 하여 상기 노출된 화소전극 물질을(111a)을 식각한다.
- [0074] 상기 두께가 얇아진 제 1-2 포토레지스트 패턴 하부에 배치된 화소전극 물질(111a)은 공통전극(115) 또는 화소전극(111)이 된다. 이 때, 구동부(D)에 배치되는 컨택홀(150)을 둘러싸는 영역에는 화소전극(111)이 배치될 수 있다.
- [0075] 따라서, 도 3e를 참조하면 패드부(PAD)에서는 제 1 게이트 패드 전극(102)이 노출되고, 화소부(P)에는 상기 오버코트층(110) 상에 화소전극(111)과 공통전극(115)이 교대로 배치된다. 또한, 상기 구동부(D)에는 상기 오버코트층(110) 상에 상기 컨택홀(150)을 둘러싸고 화소전극(111)이 배치된다.
- [0076] 이어서, 컨택홀을 통해 상기 박막 트랜지스터의 드레인전극과 상기 화소전극을 전기적으로 연결시키는 컨택전극을 형성한다(제 3 단계).
- [0077] 도 3f를 참조하면, 상기 화소전극(111) 및 공통전극(115)을 포함하는 기판(100) 상에 컨택전극 물질을 적층한 후, 상기 제1 영역에 제 2 포토레지스트(113)를 형성한다.
- [0078] 상기 컨택전극 물질을 배치하는 방법은 도포 등이 있으나, 반드시 이에 제한되는 것은 아니며, 이에 의해 컨택홀은 배치된 컨택전극 물질에 의해 채워진다.
- [0079] 또한, 상기 제 2 포토레지스트(113)를 형성하는 방법은 당 분야에 일반적으로 알려진 것으로서 본 발명의 목적에 벗어나지 않는 범위 내라면 특별히 제한되는 것은 아니다.
- [0080] 후에, 상기 제2 영역 및 제3 영역에 대응하는 상기 컨택전극 물질을 식각하고 상기 제 2 포토레지스트(113)를 제거한다. 구체적으로, 상기 컨택전극 물질은 예를 들어 습식 식각에 의해 제거할 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0081] 즉, 컨택전극 물질은 잔존하는 제 2 포토레지스트(113)를 마스크로 하여 식각되므로 제 2 포토레지스트(113) 하부에 위치하는 컨택전극 물질 외에는 모두 제거되는바, 화소전극(111) 및 공통전극(115)이 외부로 노출된다.
- [0082] 이후, 제 2 포토레지스트(113)를 제거함으로써 컨택홀(150)을 통해 드레인전극(105)과 화소전극(111)을 전기적으로 연결하는 컨택전극(112)이 형성된다.
- [0083] 따라서, 본 발명의 액정표시패널의 제조방법에 의하면 제 1 포토레지스트층을 포함한 화소전극(111)을 마스크로 하여 오버코트층(110)을 식각하여 컨택홀을 형성하고, 제 2 포토레지스트층(113)을 마스크로 하여 컨택전극 물질을 식각하여 컨택전극(112)을 형성하는바, 노광이 불필요한 물질로 제조된 오버코트층(110)을 포함하더라도 공정 수의 증가 없이 액정표시패널을 제조하고 제조 비용을 저감할 수 있다.
- [0084] 또한, 상기 오버코트층(110)은 종래 보호막을 이루는 PAC에 비해 유전율이 낮은바, 데이터 배선과 공통 배선간의 커패시턴스(C)를 줄일 수 있다. 이에 따라, 유전율과 커패시턴스(C)는 비례관계에 있으므로 데이터 전극과 공통전극 간의 charging 특성이 향상되고 투과율이 개선된다.
- [0085] 따라서, 별도 공정의 추가 없이도 유전율이 낮은 오버코트층(110)을 사용할 수 있는 장점이 있다.
- [0087] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

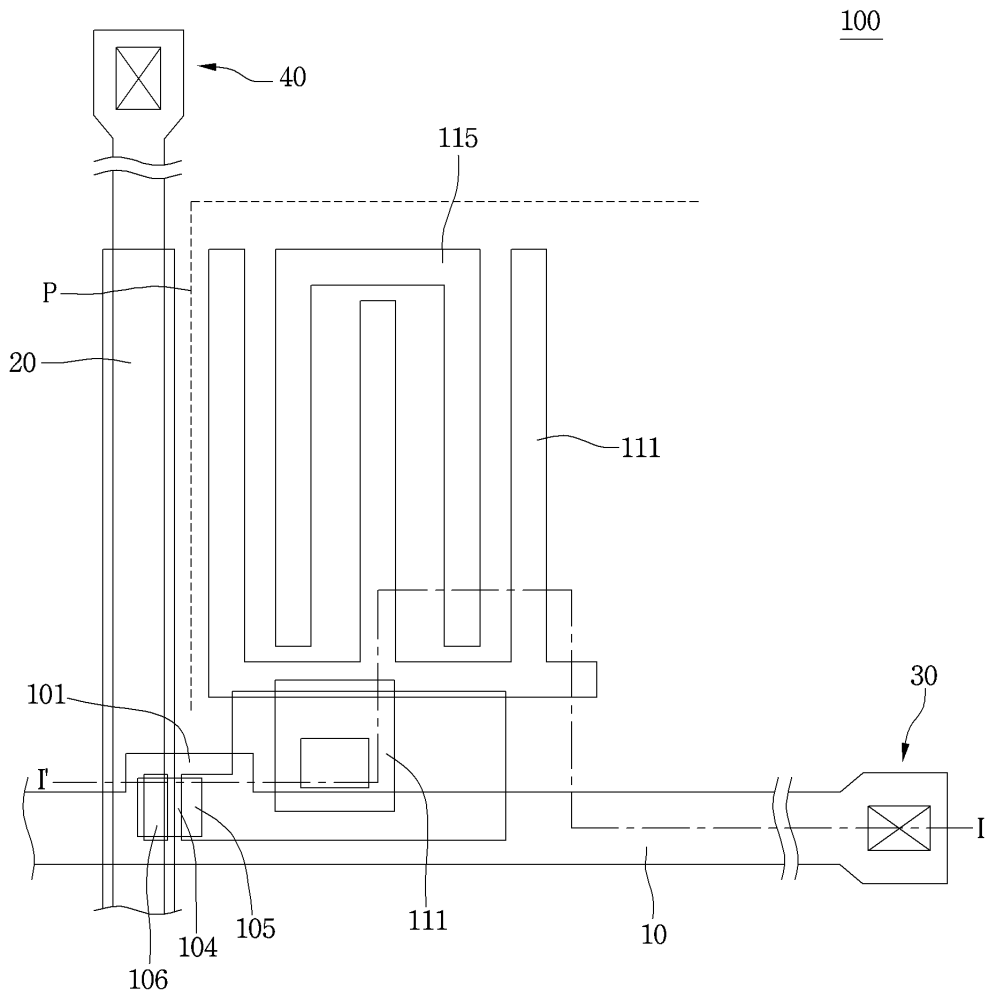
부호의 설명

[0089]

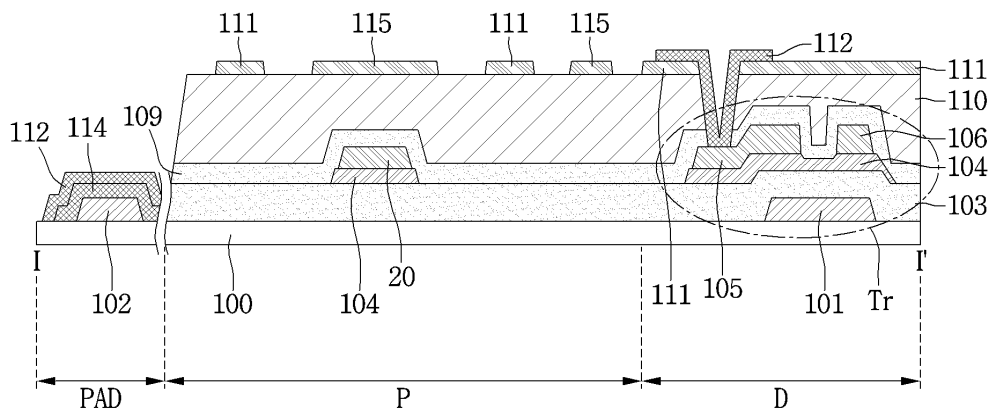
- 10: 게이트 배선 20: 데이터 배선
- 30: 게이트 패드 40: 데이터 패드
- 100: 기판
- 101: 게이트 전극 102: 제 1 게이트 패드 전극
- 103: 게이트 절연막 103a: 게이트 절연막 물질
- 104: 액티브층 104a: 액티브층 물질
- 105: 드레인전극 106: 소스전극
- 109: 보호막 109a: 보호막 물질
- 110: 오버코트층 110a: 오버코트층 물질
- 111: 화소전극 111a: 화소전극 물질
- 112: 컨택전극 113: 제 2 포토레지스트
- 114: 제 2 게이트 패드 전극
- 115: 공통전극 150: 컨택홀
- 200: 제 1 포토레지스트
- 300: 마스크 301: 차단부
- 302: 반투과부 303: 투과부

도면

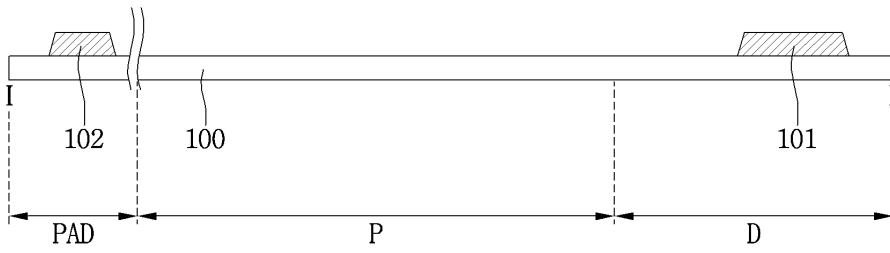
도면1



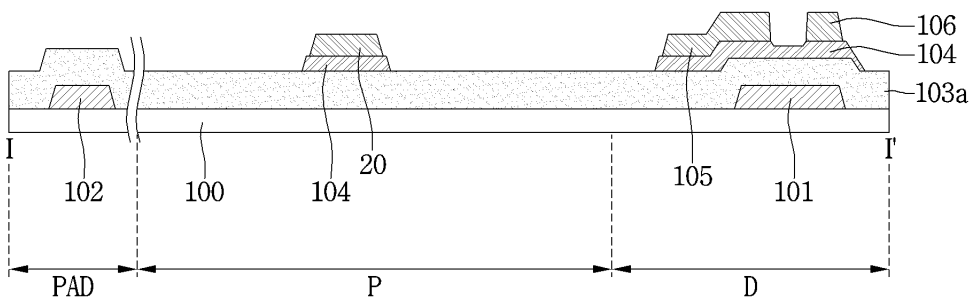
도면2



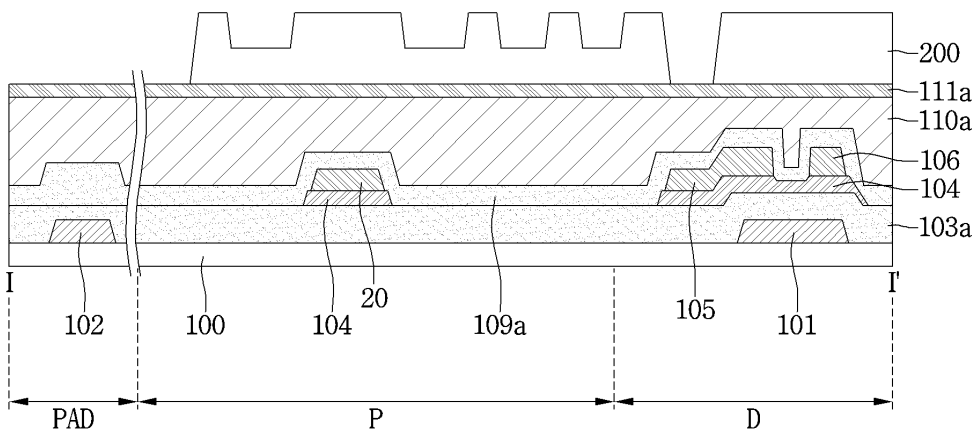
도면3a



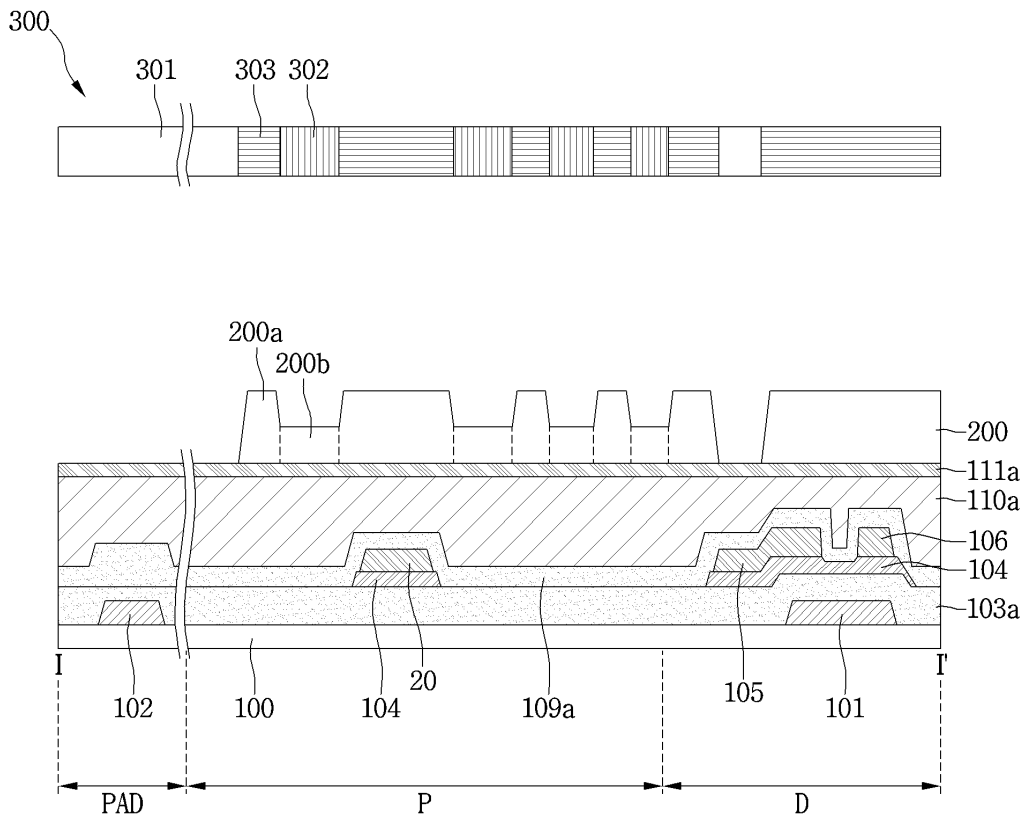
도면3b



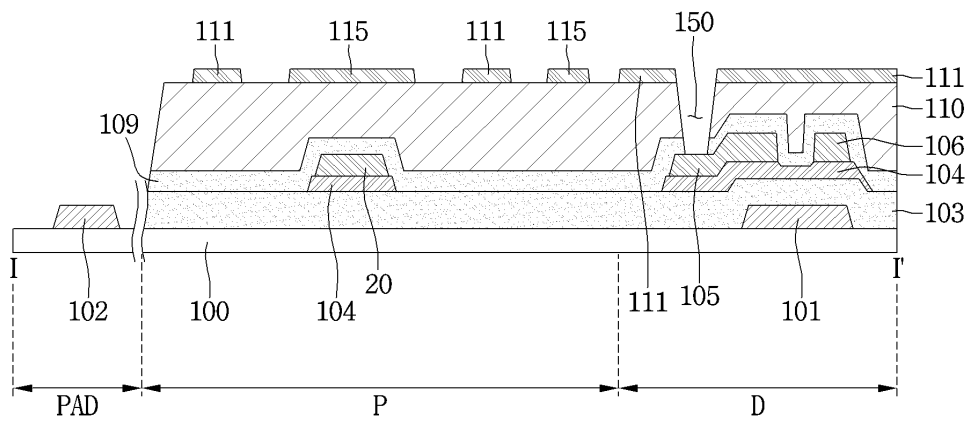
도면3c



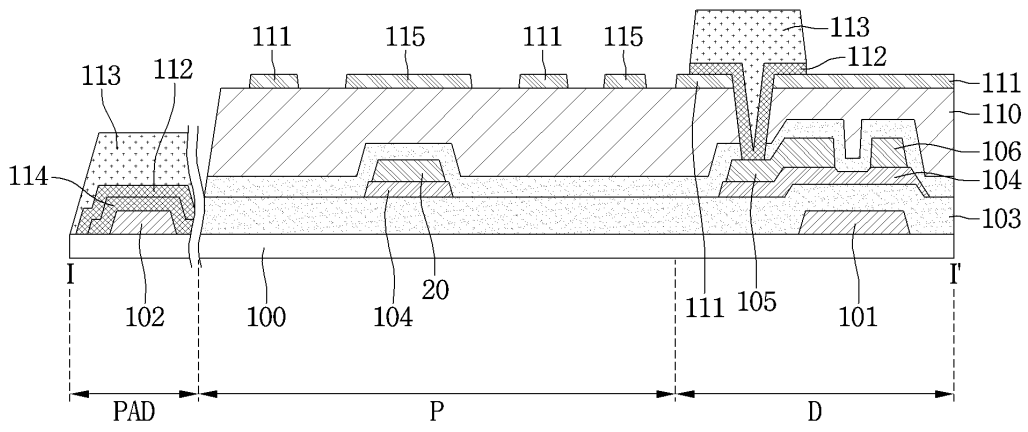
도면3d



도면3e



도면3f



专利名称(译)	标题：液晶显示面板及其制造方法		
公开(公告)号	KR1020160082455A	公开(公告)日	2016-07-08
申请号	KR1020150134049	申请日	2015-09-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWACK HEE YOUNG 곽희영 JO JAE MIN 조재민		
发明人	곽희영 조재민		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1362		
CPC分类号	G02F1/134363 G02F1/1362 G02F1/1368		
优先权	1020140193871 2014-12-30 KR		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示面板及其制造方法。基材;薄膜晶体管设置在基板上;外涂层设置在薄膜晶体管上，外涂层包括接触孔;围绕接触孔的像素电极;并通过接触孔用于电连接的漏极电极与所述薄膜晶体管包括，在保护层被暴露通过被该过程是简单的液晶显示器，降低了生产成本，提高了透气性，包括不想要的材料制成的像素电极的接触电极面板及其制造方法。

