



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월20일  
(11) 등록번호 10-2046764  
(24) 등록일자 2019년11월14일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1339 (2019.01)  
(21) 출원번호 10-2012-0147454  
(22) 출원일자 2012년12월17일  
심사청구일자 2017년12월06일  
(65) 공개번호 10-2014-0078270  
(43) 공개일자 2014년06월25일  
(56) 선행기술조사문헌  
KR1020060087724 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
송아정  
경북 구미시 인동19길 36-11, 103동 509호 (인의동, 구미청구하이츠)  
박중현  
부산 동래구 명서로112번길 81-12, (명장동)  
(뒷면에 계속)  
(74) 대리인  
네이트특허법인

전체 청구항 수 : 총 10 항

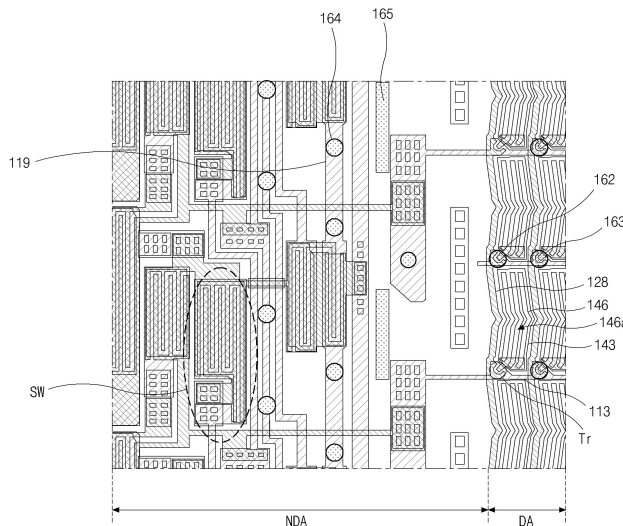
심사관 : 이옥우

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 GIP 타입 액정표시장치는, 서로 마주보며 이격되고, 각각 표시영역 및 상기 표시영역을 둘러싸는 비표시영역이 정의되는 제1 및 제2기판과; 상기 제1기판의 표시영역에 형성되고, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와; 상기 박막트랜지스터에 연결되는 화소전극과; 상기 제1기판의 비표시영역에 형성되고 상기 게이트 배선에 연결되는 스위칭 소자와; 상기 제1기판의 비표시영역에 형성되고 상기 스위칭 소자에 연결되는 신호배선과; 상기 제2기판의 비표시영역에 형성되고, 상기 신호배선에 대응하는 제1 더미 컬럼 스페이스와; 상기 표시영역에 인접한 상기 제2기판의 비표시영역에 형성되고, 상기 제1 더미 컬럼 스페이스보다 넓은 면적을 가지는 제2 더미 컬럼 스페이스를 포함한다.

대표도 - 도5



(72) 발명자

**장주영**

경북 구미시 인동26길 65, 104동 303호 (진평동,  
미래주공아파트)

**김덕원**

경남 김해시 우암로 8, 4동 901호 (외동, 성원아파  
트)

(56) 선행기술조사문헌

KR1020110024603 A\*

KR1020100079089 A

KR1020080001063 A

KR1020070025153 A

KR1020110016242 A

KR1020120039871 A

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

서로 마주보며 이격되고, 각각 표시영역 및 상기 표시영역을 둘러싸는 비표시영역이 정의되는 제1 및 제2기판과;

상기 제1기판의 표시영역에 형성되고, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과;

상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와;

상기 박막트랜지스터에 연결되는 화소전극과;

상기 제1기판의 비표시영역에 형성되고 상기 게이트 배선에 연결되는 스위칭 소자와;

상기 제1기판의 비표시영역에 형성되고 상기 스위칭 소자에 연결되는 신호배선과;

상기 제2기판의 비표시영역에 형성되고, 상기 신호배선에 대응하는 제1 더미 컬럼 스페이서와;

상기 표시영역에 인접한 상기 제2기판의 비표시영역에 형성되고, 상기 제1 더미 컬럼 스페이서보다 넓은 면적을 가지는 제2 더미 컬럼 스페이서

를 포함하는 GIP(gate-in-panel) 타입 액정표시장치.

#### 청구항 2

제1항에 있어서,

상기 신호배선은 상기 게이트 배선과 동일 물질로 동일 층에 형성되는 것을 특징으로 하는 GIP 타입 액정표시장치.

#### 청구항 3

제1항에 있어서,

상기 제2 더미 컬럼 스페이서에 대응하는 상기 제1기판의 비표시영역에는 절연막 만이 위치하는 것을 특징으로 하는 GIP 타입 액정표시장치.

#### 청구항 4

제1항에 있어서,

상기 제1 더미 컬럼 스페이서는 원모양의 평면 구조를 가지며, 상기 제2 더미 컬럼 스페이서는 사각모양의 평면 구조를 가지는 것을 특징으로 하는 GIP 타입 액정표시장치.

#### 청구항 5

제1항에 있어서,

상기 제2기판의 표시영역에 형성되고 서로 다른 박막트랜지스터에 각각 대응하는 제1 및 제2 컬럼 스페이서를 더 포함하고, 상기 제1 컬럼 스페이서의 높이는 상기 제2 컬럼 스페이서의 높이보다 높은 것을 특징으로 하는 GIP 타입 액정표시장치.

**청구항 6**

제5항에 있어서,

상기 제1 및 제 2 더미 컬럼 스페이서의 높이는 상기 제2 컬럼 스페이서의 높이와 동일한 것을 특징으로 하는 GIP 타입 액정표시장치.

**청구항 7**

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 화소전극 상부 전면에 형성되는 보호층과;

상기 보호층 상부 전면에 형성되고, 상기 화소전극에 대응하여 개구부를 가지는 공통전극

을 더 포함하는 것을 특징으로 하는 GIP 타입 액정표시장치.

**청구항 8**

제7항에 있어서,

상기 제2기판의 표시영역에 형성되고, 상기 게이트배선과 데이터배선 및 박막트랜지스터에 대응하는 블랙매트릭스와;

상기 블랙매트릭스 하부에 형성되고, 적, 녹, 청의 컬러필터 패턴을 포함하는 컬러필터층

을 더 포함하는 것을 특징으로 하는 GIP 타입 액정표시장치.

**청구항 9**

제1항에 있어서,

상기 제1 및 제2 기판 사이의 상기 비표시영역에 셀패턴이 형성되고, 상기 제1 및 제2 더미 컬럼 스페이서는 상기 셀패턴과 상기 표시영역 사이에 위치하는 GIP 타입 액정표시장치.

**청구항 10**

제1항에 있어서,

상기 제1 기판의 최상층으로부터 상기 제1 더미 컬럼 스페이서까지의 거리는 상기 제1 기판의 최상층으로부터 상기 제2 더미 컬럼 스페이서까지의 거리보다 작은 GIP 타입 액정표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 게이트 구동부를 어레이기판에 형성한 게이트-인-패널 (gate in panel: GIP) 타입 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 액정표시장치는 콘트라스트 비(contrast ratio)가 크고 동화상 표시에 적합하며 소비전력이 적다는 특징을 보여 노트북, 모니터, TV 등의 다양한 분야에서 활용되고 있다. 액정은 분자구조가 가늘고 길며 배열에 방향성을 갖는 광학적 이방성과, 전기장 내에 놓일 경우 그 크기에 따라 분자배열 방향이 변화되는 분극성질을 띠며, 액정

표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 화상을 구현한다.

- [0003] 일반적으로 액정표시장치는 각각 전극이 형성되어 있는 두 기판을 두 전극이 서로 마주보도록 배치하고, 상기 두 전극 사이에 액정을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직임으로써, 이에 따라 달라지는 빛의 투과율에 의해 영상을 표현하는 장치이다.
- [0004] 이러한 액정표시장치는 합착된 두 기판과 그 사이의 액정층으로 이루어지는 액정패널과, 액정패널 하부에 배치되어 빛을 공급하는 백라이트 유니트와, 액정패널 외곽에 배치되어 액정패널을 구동하기 위한 다수의 신호 및 전원을 공급하는 구동부로 이루어진다.
- [0005] 통상적으로 구동부는 인쇄회로기판(printed circuit board: PCB)에 구현되는데, 액정패널의 게이트 배선과 연결되는 게이트 구동부와 데이터 배선과 연결되는 데이터 구동부로 나뉘어 게이트용 인쇄회로기판(gate PCB) 및 데이터용 인쇄회로기판(data PCB)으로 구현될 수 있으며, 이들 게이트용 인쇄회로기판 및 데이터용 인쇄회로기판은, 액정패널의 일 측에 형성되며 게이트 배선과 연결되는 게이트 패드와, 상기 게이트 패드가 형성된 일 측과 직교하는 타 측에 형성되며 데이터 배선과 연결된 데이터 패드 각각에 테이프 캐리어 패키지(tape carrier package: TCP)와 같은 형태로 실장될 수 있다.
- [0006] 그러나, 게이트용 인쇄회로기판 및 데이터용 인쇄회로기판을 각각 게이트 패드 및 데이터 패드에 실장하는 경우, 부피 및 무게가 증가하는 단점이 있다.
- [0007] 이에 따라, 게이트구동용 인쇄회로기판에 형성되는 일부 게이트 구동부 중 쉬프트 레지스터(shift register)와 같은 일부 회로를 액정패널의 어레이기판에 직접 형성하고, 게이트 구동부의 나머지 회로와 데이터 구동부의 회로를 하나의 인쇄회로기판으로 구현하여 액정패널의 일 측에만 연결하는 게이트-인-패널(gate in panel: GIP) 타입의 액정표시장치가 제안되었다.
- [0008] 도 1은 종래의 GIP 타입 액정표시장치의 평면도이며, 도 2는 종래의 GIP 타입 액정표시장치의 단면도이다.
- [0009] 도 1 및 도 2에 도시한 바와 같이, GIP 타입 액정표시장치(10)는 하부의 제1기판(20)과, 상부의 제2기판(50), 그리고 두 기판(20, 50) 사이에 위치하는 액정층(70)을 포함한다.
- [0010] 이때, GIP 타입 액정표시장치(10)는 영상이 표시되는 표시영역(DA)과, 표시영역(DA)을 둘러싸는 비표시영역(NDA)으로 이루어진다.
- [0011] 제1기판(20) 상부의 표시영역(DA)에는, 서로 교차하여 화소영역(P)을 정의하는 게이트 배선(13) 및 데이터 배선(28)과, 게이트 배선 및 데이터 배선(13, 28)에 연결되는 박막트랜지스터(Tr)와, 박막트랜지스터(Tr)에 연결되는 화소전극(43)이 형성된다.
- [0012] 즉, 제1기판(20) 상부에 게이트 전극(15)이 형성되고, 게이트 전극(15) 상부에 게이트절연층(21)이 형성되고, 게이트 전극(15)에 대응되는 게이트절연층(21) 상부에 액티브층(23)과 오믹콘택층(24)이 차례로 형성되고, 오믹콘택층(24) 상부에 서로 이격되는 소스 및 드레인 전극(30, 32)이 형성되어 박막트랜지스터(Tr)를 구성한다. 박막트랜지스터(Tr) 상부에 드레인 전극(32)을 노출하는 드레인 콘택홀(41)을 갖는 보호층(38)이 형성되고, 보호층(38) 상부에 드레인 콘택홀(41)을 통하여 드레인 전극(32)과 접촉하는 화소전극(43)이 형성된다.
- [0013] 도 2에서, 하나의 화소영역(P)에만 박막트랜지스터(Tr)가 형성된 것으로 도시되어 있으나, 이는 편의를 위한 것으로, 실제로는 모든 화소영역(P)에 박막트랜지스터(Tr)가 각각 형성된다.
- [0014] 그리고, 제1기판(20)과 마주보는 제2기판(50)의 표시영역(DA)에는, 게이트 배선(13)과 데이터 배선(28) 및 박막트랜지스터(Tr)에 대응되는 제1블랙매트릭스(53a)가 형성되고, 제1블랙매트릭스(53a) 하부와 제1블랙매트릭스(53a)를 통하여 노출된 제2기판(50) 하부에는 컬러필터층(58)이 형성되고, 컬러필터층(58) 하부 전면에는 오버코트층(59)이 형성되며, 오버코트층(59) 하부 전면에는 투명도전성 물질의 공통전극(60)이 형성된다.
- [0015] 컬러필터층(58)은, 각 화소영역(P)마다 순차 반복하여 형성되는 적, 녹, 청색 컬러필터 패턴(58a, 58b, 58c)을 포함한다.
- [0016] 제1블랙매트릭스(53a)와 대응하는 공통전극(60) 하부에는 셀 갭 유지를 위한 갭 컬럼 스페이서(62)가 형성되며, 갭 컬럼 스페이서(62)는 박막트랜지스터(Tr) 상부의 보호층(38)과 접촉한다.
- [0017] 한편, 제1기판(20) 상부의 비표시영역(NDA)에는, 다수의 회로블럭(48)과, 다수의 제1배선(18)과, 다수의 제2배선(35), 다수의 데이터패드(46), 그리고 다수의 게이트패드(47)가 형성된다.

- [0018] 다수의 회로블럭(48) 각각은 쉬프트 레지스터(shift register)의 하나의 단(stage)을 구성하고 신호배선(19)을 통해 연결되는 다수의 스위칭 소자(SW) 및 커패시터(도시하지 않음) 등의 조합일 수 있으며, 각각 다수의 제2배선(35) 및 표시영역(DA)의 게이트 배선(13)에 연결된다.
- [0019] 신호배선(19) 상부 전면에는 게이트절연층(21)이 형성되고, 게이트절연층(21) 상부 전면에는 보호층(38)이 형성되며, 스위칭 소자(SW)는 표시영역(DA)의 박막트랜지스터(Tr)와 동일한 단면 구조를 가질 수 있다.
- [0020] 다수의 데이터패드(46) 및 다수의 게이트패드(47)는 비표시영역(NDA)의 일 가장자리에 형성되는데, 다수의 데이터패드(46)는 각각 표시영역(DA)의 데이터 배선(28)에 연결되어 외부의 인쇄회로기판(미도시)으로부터 입력 받은 데이터신호 등을 전달하고, 다수의 게이트패드(47)는 비표시영역(NDA)의 다수의 제1배선(18)에 각각 연결되어 외부로부터 입력 받은 스타트신호, 클럭신호 등을 전달한다.
- [0021] 다수의 제1배선(18)과 다수의 제2배선(35)은 중첩하며, 연결패턴(44)을 통하여 연결된다.
- [0022] 그리고, 제2기판(50)의 비표시영역(NDA)에는 빛샘을 방지하는 제2블랙매트릭스(53b)와 오버코트층(59)이 차례로 형성된다. 여기서, 오버코트층(59) 하부에 투명도전성 물질로 이루어지는 공통전극이 더 형성될 수도 있다.
- [0023] 또한, 비표시영역(NDA)의 오버코트층(59) 하부에는 놀림 방지를 위한 더미 컬럼 스페이서(64)가 형성되며, 더미 컬럼 스페이서(64)는 스위칭 소자(SW)에 대응하여 위치한다. 제2기판(50)의 비표시영역(NDA)에는 컬러필터층이 형성되지 않으며, 더미 컬럼 스페이서(64)는 갭 컬럼 스페이서(62) 보다 낮은 높이를 가지므로, 더미 컬럼 스페이서(64)는 스위칭 소자(SW) 상부의 보호층(38)과 접촉되지 않고 이격되어 위치한다.
- [0024] 이러한 제1기판(20)과 제2기판(50)에 각 구성요소를 형성하여 어레이 기판과 컬러필터 기판이 완성된 후, 두 기판을 가압, 가열에 의하여 합착하고 두 기판 사이에 액정층(70)을 형성함으로써 GIP 타입 액정표시장치(10)가 완성되는데, 이를 위하여 제1기판(20)과 제2기판(50) 사이의 비표시영역(NDA)에는 셀패턴(80)이 형성된다.
- [0025] 한편, 도시하지 않았지만, 제1기판(20)과 액정층(70) 사이 및 제2기판(50)과 액정층(70) 사이에는 각각 배향막이 형성된다.
- [0026] 그런데, 이러한 종래의 GIP 타입 액정표시장치에서는, 블랙 화면 구현시 게이트 구동부가 형성된 비표시영역(NDA)과 인접하여 다수의 휘점 무리가 발생하며, 시간이 지남에 따라 표시영역 내에서도 휘점이 발생한다. 이에 대하여 도 3과 도 4a 및 도 4b를 참조하여 설명한다.
- [0027] 도 3은 비표시영역에 외력이 가해질 경우의 종래의 GIP 타입 액정표시장치를 개략적으로 도시한 단면도이다.
- [0028] 도 3에 도시한 바와 같이, 종래의 GIP 타입 액정표시장치에 외력이 가해질 경우, 상부의 제2기판(50)은 하부의 제1기판(10) 쪽으로 이동하여 휘게 된다. 이때 제2기판(50) 상의 더미 컬럼 스페이서(64)도 함께 이동하며, 더미 컬럼 스페이서(64)는 스위칭 소자(SW) 상의 보호층(38)과 접촉하여 지지됨으로써 제2기판(50)이 외력에 의해 눌러 손상되는 것을 방지한다.
- [0029] 그러나, 더미 컬럼 스페이서(64)가 스위칭 소자(SW) 상의 보호층(38)과 접촉하는 과정에서 이물이 발생하게 된다.
- [0030] 이러한 이물의 성분을 적외선 분광법(Fourier transform infrared spectroscopy: FT-IR)을 이용하여 분석한 결과를 도 4a에 도시하며, 폴리이미드(polyimide)의 FT-IR 스펙트럼을 도 4b에 도시한다. 도 4a와 도 4b로부터, 이물은 폴리이미드인 것을 확인할 수 있다.
- [0031] 폴리이미드는 배향막의 재료로 사용되는데, 실제로 보호층(38) 상에는 배향막이 형성되며, 외력이 가해졌을 때, 더미 컬럼 스페이서(64)는 제1기판(20)의 스위칭 소자(SW) 상에 형성된 배향막과 접촉하게 된다. 그런데, 더미 컬럼 스페이서(64)의 면적이 작아 스위칭 소자(SW) 상부의 배향막과 접촉하는 과정에서, 더미 컬럼 스페이서(64)에 의해 배향막 표면이 갈리게 되어 이물이 발생하게 된다.
- [0032] 이러한 이물은 액정층(도 2의 70)의 액정분자 배열을 달라지게 하여, 블랙 화면 구현시 게이트 구동부가 형성된 비표시영역(NDA)과 인접하여 다수의 휘점 무리가 발생하며, 시간이 지남에 따라 이물이 표시영역 내로 이동하게 되어 표시영역 내에서도 휘점이 발생한다.

**발명의 내용**

**해결하려는 과제**

[0033] 상기한 문제점을 해결하기 위해, 본 발명은 컬럼 스페이스에 의한 휘점 불량을 방지할 수 있는 GIP 타입 액정표시장치를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0034] 상기의 목적을 달성하기 위하여, 본 발명은 서로 마주보며 이격되고, 각각 표시영역 및 상기 표시영역을 둘러싸는 비표시영역이 정의되는 제1 및 제2기판과; 상기 제1기판의 표시영역에 형성되고, 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와; 상기 박막트랜지스터에 연결되는 화소전극과; 상기 제1기판의 비표시영역에 형성되고 상기 게이트 배선에 연결되는 스위칭 소자와; 상기 제1기판의 비표시영역에 형성되고 상기 스위칭 소자에 연결되는 신호배선과; 상기 제2기판의 비표시영역에 형성되고, 상기 신호배선에 대응하는 제1 더미 컬럼 스페이스와; 상기 표시영역에 인접한 상기 제2기판의 비표시영역에 형성되고, 상기 제1 더미 컬럼 스페이스보다 넓은 면적을 가지는 제2 더미 컬럼 스페이스를 포함하는 GIP 타입 액정표시장치를 제공한다.

[0035] 상기 신호배선은 상기 게이트 배선과 동일 물질로 동일 층에 형성된다.

[0036] 상기 제2 더미 컬럼 스페이스에 대응하는 상기 제1기판의 비표시영역에는 절연막 만이 위치한다.

[0037] 상기 제1 더미 컬럼 스페이스는 원모양의 평면 구조를 가지며, 상기 제2 더미 컬럼 스페이스는 사각모양의 평면 구조를 가진다.

[0038] 본 발명의 GIP 타입 액정표시장치는 상기 제2기판의 표시영역에 형성되고 서로 다른 박막트랜지스터에 각각 대응하는 제1 및 제2 컬럼 스페이스를 더 포함하고, 상기 제1 컬럼 스페이스의 높이는 상기 제2 컬럼 스페이스의 높이보다 높다.

[0039] 상기 제1 및 제2 더미 컬럼 스페이스의 높이는 상기 제2 컬럼 스페이스의 높이와 동일하다.

[0040] 본 발명의 GIP 타입 액정표시장치는, 상기 화소전극 상부 전면에 형성되는 보호층과; 상기 보호층 상부 전면에 형성되고, 상기 화소전극에 대응하여 개구부를 가지는 공통전극을 더 포함한다.

[0041] 또한, 본 발명의 GIP 타입 액정표시장치는, 상기 제2기판의 표시영역에 형성되고, 상기 게이트배선과 데이터배선 및 박막트랜지스터에 대응하는 블랙매트릭스와; 상기 블랙매트릭스 하부에 형성되고, 적, 녹, 청의 컬러필터 패턴을 포함하는 컬러필터층을 더 포함한다.

**발명의 효과**

[0042] 본 발명에 따른 GIP 타입 액정표시장치에서는, 비교적 낮은 단차를 갖는 비표시영역의 신호배선과 대응하여 제1 더미 컬럼 스페이스를 형성하고, 표시영역과 인접하여 상대적으로 큰 면적을 갖는 제2 더미 컬럼 스페이스를 형성하여, 배향막 갈림에 의한 이물 발생을 막을 수 있으며, 이에 따라 휘점 불량을 방지할 수 있다.

**도면의 간단한 설명**

[0043] 도 1은 종래의 GIP 타입 액정표시장치의 평면도이다.

도 2는 종래의 GIP 타입 액정표시장치의 단면도이다.

도 3은 비표시영역에 외력이 가해질 경우의 종래의 GIP 타입 액정표시장치를 개략적으로 도시한 단면도이다.

도 4a는 종래의 GIP 타입 액정표시장치에서 발생한 이물의 FT-IR 스펙트럼을 도시한 도면이고, 도 4b는 폴리이미드의 FT-IR 스펙트럼을 도시한 도면이다.

도 5는 본 발명의 실시예에 따른 GIP 타입 액정표시장치의 평면도이다.

도 6은 본 발명의 실시예에 따른 GIP 타입 액정표시장치의 표시영역을 도시한 단면도이다.

도 7은 본 발명의 실시예에 따른 GIP 타입 액정표시장치의 비표시영역을 도시한 단면도이다.

도 8은 비표시영역에 외력이 가해질 경우의 본 발명의 실시예에 따른 GIP 타입 액정표시장치를 개략적으로 도시한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0044] 이하, 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.
- [0045] 도 5는 본 발명의 실시예에 따른 GIP 타입 액정표시장치의 평면도이고, 도 6은 본 발명의 실시예에 따른 GIP 타입 액정표시장치의 표시영역을 도시한 단면도이며, 도 7은 본 발명의 실시예에 따른 GIP 타입 액정표시장치의 비표시영역을 도시한 단면도이다.
- [0046] 도 5와 도 6 및 도 7에 도시한 바와 같이, 본 발명에 따른 GIP 타입 액정표시장치는 하부의 제1기판(120)과, 상부의 제2기판(150), 그리고 제1 및 제2기판(120, 150) 사이에 형성된 액정층(170)을 포함한다.
- [0047] 이때, GIP 타입 액정표시장치는 영상이 표시되는 표시영역(DA)과, 표시영역(DA)을 둘러싸는 비표시영역(NDA)으로 이루어진다.
- [0048] 제1기판(120) 상부의 표시영역(DA)에는, 서로 교차하여 화소영역(P)을 정의하는 게이트 배선(113) 및 데이터 배선(128)과, 게이트 배선 및 데이터 배선(113, 128)에 연결되는 스위칭 소자인 박막트랜지스터(Tr), 박막트랜지스터(Tr)에 연결되는 화소전극(143), 그리고 화소전극(143) 상부의 공통전극(146)이 형성된다.
- [0049] 즉, 제1기판(120) 상부에 게이트 전극(115)이 형성되고, 게이트 전극(115) 상부에 게이트절연층(121)이 형성되고, 게이트 전극(115)에 대응되는 게이트절연층(121) 상부에 액티브층(123)과 오믹콘택층(124)이 차례로 형성되고, 오믹콘택층(124) 상부에 서로 이격되는 소스 및 드레인 전극(130, 132)이 형성되어 박막트랜지스터(Tr)를 구성한다. 박막트랜지스터(Tr) 상부에 드레인 전극(132)을 노출하는 드레인 콘택홀(141)을 갖는 제1보호층(138)이 형성되고, 제1보호층(138) 상부에 드레인 콘택홀(141)을 통하여 드레인 전극(132)과 접촉하는 화소전극(143)이 형성된다. 화소전극(143) 상부의 전면에 제2보호층(144)이 형성되고, 제2보호층(144) 상부에 공통전극(146)이 형성된다. 공통전극(146)은 실질적으로 제1기판(120) 전면에 형성되며, 화소전극(143) 상부에 개구부(146a)를 가진다.
- [0050] 제1기판(120)과 마주보는 제2기판(150)의 표시영역(DA)에는, 제1기판(120)의 게이트 배선(113), 데이터 배선(128) 및 박막트랜지스터(Tr)에 대응되는 제1블랙매트릭스(153a)가 형성되고, 제1블랙매트릭스(153a) 하부와 제1블랙매트릭스(153a)를 통하여 노출된 제2기판(150) 하부에는 컬러필터층(158)이 형성되고, 컬러필터층(158) 하부 전면에는 오버코트층(159)이 형성된다.
- [0051] 컬러필터층(158)은, 각 화소영역(P)마다 순차 반복하여 형성되는 적, 녹, 청색 컬러필터 패턴(158a, 158b, 158c)을 포함한다.
- [0052] 제1블랙매트릭스(153a)와 대응하는 오버코트층(159) 하부에는 셀 갭 유지를 위한 제1 컬럼 스페이서(162)와 놀림 방지를 위한 제2 컬럼 스페이서(163)가 형성된다. 제1 컬럼 스페이서(162)와 제2 컬럼 스페이서(163)는 각각 서로 다른 박막트랜지스터(Tr)에 대응하여 위치한다. 제1 컬럼 스페이서(162)의 높이는 제2 컬럼 스페이서(163)의 높이보다 높아, 제1 컬럼 스페이서(162)는 박막트랜지스터(Tr) 상부의 제2보호층(144)과 접촉하고, 제2 컬럼 스페이서(163)는 박막트랜지스터(Tr) 상부의 제2보호층(144)과 이격된다.
- [0053] 실제로 제2보호층(144) 상에는 배향막(도시하지 않음)이 형성되며, 제1 컬럼 스페이서(162)는 제2보호층(144) 상부의 배향막과 접촉한다.
- [0054] 한편, 제1기판(120) 상부의 비표시영역(NDA)에는, 다수의 회로블럭(도시하지 않음)과, 다수의 제1배선(도시하지 않음)과, 다수의 제2배선(도시하지 않음)과, 다수의 데이터패드(도시하지 않음)와, 다수의 게이트패드(도시하지 않음)가 형성된다.
- [0055] 다수의 회로블럭 각각은 쉬프트 레지스터(shift register)의 하나의 단(stage)을 구성하고 신호배선(119)를 통해 연결되는 다수의 스위칭 소자(SW) 및 커패시터(도시하지 않음) 등의 조합일 수 있으며, 각각 다수의 제2배선 및 표시영역(DA)의 게이트 배선(113)에 연결되어 게이트 신호를 공급한다.
- [0056] 이러한 다수의 회로블럭은 제1기판(120)의 좌우측에 각각 형성되어, 홀수 번째 게이트배선(113)은 좌측의 회로블럭과 연결되고, 짝수 번째 게이트배선(113)은 우측의 회로블럭과 연결될 수 있다. 반대로, 짝수 번째 게이트

배선(113)이 좌측의 회로블럭과 연결되고, 홀수 번째 게이트배선(113)이 우측의 회로블럭과 연결될 수도 있다.

- [0057] 신호배선(119)은 표시영역(DA)의 게이트 배선(113)과 동일 물질로 동일 층에 형성되어, 신호배선(119) 상부 전면에는 게이트절연층(121)이 형성되고, 게이트절연층(121) 상부 전면에는 제1보호층(138)과 제2보호층(144)이 형성된다.
- [0058] 스위칭 소자(SW)는 표시영역(DA)의 박막트랜지스터(Tr)와 동일한 단면 구조를 가질 수 있으며, 스위칭 소자(SW)는 제1보호층(138)과 제2보호층(144)으로 덮여 있다.
- [0059] 다수의 데이터패드 및 다수의 게이트패드는 비표시영역(NDA)의 일 가장자리에 형성되며, 다수의 데이터패드는 각각 표시영역(DA)의 데이터 배선(128)에 연결되어 외부의 인쇄회로기판(도시하지 않음)으로부터 입력 받은 데이터신호 등을 전달하고, 다수의 게이트패드는 비표시영역(NDA)의 다수의 제1배선에 각각 연결되어 외부의 인쇄회로기판과 같은 구동회로부터 입력 받은 스타트(start)신호, 클럭(clock)신호와 같은 다수의 구동신호를 전달한다.
- [0060] 다수의 제2배선과 교차하는 다수의 제1배선은 다수의 게이트패드 및 다수의 제2배선에 연결되어 다수의 구동신호를 다수의 회로블럭에 전달한다.
- [0061] 그리고, 제2기관(150)의 비표시영역(NDA)에는 빛샘을 방지하는 제2블랙매트릭스(153b)와 오버코트층(159)이 차례로 형성된다.
- [0062] 또한, 비표시영역(NDA)의 오버코트층(159) 하부에는 제1 더미 컬럼 스페이스(164)와 제2 더미 컬럼 스페이스(165)가 형성된다.
- [0063] 여기서, 제1 더미 컬럼 스페이스(164)는 제1기관(120)의 신호배선(119) 상부에 위치하여, 제1 더미 컬럼 스페이스(164)와 대응하는 제1기관(120)의 과비표시영역(NDA) 상에는 신호배선(119)과, 게이트절연층(121), 제1보호층(138), 그리고 제2보호층(144)이 위치한다. 한편, 제2 더미 컬럼 스페이스(165)는 댐 형태로 표시영역(DA)과 인접하여 위치하며, 제2 더미 컬럼 스페이스(165)와 대응하는 제1기관(120)의 비표시영역(NDA) 상에는 게이트절연층(121)과 제1보호층(138) 및 제2보호층(144)의 절연막 만이 위치한다.
- [0064] 제1 및 제2 더미 컬럼 스페이스(164, 165)는 표시영역(DA)의 제2 컬럼 스페이스(163)와 동일한 높이를 가져, 제1 및 제2 더미 컬럼 스페이스(164, 165)는 제1기관(120) 상의 제2보호층(144)과 이격되어 있다.
- [0065] 제1 더미 컬럼 스페이스(164)는 원모양의 평면 구조를 가지며, 제2 더미 컬럼 스페이스(165)는 사각모양의 평면 구조를 가진다. 제2 더미 컬럼 스페이스(165)의 면적은 제1 더미 컬럼 스페이스(164)의 면적보다 크다.
- [0066] 제1기관(120)과 제2기관(150)이 완성된 후, 제1 및 제2기관(120, 150)을 가압, 가열에 의하여 함착하고 제1 및 제2기관(120, 150) 사이에 액정층(170)을 형성함으로써 GIP타입 액정표시장치가 완성되는데, 이를 위하여 제1 및 제2기관(120, 150) 사이의 비표시영역(NDA)에는 다수의 제1배선 및 다수의 제2배선과 중첩하는 쉘패턴(도시하지 않음)이 형성된다. 이때, 제2 더미 컬럼 스페이스(165)는 회로블럭의 신호배선(119) 상부에 위치하는 제1 더미 컬럼 스페이스(164)와 표시영역(DA) 사이에 위치하고, 제1 및 제2 더미 컬럼 스페이스(164, 165)는 쉘패턴과 표시영역(DA) 사이에 위치한다.
- [0067] 도 8은 비표시영역에 외력이 가해질 경우의 본 발명의 실시예에 따른 GIP 타입 액정표시장치를 개략적으로 도시한 단면도이다.
- [0068] 도 8에 도시한 바와 같이, 본 발명의 실시예에 따른 GIP 타입 액정표시장치에 외력이 가해질 경우, 상부의 제2기관(150)은 하부의 제1기관(110) 쪽으로 이동하여 휘게 되고, 제2기관(150) 하부의 제1 및 제2 더미 컬럼 스페이스(164, 165)도 함께 이동하게 되는데, 제2 더미 컬럼 스페이스(165)가 제2보호층(144)과 접촉하여 지지됨으로써 제2기관(150)이 외력에 의해 눌러 손상되는 것을 방지한다. 실제로, 제2보호층(144) 상부에는 배향막(도시하지 않음)이 형성되어, 외력이 가해질 경우 제2 컬럼 스페이스(165)는 배향막과 접촉하게 되는데, 제2 컬럼 스페이스(165)는 보다 넓은 면적을 가지고 있어 배향막과 접촉하더라도 배향막 갈림 현상이 나타나지 않는다.
- [0069] 이때, 제1 더미 컬럼 스페이스(164)는 스위칭 소자(SW)보다 상대적으로 낮은 단차를 가지는 신호배선(119)과 대응하여 위치하므로, 외력이 가해지더라도 제1기관(120)의 제2보호층(144), 보다 상세하게는, 배향막과 접촉하지 않아 배향막의 갈림을 방지할 수 있다.
- [0070] 한편, 제1 더미 컬럼 스페이스(164)가 제1기관(120)의 배향막과 접촉하게 되더라도, 상대적으로 넓은 면적을 가

지고 배향막과 접촉하는 제2 더미 컬럼 스페이서(165)에 의해 제1 더미 컬럼 스페이서(164)의 수평방향으로의 움직임이 차단되므로, 배향막의 갈림을 방지할 수 있다.

[0071] 따라서, 이물의 발생을 방지할 수 있으며, 이에 따라 블랙 화면 구현시 휘점 발생을 방지할 수 있다.

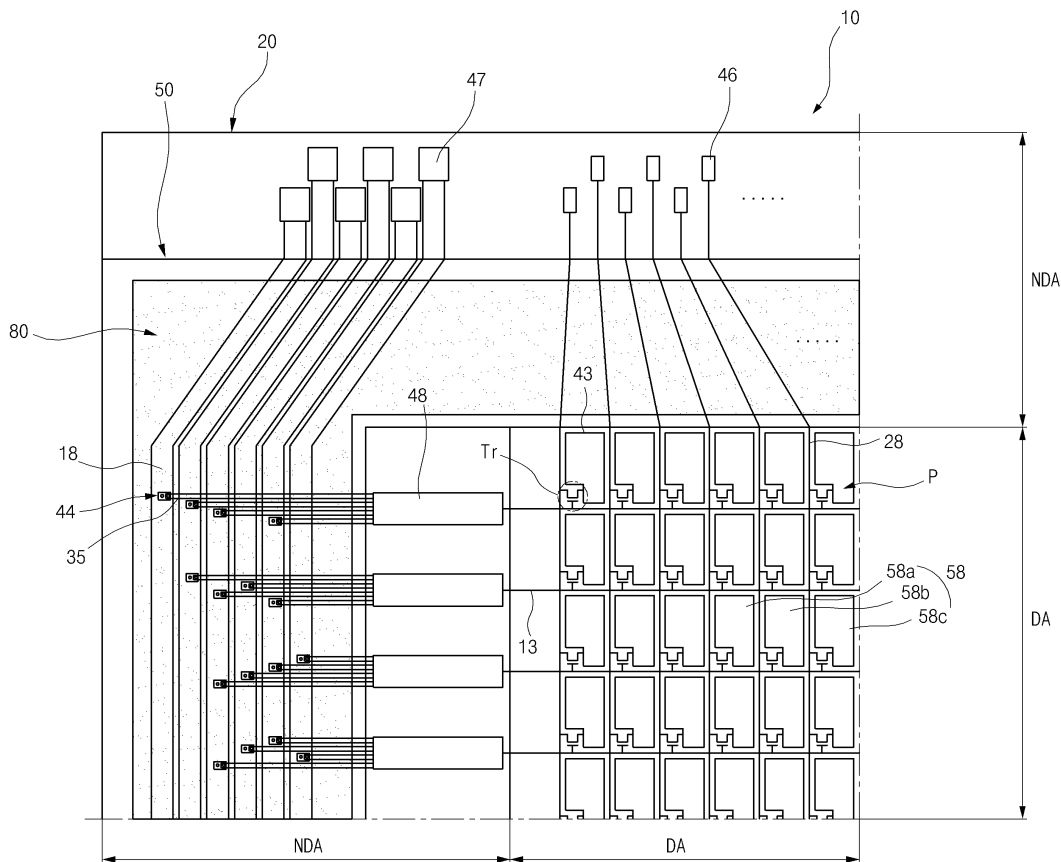
[0072] 본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

**부호의 설명**

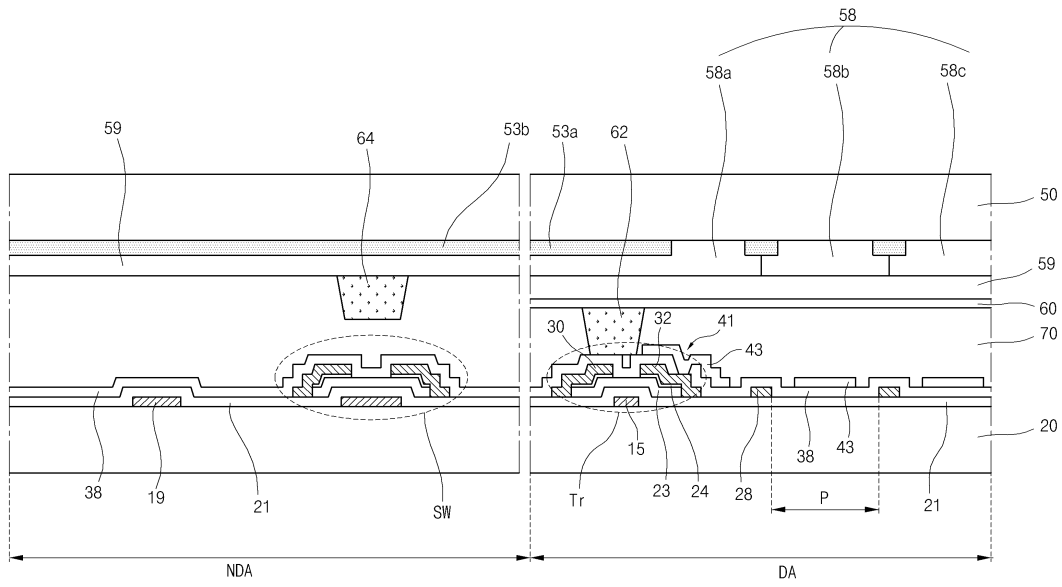
- |        |                    |                    |
|--------|--------------------|--------------------|
| [0073] | 113: 게이트배선         | 128: 데이터배선         |
|        | 119: 신호배선          | 143: 화소전극          |
|        | 146: 공통전극          | 146a: 개구부          |
|        | 162: 제1 컬럼 스페이서    | 163: 제2 컬럼 스페이서    |
|        | 164: 제1 더미 컬럼 스페이서 | 165: 제2 더미 컬럼 스페이서 |
|        | Tr: 박막트랜지스터        | SW: 스위칭 소자         |
|        | DA: 표시영역           | NDA: 비표시영역         |

**도면**

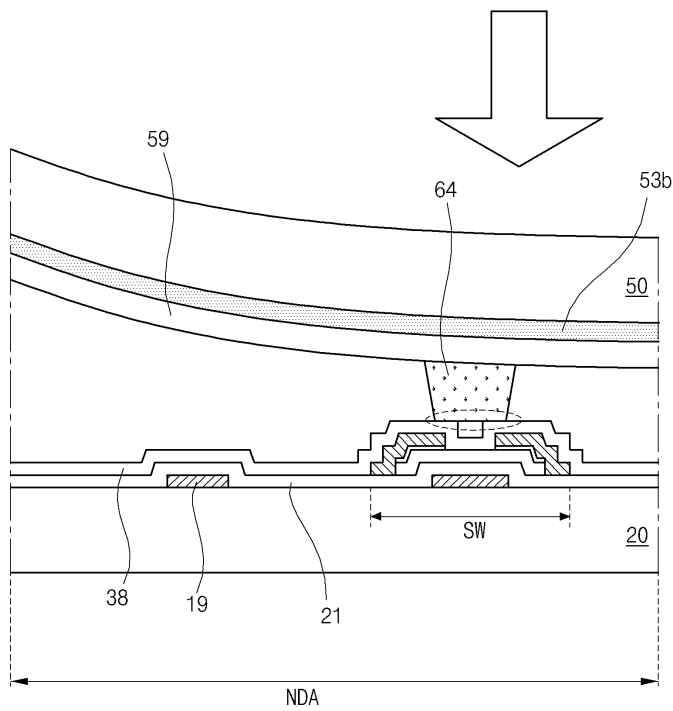
**도면1**



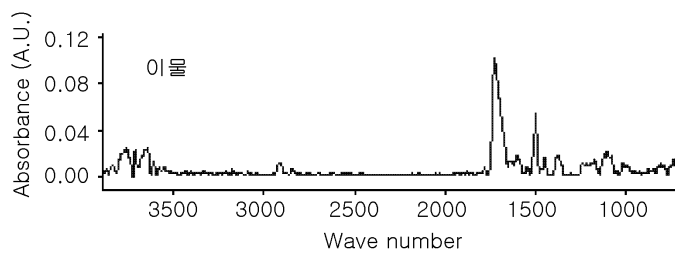
도면2



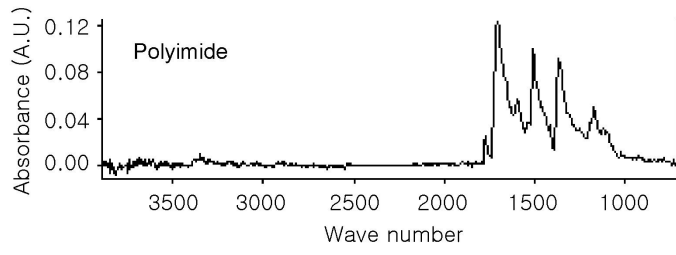
도면3



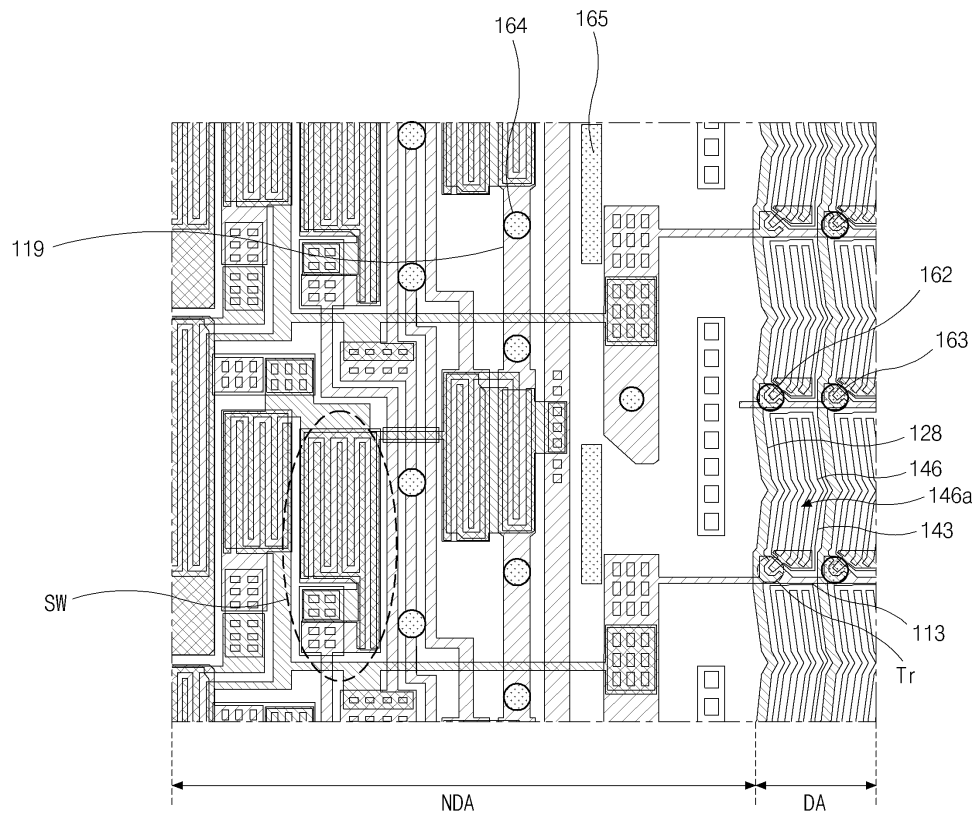
도면4a



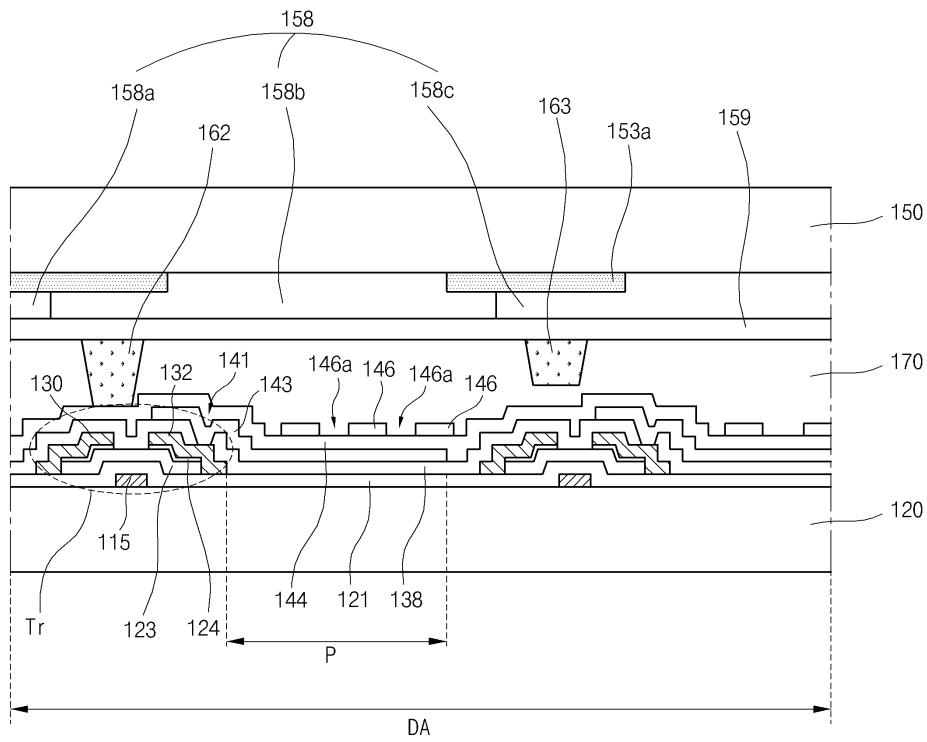
도면4b



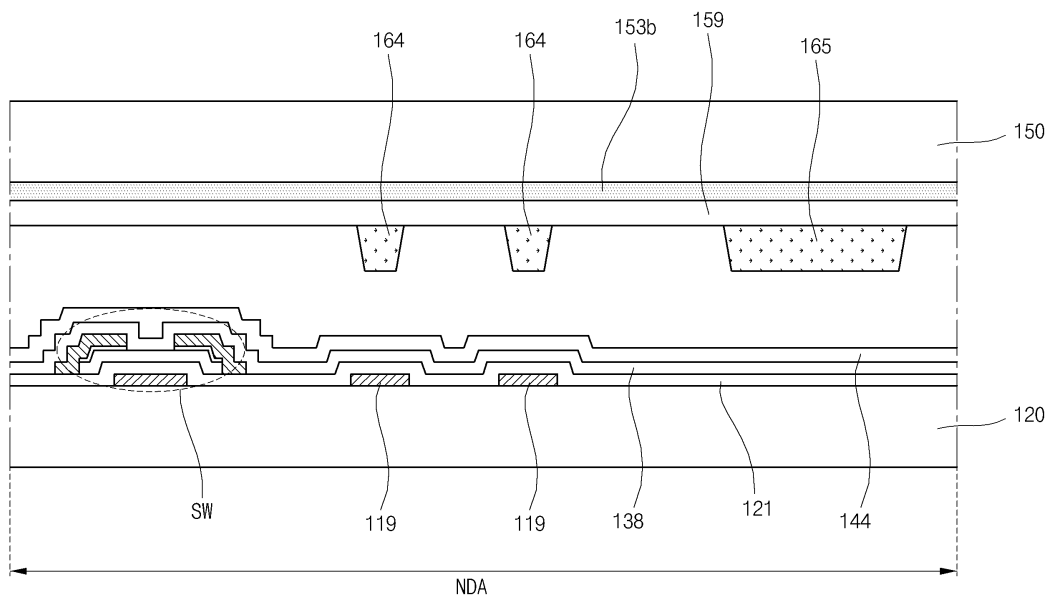
도면5



도면6



도면7





专利名称(译)	液晶显示装置		
公开(公告)号	<a href="#">KR102046764B1</a>	公开(公告)日	2019-11-20
申请号	KR1020120147454	申请日	2012-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG A JUNG 송아정 PARK JONG HYUN 박종현 JANG JOO YOUNG 장주영 KIM DEOK WON 김덕원		
发明人	송아정 박종현 장주영 김덕원		
IPC分类号	G02F1/1339		
CPC分类号	G02F2001/13398 G02F1/13394 G02F2001/13396		
其他公开文献	KR1020140078270A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的GIP型液晶显示装置包括：第一基板和第二基板，彼此相对并且彼此隔开，其中，限定了显示区域和围绕该显示区域的非显示区域；以及栅极配线和数据配线形成在第一基板的显示区域中并且彼此交叉以限定像素区域；薄膜晶体管连接到栅极线和数据线；像素电极连接至薄膜晶体管；开关元件，其形成在第一基板的非显示区域并与栅极布线连接；信号布线形成在第一基板的非显示区域中并连接至开关元件；第一伪柱状间隔物形成在第二基板的非显示区域中并对应于信号布线；第二伪柱状间隔物形成在第二基板的非显示区域中，邻近显示区域，并且具有比第一伪柱状间隔物更大的面积。

