(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0003704
(43) 공개일자 2018년01월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3688 (2013.01)
G09G 3/3648 (2013.01)
(21) 출원번호 10-2016-0082713
(22) 출원일자 2016년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
상우규
경기도 파주시 가온로 245 1011동 903호 (와동동,가람마을10단지동양엔파트월드메르디앙아파트)
(74) 대리인
특허법인로얄

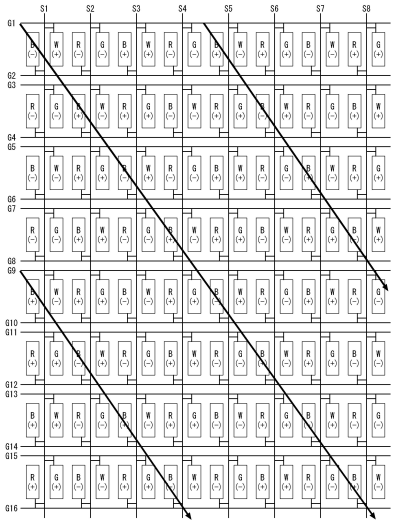
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **액정표시장치와 이를 구동하는 데이터 구동부**

(57) 요 약

본 발명은 액정패널, 게이트 구동부 및 데이터 구동부를 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 게이트 구동부는 액정패널에 게이트신호를 공급한다. 데이터 구동부는 액정패널에 데이터전압을 공급한다. 데이터 구동부는 적어도 4개의 출력 채널 간격으로 데이터전압의 극성 변경위치가 같으면서 이들로부터 출력되는 데이터전압의 극성이 반대가 된다.

대 표 도 - 도11



(52) CPC특허분류
G09G 2300/0452 (2013.01)
G09G 2300/0828 (2013.01)
G09G 2330/021 (2013.01)
G09G 2330/045 (2013.01)

명 세 서

청구범위

청구항 1

영상을 표시하는 액정패널;

상기 액정패널에 게이트신호를 공급하는 게이트 구동부; 및

상기 액정패널에 데이터전압을 공급하는 데이터 구동부를 포함하고,

상기 데이터 구동부는 적어도 4개의 출력 채널 간격으로 데이터전압의 극성 변경위치가 같으면서 이들로부터 출력되는 데이터전압의 극성이 반대가 되는 액정표시장치.

청구항 2

제1항에 있어서,

상기 데이터 구동부는

연속하여 배치된 적어도 4개의 출력 채널로부터 출력되는 데이터전압의 극성 변경위치가 다른 액정표시장치.

청구항 3

제1항에 있어서,

상기 데이터 구동부는

제N+1출력 채널과 제N+5출력 채널로부터 출력되는 데이터전압의 극성 변경위치가 같으면서 이들로부터 출력되는 데이터전압의 극성이 반대가 되고,

상기 제N+1출력 채널, 제N+2출력 채널, 제N+3출력 채널, 제N+4출력 채널로부터 출력되는 데이터전압의 극성 변경위치가 다른 액정표시장치.

청구항 4

제3항에 있어서,

상기 제N+1출력 채널, 제N+2출력 채널, 제N+3출력 채널, 제N+4출력 채널로부터 출력되는 데이터전압의 극성 변경위치는 적어도 2개의 극성 간격차를 갖는 액정표시장치.

청구항 5

제1항에 있어서,

상기 데이터 구동부는

제1정극성 버퍼, 제2정극성 버퍼, 제1부극성 버퍼, 제2부극성 버퍼, 제3정극성 버퍼, 제4정극성 버퍼, 제3부극성 버퍼, 제4부극성 버퍼의 순으로 배치되어 정극성 데이터전압과 부극성 데이터전압을 출력하는 버퍼들과,

극성 제어신호에 응답하여 상기 버퍼들로부터 출력된 상기 정극성 데이터전압과 상기 부극성 데이터전압 중 하나를 선택적으로 출력하기 위한 분배용 스위치들을 갖는 멀티플렉서들과,

제1소스 출력 인에이블 신호에 응답하여 상기 정극성 데이터전압 또는 상기 부극성 데이터전압을 출력 라인들로 전달하기 위한 전달용 스위치들과, 상기 멀티플렉서들로부터 출력되는 데이터전압의 극성이 변할 때 제2소스 출력 인에이블 신호에 응답하여 데이터전압의 극성이 동시에 변하는 출력 라인들을 연결하기 위한 공유용 스위치들을 갖는 스위치회로들을 포함하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 전달용 스위치들은

제1 및 제5분배용 스위치의 출력단에 일단이 연결되고 제1출력 라인에 타단이 연결된 제1전달용 스위치와,

제3 및 제7분배용 스위치의 출력단에 일단이 연결되고 제2출력 라인에 타단이 연결된 제2전달용 스위치와,

제2 및 제6분배용 스위치의 출력단에 일단이 연결되고 제3출력 라인에 타단이 연결된 제3전달용 스위치와,

제4 및 제8분배용 스위치의 출력단에 일단이 연결되고 제4출력 라인에 타단이 연결된 제4전달용 스위치와,

제9 및 제13분배용 스위치의 출력단에 일단이 연결되고 제5출력 라인에 타단이 연결된 제5전달용 스위치와,

제11 및 제15분배용 스위치의 출력단에 일단이 연결되고 제6출력 라인에 타단이 연결된 제6전달용 스위치와,

제10 및 제14분배용 스위치의 출력단에 일단이 연결되고 제7출력 라인에 타단이 연결된 제7전달용 스위치와,

제12 및 제16분배용 스위치의 출력단에 일단이 연결되고 제8출력 라인에 타단이 연결된 제8전달용 스위치를 포함하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 공유용 스위치들은

상기 제1출력 라인에 일단이 연결되고 상기 제3출력 라인에 타단이 연결된 제1공유용 스위치와,

상기 제2출력 라인에 일단이 연결되고 상기 제4출력 라인에 타단이 연결된 제2공유용 스위치와,

상기 제5출력 라인에 일단이 연결되고 제7출력 라인에 타단이 연결된 제3공유용 스위치와,

상기 제6출력 라인에 일단이 연결되고 제8출력 라인에 타단이 연결된 제4공유용 스위치를 포함하는 액정표시장치.

청구항 8

제1항에 있어서,

상기 액정패널은

제N주사라인을 기준으로 청색 서브 픽셀, 백색 서브 픽셀, 적색 서브 픽셀 및 녹색 서브 픽셀이 반복 배치되고,

제N+1주사라인을 기준으로 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀이 반복 배치되며,

상기 액정패널에 포함된 서브 픽셀들은 데이터라인을 기준으로 좌우 인접하는 두 개의 서브 픽셀이 하나의 데이터라인을 공유하고, 상기 하나의 데이터라인을 공유하는 상기 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된 액정표시장치.

청구항 9

제1항에 있어서,

상기 액정패널은

제N주사라인을 기준으로 청색 서브 픽셀, 백색 서브 픽셀, 적색 서브 픽셀 및 녹색 서브 픽셀이 반복 배치되고,

제N+1주사라인을 기준으로 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀이 반복 배치되고,

상기 액정패널에 포함된 서브 픽셀들은 두 개의 데이터라인 사이에서 인접하는 두 개의 서브 픽셀이 상대편과 인접한 데이터라인에 접속되고, 상기 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된 제1그룹의 서브 픽셀 구조와,

두 개의 데이터라인 사이에서 인접하는 두 개의 서브 픽셀이 자신과 인접한 데이터라인에 접속되고, 상기 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된 제2그

룹의 서브 픽셀 구조를 포함하는 액정표시장치.

청구항 10

제1정극성 버퍼, 제2정극성 버퍼, 제1부극성 버퍼, 제2부극성 버퍼, 제3정극성 버퍼, 제4정극성 버퍼, 제3부극성 버퍼, 제4부극성 버퍼의 순으로 배치되어 정극성 데이터전압과 부극성 데이터전압을 출력하는 버퍼들;

극성 제어신호에 응답하여 상기 버퍼들로부터 출력된 상기 정극성 데이터전압과 상기 부극성 데이터전압 중 하나를 선택적으로 출력하기 위한 분배용 스위치들을 갖는 멀티플렉서들;

제1소스 출력 인에이블 신호에 응답하여 상기 정극성 데이터전압 또는 상기 부극성 데이터전압을 출력 라인들로 전달하기 위한 전달용 스위치들과, 상기 멀티플렉서들로부터 출력되는 데이터전압의 극성이 변할 때 제2소스 출력 인에이블 신호에 응답하여 데이터전압의 극성이 동시에 변하는 출력 라인들을 연결하기 위한 공유용 스위치들을 갖는 스위치회로들; 및

상기 출력 라인들에 연결된 출력 채널들을 포함하고,

상기 출력 채널들은 적어도 4개의 간격으로 데이터전압의 극성 변경위치가 같으면서 이들로부터 출력되는 데이터전압의 극성이 반대가 되는 데이터 구동부.

청구항 11

제10항에 있어서,

상기 전달용 스위치들은

제1 및 제5분배용 스위치의 출력단에 일단이 연결되고 제1출력 라인에 타단이 연결된 제1전달용 스위치와,

제3 및 제7분배용 스위치의 출력단에 일단이 연결되고 제2출력 라인에 타단이 연결된 제2전달용 스위치와,

제2 및 제6분배용 스위치의 출력단에 일단이 연결되고 제3출력 라인에 타단이 연결된 제3전달용 스위치와,

제4 및 제8분배용 스위치의 출력단에 일단이 연결되고 제4출력 라인에 타단이 연결된 제4전달용 스위치와,

제9 및 제13분배용 스위치의 출력단에 일단이 연결되고 제5출력 라인에 타단이 연결된 제5전달용 스위치와,

제11 및 제15분배용 스위치의 출력단에 일단이 연결되고 제6출력 라인에 타단이 연결된 제6전달용 스위치와,

제10 및 제14분배용 스위치의 출력단에 일단이 연결되고 제7출력 라인에 타단이 연결된 제7전달용 스위치와,

제12 및 제16분배용 스위치의 출력단에 일단이 연결되고 제8출력 라인에 타단이 연결된 제8전달용 스위치를 포함하는 데이터 구동부.

청구항 12

제11항에 있어서,

상기 공유용 스위치들은

상기 제1출력 라인에 일단이 연결되고 상기 제3출력 라인에 타단이 연결된 제1공유용 스위치와,

상기 제2출력 라인에 일단이 연결되고 상기 제4출력 라인에 타단이 연결된 제2공유용 스위치와,

상기 제5출력 라인에 일단이 연결되고 제7출력 라인에 타단이 연결된 제3공유용 스위치와,

상기 제6출력 라인에 일단이 연결되고 제8출력 라인에 타단이 연결된 제4공유용 스위치를 포함하는 데이터 구동부.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치와 이를 구동하는 데이터 구동부에 관한 것이다.

배 경 기 술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 액정표시장치에는 액정패널과 백라이트유닛이 포함된다. 액정패널은 박막 트랜지스터 및 스토리지 커패시터 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다.

[0004] 액정표시장치 중에는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 이외에 백색 서브 픽셀을 더 추가한 방식(이하, RGBW 타입 액정표시장치)으로도 개발 및 출시되고 있다.

[0005] RGBW 타입 액정표시장치는 백색 서브 픽셀을 이용하여 액정패널의 휘도를 높일 수 있어 백라이트 유닛의 휘도를 낮추면서 소비전력을 절감할 수 있다. RGBW 타입 액정표시장치는 대화면으로 장치 구현 시, 액정패널의 소비전력을 절감함과 더불어 데이터 구동부(Source D-IC)의 발열을 낮출 필요가 있다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 대화면 및 고해상도의 액정패널 구현 시 액정패널의 표시 품질 저하를 방지함과 더불어 소비전력을 절감하고, 데이터 구동부의 발열을 나추는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 액정패널, 게이트 구동부 및 데이터 구동부를 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 게이트 구동부는 액정패널에 게이트신호를 공급한다. 데이터 구동부는 액정패널에 데이터전압을 공급한다. 데이터 구동부는 적어도 4개의 출력 채널 간격으로 데이터전압의 극성 변경 위치가 같으면서 이들로부터 출력되는 데이터전압의 극성이 반대가 된다.

[0008] 데이터 구동부는 연속하여 배치된 적어도 4개의 출력 채널로부터 출력되는 데이터전압의 극성 변경위치가 다를 수 있다.

[0009] 데이터 구동부는 제N+1출력 채널과 제N+5출력 채널로부터 출력되는 데이터전압의 극성 변경위치가 같으면서 이들로부터 출력되는 데이터전압의 극성이 반대가 되고, 제N+1출력 채널, 제N+2출력 채널, 제N+3출력 채널, 제N+4출력 채널로부터 출력되는 데이터전압의 극성 변경위치가 다를 수 있다.

[0010] 제N+1출력 채널, 제N+2출력 채널, 제N+3출력 채널, 제N+4출력 채널로부터 출력되는 데이터전압의 극성 변경위치는 적어도 2개의 극성 간격차를 가질 수 있다.

[0011] 데이터 구동부는 제1정극성 버퍼, 제2정극성 버퍼, 제1부극성 버퍼, 제2부극성 버퍼, 제3정극성 버퍼, 제4정극성 버퍼, 제3부극성 버퍼, 제4부극성 버퍼의 순으로 배치되어 정극성 데이터전압과 부극성 데이터전압을 출력하는 버퍼들과, 극성 제어신호에 응답하여 버퍼들로부터 출력된 정극성 데이터전압과 부극성 데이터전압 중 하나를 선택적으로 출력하기 위한 분배용 스위치들을 갖는 멀티플렉서들과, 제1소스 출력 인에이블 신호에 응답하여 정극성 데이터전압 또는 부극성 데이터전압을 출력 라인들로 전달하기 위한 전달용 스위치들과, 멀티플렉서들로부터 출력되는 데이터전압의 극성이 변할 때 제2소스 출력 인에이블 신호에 응답하여 데이터전압의 극성이 동시에 변하는 출력 라인들을 연결하기 위한 공유용 스위치들을 포함할 수 있다.

[0012] 전달용 스위치들은 제1 및 제5분배용 스위치의 출력단에 일단이 연결되고 제1출력 라인에 타단이 연결된 제1전달용 스위치와, 제3 및 제7분배용 스위치의 출력단에 일단이 연결되고 제2출력 라인에 타단이 연결된 제2전달용 스위치와, 제2 및 제6분배용 스위치의 출력단에 일단이 연결되고 제3출력 라인에 타단이 연결된 제3전달용 스위치와, 제4 및 제8분배용 스위치의 출력단에 일단이 연결되고 제4출력 라인에 타단이 연결된 제4전달용 스위치와, 제9 및 제13분배용 스위치의 출력단에 일단이 연결되고 제5출력 라인에 타단이 연결된 제5전달용 스위치와, 제11 및 제15분배용 스위치의 출력단에 일단이 연결되고 제6출력 라인에 타단이 연결된 제6전달용 스위치와, 제10 및 제14분배용 스위치의 출력단에 일단이 연결되고 제7출력 라인에 타단이 연결된 제7전달용 스위치와, 제12 및 제16분배용 스위치의 출력단에 일단이 연결되고 제8출력 라인에 타단이 연결된 제8전달용 스위치를

포함할 수 있다.

[0013] 공유용 스위치들은 제1출력 라인에 일단이 연결되고 제3출력 라인에 타단이 연결된 제1공유용 스위치와, 제2출력 라인에 일단이 연결되고 제4출력 라인에 타단이 연결된 제2공유용 스위치와, 제5출력 라인에 일단이 연결되고 제7출력 라인에 타단이 연결된 제3공유용 스위치와, 제6출력 라인에 일단이 연결되고 제8출력 라인에 타단이 연결된 제4공유용 스위치를 포함할 수 있다.

[0014] 액정패널은 제N주사라인을 기준으로 청색 서브 픽셀, 백색 서브 픽셀, 적색 서브 픽셀 및 녹색 서브 픽셀이 반복 배치되고, 제N+1주사라인을 기준으로 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀이 반복 배치되며, 액정패널에 포함된 서브 픽셀들은 데이터라인을 기준으로 좌우 인접하는 두 개의 서브 픽셀이 하나의 데이터라인을 공유하고, 하나의 데이터라인을 공유하는 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속될 수 있다.

[0015] 액정패널은 제N주사라인을 기준으로 청색 서브 픽셀, 백색 서브 픽셀, 적색 서브 픽셀 및 녹색 서브 픽셀이 반복 배치되고, 제N+1주사라인을 기준으로 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀이 반복 배치되고, 액정패널에 포함된 서브 픽셀들은 두 개의 데이터라인 사이에서 인접하는 두 개의 서브 픽셀이 상대편과 인접한 데이터라인에 접속되고, 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된 제1그룹의 서브 픽셀 구조와, 두 개의 데이터라인 사이에서 인접하는 두 개의 서브 픽셀이 자신과 인접한 데이터라인에 접속되고, 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된 제2그룹의 서브 픽셀 구조를 포함할 수 있다.

[0016] 다른 측면에서 본 발명은 버퍼들, 멀티플렉서들, 스위치들을 포함하는 데이터 구동부를 제공한다. 버퍼들은 제1정극성 버퍼, 제2정극성 버퍼, 제1부극성 버퍼, 제2부극성 버퍼, 제3정극성 버퍼, 제4정극성 버퍼, 제3부극성 버퍼, 제4부극성 버퍼의 순으로 배치되어 정극성 데이터전압과 부극성 데이터전압을 출력한다. 멀티플렉서들은 극성 제어신호에 응답하여 버퍼들로부터 출력된 정극성 데이터전압과 부극성 데이터전압 중 하나를 선택적으로 출력하기 위한 분배용 스위치들을 갖는다. 스위치회로들은 제1소스 출력 인에이블 신호에 응답하여 정극성 데이터전압 또는 부극성 데이터전압을 출력 라인들로 전달하기 위한 전달용 스위치들과, 멀티플렉서들로부터 출력되는 데이터전압의 극성이 변할 때 제2소스 출력 인에이블 신호에 응답하여 데이터전압의 극성이 동시에 변하는 출력 라인들을 연결하기 위한 공유용 스위치들을 갖는다. 출력 채널들은 출력 라인들에 연결된다. 출력 채널들은 적어도 4개의 간격으로 데이터전압의 극성 변경위치가 같으면서 이들로부터 출력되는 데이터전압의 극성이 반대가 된다.

[0017] 전달용 스위치들은 제1 및 제5분배용 스위치의 출력단에 일단이 연결되고 제1출력 라인에 타단이 연결된 제1전달용 스위치와, 제3 및 제7분배용 스위치의 출력단에 일단이 연결되고 제2출력 라인에 타단이 연결된 제2전달용 스위치와, 제2 및 제6분배용 스위치의 출력단에 일단이 연결되고 제3출력 라인에 타단이 연결된 제3전달용 스위치와, 제4 및 제8분배용 스위치의 출력단에 일단이 연결되고 제4출력 라인에 타단이 연결된 제4전달용 스위치와, 제9 및 제13분배용 스위치의 출력단에 일단이 연결되고 제5출력 라인에 타단이 연결된 제5전달용 스위치와, 제11 및 제15분배용 스위치의 출력단에 일단이 연결되고 제6출력 라인에 타단이 연결된 제6전달용 스위치와, 제10 및 제14분배용 스위치의 출력단에 일단이 연결되고 제7출력 라인에 타단이 연결된 제7전달용 스위치와, 제12 및 제16분배용 스위치의 출력단에 일단이 연결되고 제8출력 라인에 타단이 연결된 제8전달용 스위치를 포함할 수 있다.

[0018] 공유용 스위치들은 제1출력 라인에 일단이 연결되고 제3출력 라인에 타단이 연결된 제1공유용 스위치와, 제2출력 라인에 일단이 연결되고 제4출력 라인에 타단이 연결된 제2공유용 스위치와, 제5출력 라인에 일단이 연결되고 제7출력 라인에 타단이 연결된 제3공유용 스위치와, 제6출력 라인에 일단이 연결되고 제8출력 라인에 타단이 연결된 제4공유용 스위치를 포함할 수 있다.

발명의 효과

[0019] 본 발명은 동일 극성의 뭉침으로 인한 표시품질 저하를 방지함과 더불어 액정패널의 소비전력을 절감할 수 있는 RGBW 타입 액정표시장치를 제공하는 효과가 있다. 또한, 본 발명은 대화면 및 고해상도의 액정패널 구현 시 발열을 낮출 수 있는 데이터 구동부를 제공하는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.

도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도.

도 3은 비교예에 따른 RGBW 타입 액정표시장치를 개략적으로 나타낸 액정패널의 평면 구조도.

도 4는 비교예에 따른 RGBW 타입 액정표시장치에 인가되는 데이터전압의 극성을 보여주는 파형도.

도 5는 제1실험예에 따라 RGBW 타입 액정표시장치를 구동하기 위해 마련된 데이터 구동부의 구성도.

도 6은 제2실험예에 따라 RGBW 타입 액정표시장치를 구동하기 위해 마련된 데이터 구동부의 구성도.

도 7 내지 도 10은 제1 및 제2실험예에 따른 데이터 구동부를 기반으로 RGBW 타입 액정표시장치를 구동할 때의 문제점을 설명하기 위한 도면들.

도 11은 본 발명의 제1실시예에 따라 RGBW 타입 액정표시장치를 개략적으로 나타낸 액정패널의 평면 구조도.

도 12는 본 발명의 제1실시예에 따라 RGBW 타입 액정표시장치에 인가되는 데이터전압의 극성을 보여주는 파형도.

도 13은 본 발명의 제2실시예에 따라 RGBW 타입 액정표시장치를 개략적으로 나타낸 액정패널의 평면 구조도.

도 14는 본 발명의 제2실시예에 따라 RGBW 타입 액정표시장치에 인가되는 데이터전압의 극성을 보여주는 파형도.

도 15는 본 발명의 제3실시예에 따라 RGBW 타입 액정표시장치를 구동하기 위해 마련된 데이터 구동부의 구성도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0022] 이하에서 설명되는 액정표시장치는 액정패널의 화소전극 및 공통전극의 구조에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현될 수 있다.

[0023] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도이다.

[0024] 도 1 및 도 2에 도시된 바와 같이 액정표시장치에는 영상 공급부(110), 타이밍 제어부(130), 게이트 구동부(140), 데이터 구동부(150), 액정패널(160), 전원공급부(180) 및 백라이트유닛(170)이 포함된다.

[0025] 영상 공급부(110)는 데이터신호를 영상처리하고 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 클록신호 등과 함께 출력한다. 영상 공급부(110)는 LVDS(Low Voltage Differential Signaling) 인터페이스나 TMDS(Transition Minimized Differential Signaling) 인터페이스 등을 통해 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클록신호 및 데이터신호 등을 타이밍 제어부(130)에 공급한다.

[0026] 타이밍 제어부(130)는 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(130)는 데이터 타이밍 제어신호(DDC)와 함께 영상처리부(110)로부터 공급된 데이터신호(DATA)를 데이터 구동부(150)에 공급한다.

[0027] 게이트 구동부(140)는 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 게이트신호를 공급한다. 게이트 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 액정패널(160)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0028] 데이터 구동부(150)는 타이밍 제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 디지털 형태의 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압으로 변환하여 아날로그 형태의 데이터전압으로 출력한다. 데이터 구동부(150)는 1 프레임 주기로 데이터전압의 극성을 반전하여 출력할 수 있다. 데이터 구동부(150)는 데이터라인들(SL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 데이터전압(또는 데이터신호)을 공급한다. 데이터 구동부(150)는 IC(Integrated Circuit) 형태로 형성된다.

[0029] 전원 공급부(180)는 고전위전압(VCC), 저전위전압(GND) 및 공통전압(VCOM)을 생성하고 출력한다. 고전위전압(VCC)과 저전위전압(GND)은 타이밍 제어부(130), 게이트 구동부(140) 및 데이터 구동부(150) 중 하나 이상에 공

급된다. 공통전압(VCOM)은 액정패널(160)에 공급된다. 공통전압(VCOM)은 액정패널(160)의 공통전압라인(Vcom)을 통해 서브 픽셀들(SP)에 공급된다.

[0030] 백라이트유닛(170)은 광을 출사하는 광원 등을 이용하여 액정패널(160)에 광을 제공한다. 백라이트유닛(170)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED가 실장된 LED기판, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판의 하부에서 광을 반사시키는 반사판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다.

[0031] 액정패널(160)은 게이트 구동부(140)로부터 공급된 게이트신호와 데이터 구동부(150)로부터 공급된 데이터전압에 대응하여 영상을 표시한다. 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들(SP)이 포함된다.

[0032] 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 스위칭 트랜지스터(SW)의 게이트전극은 게이트라인(GL1)에 연결되고 소스전극은 데이터라인(SL1)에 연결된다. 스토리지 커패시터(Cst)는 스위칭 트랜지스터(SW)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다. 액정층(Clc)은 스위칭 트랜지스터(SW)의 드레인전극에 연결된 화소전극(1)과 공통전압라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다.

[0033] 앞서 설명한 액정표시장치는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 이외에 백색 서브 픽셀을 더 추가한 방식(이하, RGBW 타입 액정표시장치)으로도 개발 및 출시되고 있다. RGBW 타입 액정표시장치는 백색 서브 픽셀을 이용하여 액정패널의 휘도를 높일 수 있어 백라이트 유닛의 휘도를 낮추면서 소비전력을 절감할 수 있다.

[0034] 이하 비교예에 따른 RGBW 타입 액정표시장치의 문제점을 설명한다.

[0035] 도 3은 비교예에 따른 RGBW 타입 액정표시장치를 개략적으로 나타낸 액정패널의 평면 구조도이고, 도 4는 비교예에 따른 RGBW 타입 액정표시장치에 인가되는 데이터전압의 극성을 보여주는 파형도이다.

[0036] 도 3 및 도 4에 도시된 바와 같이, 비교예에 따른 RGBW 타입 액정표시장치는 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)을 갖는 액정패널을 포함한다.

[0037] 액정패널의 제1주사라인에는 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)의 순으로 반복 배치된다. 액정패널의 제2주사라인에는 청색 서브 픽셀(B), 백색 서브 픽셀(W), 적색 서브 픽셀(R) 및 녹색 서브 픽셀(G)의 순으로 반복 배치된다. 이하 제3주사라인 등의 홀수 주사라인은 제1주사라인과 같은 형태로 배치되고, 제4주사라인 등의 짝수 주사라인은 제2주사라인과 같은 형태로 배치된다.

[0038] 비교예에 따른 RGBW 타입 액정표시장치는 액정패널의 소비전력을 절감하기 위해 좌우 인접하는 두 개의 서브 픽셀이 하나의 데이터라인을 공유하도록 구현된다. 또한, 하나의 데이터라인을 공유하는 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된다. 이에 대한 예는 도 3의 액정패널에 도시된 제1주사라인에 위치하고 제1데이터라인(S1)을 공유하는 적색 서브 픽셀(R)과 녹색 서브 픽셀(G) 등을 참조한다.

[0039] 또한, 비교예에 따른 RGBW 타입 액정표시장치는 데이터 구동부의 발열을 낮추기 위한 방법으로 수직 4 도트 인버전(Vertical 4 Dot Inversion) 방식으로 데이터전압이 출력되도록 구현된다. 이에 대한 예는 도 4의 데이터 구동부에 도시된 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-)의 제1출력채널(S1) 등을 참조한다.

[0040] 한편, 도 4의 제4데이터라인(S4)과 같이 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+)의 데이터전압이 출력되는 기간은 4 수평 기간(4H)에 해당한다. 비교예에 따른 데이터 구동부는 2 수평 기간마다 데이터전압의 극성을 1회 반전시킨다.

[0041] 그런데 비교예에 따른 구동 방식을 기반으로 대화면을 구현하면, 액정패널의 특정 서브 픽셀에서 약충전이 발생하거나 동일 극성의 뭉침으로 표시품질 저하가 나타날 수 있다.

[0042] 이하, 비교예의 문제점을 개선하기 위해 실시한 실험결과를 설명한다.

[0043] 도 5는 제1실험예에 따라 RGBW 타입 액정표시장치를 구동하기 위해 마련된 데이터 구동부의 구성도이고, 도 6은 제2실험예에 따라 RGBW 타입 액정표시장치를 구동하기 위해 마련된 데이터 구동부의 구성도이다.

[0044] 제1 및 제2실험예에서는 비교예의 문제점을 해결하기 위해, RGBW 타입 액정표시장치를 구동하는 데이터 구동부의 내부 구성을 일부 변경하였다. 이하, 제1 및 제2실험예에 따른 데이터 구동부를 설명하면 다음과 같다.

[0045] 제1실험예 따른 데이터 구동부는 디지털-아날로그 변환기들(PDAC, NDAC), 버퍼들(P1, N1, P2, N2), 멀티플렉서들(MUX), 스위치회로들(CSW), 및 출력 라인들(OUT1~OUT4)을 포함한다. 출력 채널라인들(OUT1~OUT4)은 후단에 위치하는 출력 채널에 바로 연결된다.

[0046] 디지털-아날로그 변환기들(PDAC, NDAC)은 디지털 형태의 데이터신호를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 디지털-아날로그 변환기들(PDAC, NDAC)(digital-to-analog conversion, 이하 "DAC"라 함)은 데이터신호를 정극성 감마 보상 전압으로 변환하여 정극성 데이터전압을 출력하는 PDAC(Positive DAC, PDAC)과 데이터신호를 부극성 감마 보상 전압으로 변환하여 부극성 데이터전압을 출력하는 NDAC(Negative DAC, NDAC)으로 나누어진다.

[0047] 버퍼들(P1, N1, P2, N2)은 PDAC과 NDAC의 출력단에 연결된다. 버퍼들(P1, N1, P2, N2)은 제1정극성 버퍼(P1), 제1부극성 버퍼(N1), 제2정극성 버퍼(P2) 및 제2부극성 버퍼(N2)의 순으로 배치된다. 제1정극성 버퍼(P1)는 제1정극성 데이터를 증폭하여 출력한다. 제1부극성 버퍼(N1)는 제1부극성 데이터를 증폭하여 출력한다. 제2정극성 버퍼(P2)는 제2정극성 데이터를 증폭하여 출력한다. 제2부극성 버퍼(N2)는 제2부극성 데이터를 증폭하여 출력한다.

[0048] 멀티플렉서들(MUX)은 하나의 버퍼를 통해 출력되는 데이터전압을 다수의 출력 라인들(예컨대, 두 개의 출력 라인)로 분배하는 분배용 스위치들(SA1, SB1, SB2, SA2, SA3, SB3, SB4, SA4)을 포함한다. 멀티플렉서들(MUX)은 극성 제어신호(POL)에 응답하여 특정 출력 라인으로 정극성 데이터 전압 또는 부극성 데이터전압을 출력하기 위한 스위칭 동작을 한다.

[0049] 일례로, 제1정극성 버퍼(P1)로부터 출력되는 정극성 데이터전압은 멀티플렉서들(MUX)의 동작에 의해 제1출력 라인(OUT1)으로 출력되거나 인접하는 제2출력 라인(OUT2)으로 출력될 수 있다. 그리고 제1부극성 버퍼(N1)로부터 출력되는 부극성 데이터전압은 제2출력 라인(OUT2)으로 출력되거나 인접하는 제1출력 라인(OUT1)으로 출력될 수 있다.

[0050] 스위치회로들(CSW)은 데이터전압을 출력 라인들(OUT1~OUT4)로 전달하기 위한 전달용 스위치들(SW1~SW4)과 데이터전압의 극성이 변할 때 데이터전압의 극성이 동시에 변하는 출력 라인들(OUT1~OUT4)을 연결하기 위한 공유용 스위치들(SW5, SW6, SW7)을 포함한다.

[0051] 전압 전달용 스위치들(SW1~SW4)은 제1소스 출력 인에이블 신호(SOE1)의 논리값에 대응하여 턴온/턴오프 동작을 한다. 공유용 스위치들(SW5, SW6, SW7)은 제2소스 출력 인에이블 신호(SOE2)의 논리값에 대응하여 턴온/턴오프 동작을 한다.

[0052] 제1실험예에 따른 데이터 구동부는 인접하는 모든 출력 라인들(OUT1~OUT4)을 연결하는 전하 공유(또는 차지 쉐어링)가 가능하다. 또한, 제1실험예에 따른 데이터 구동부는 홀수 출력 라인으로 정극성 데이터전압을 짝수 출력 라인으로 부극성 데이터전압을 출력하고 N(N은 1 이상 정수)프레임마다 홀수 출력 라인과 짝수 출력 라인으로부터 출력되는 데이터전압의 극성 변경이 가능하다. 즉, 제1실험예에 따른 데이터 구동부는 출력 라인들(OUT1~OUT4)을 통해 출력되는 데이터전압의 극성 변환 위치를 동일하게 할 수 있다.

[0053] 제2실험예 따른 데이터 구동부는 디지털-아날로그 변환기들(PDAC, NDAC), 버퍼들(P1, P2, N1, N2), 멀티플렉서들(MUX), 스위치회로들(CSW), 및 출력 라인들(OUT1~OUT4)을 포함한다.

[0054] 디지털-아날로그 변환기들(PDAC, NDAC)은 디지털 형태의 데이터신호를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 디지털-아날로그 변환기들(PDAC, NDAC)(digital-to-analog conversion, 이하 "DAC"라 함)은 데이터신호를 정극성 감마 보상 전압으로 변환하여 정극성 데이터전압을 출력하는 PDAC(Positive DAC, PDAC)과 데이터신호를 부극성 감마 보상 전압으로 변환하여 부극성 데이터전압을 출력하는 NDAC(Negative DAC, NDAC)으로 나누어진다.

[0055] 버퍼들(P1, P2, N1, N2)은 PDAC과 NDAC의 출력단에 연결된다. 버퍼들(P1, N1, P2, N2)은 제1정극성 버퍼(P1), 제2정극성 버퍼(P2), 제1부극성 버퍼(N1), 및 제2부극성 버퍼(N2)의 순으로 배치된다. 제1정극성 버퍼(P1)는 제1정극성 데이터를 증폭하여 출력한다. 제2정극성 버퍼(P2)는 제2정극성 데이터를 증폭하여 출력한다. 제1부극성 버퍼(N1)는 제1부극성 데이터를 증폭하여 출력한다. 제2부극성 버퍼(N2)는 제2부극성 데이터를 증폭하여 출력한다.

[0056] 멀티플렉서들(MUX)은 하나의 버퍼를 통해 출력되는 데이터전압을 다수의 출력 라인들(예컨대, 두 개의 출력 라인)로 분배하는 전압 분배용 스위치들(SA1, SB1, SB2, SA2, SA3, SB3, SB4, SA4)을 포함한다. 멀티플렉서들(MUX)은 극성 제어신호(POL)에 응답하여 특정 출력 라인으로 정극성 데이터 전압 또는 부극성 데이터전압을 출력하기 위한 스위칭 동작을 한다.

[0057] 일례로, 제1정극성 버퍼(P1)로부터 출력되는 정극성 데이터전압은 멀티플렉서들(MUX)의 동작에 의해 제1출력 라인(OUT1)으로 출력되거나 제3출력 라인(OUT2)으로 출력될 수 있다. 그리고 제1부극성 버퍼(N1)로부터 출력되는 부극성 데이터전압은 제3출력 라인(OUT3)으로 출력되거나 제1출력 라인(OUT1)으로 출력될 수 있다.

[0058] 스위치회로들(CSW)은 데이터전압을 출력 라인들(OUT1~OUT4)로 전달하기 위한 전압 전달용 스위치들(SW1~SW4)과 데이터전압의 극성이 변할 때 데이터전압의 극성이 동시에 변하는 출력 라인들(OUT1~OUT4)을 연결하기 위한 공유용 스위치들(SW5, SW6)을 포함한다.

[0059] 전압 전달용 스위치들(SW1~SW4)은 제1소스 출력 인에이블 신호(SOE1)의 논리값에 대응하여 턴온/턴오프 동작을 한다. 공유용 스위치들(SW5, SW6)은 제2소스 출력 인에이블 신호(SOE2)의 논리값에 대응하여 턴온/턴오프 동작을 한다.

[0060] 제2실험예에 따른 데이터 구동부는 극성 변경이 동일한 위치를 기준으로 하는바 홀수 출력 라인들(OUT1, OUT3)끼리 연결하는 전하 공유와, 짝수 출력 라인들(OUT2, OUT4)끼리 연결하는 전하 공유가 가능하다. 또한, 제2실험예에 따른 데이터 구동부는 좌우 인접하는 한 쌍의 출력 라인은 정극성 데이터전압을 다른 한 쌍의 출력 라인은 부극성 데이터전압을 출력하고 N(N은 1 이상 정수)프레임마다 홀수 출력 라인과 짝수 출력 라인으로부터 출력되는 데이터전압의 극성 변경이 가능하다. 즉, 제2실험예에 따른 데이터 구동부는 출력 라인들(OUT1~OUT4)을 통해 출력되는 데이터전압의 극성 변환 위치를 홀수 출력 라인과 짝수 출력 라인으로 구분하여 다르게 할 수 있다.

[0061] 한편, 제1 및 제2실험예에 따른 데이터 구동부에 인가되는 극성 제어신호(POL), 제1소스 출력 인에이블 신호(SOE1) 및 제2소스 출력 인에이블 신호(SOE2)는 타이밍 제어부로부터 출력된다.

[0062] 이하, 제1 및 제2실험예에 따른 데이터 구동부를 기반으로 RGBW 타입 액정표시장치를 구동할 때의 문제점을 설명한다.

[0063] 도 7 내지 도 10은 제1 및 제2실험예에 따른 데이터 구동부를 기반으로 RGBW 타입 액정표시장치를 구동하기 할 때의 문제점을 설명하기 위한 도면들이다.

[0064] 도 7 및 도 8에 도시된 바와 같이, 제1 또는 제2실험예에 따른 데이터 구동부는 제1 및 제2데이터라인(S1, S2)을 통해 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+)의 데이터전압을 출력할 수 있다. 그리고 제3 및 제4데이터라인(S3, S4)을 통해 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-)의 데이터전압을 출력할 수 있다.

[0065] 그런데 데이터 구동부가 위와 같은 형태로 수직 4 도트 인버전이 아닌 수직 8 도트 인버전(Vertical 8 Dot Inversion)을 하는 경우, 액정패널의 특정 영역(PA1, PA2, PA3, PA4)에 동일 극성 뭉침에 의한 도리도리 불량(머리를 좌우로 흔들 경우 세로선 인지되는 불량)이 발생하는 것으로 나타났다. 이와 같이 현상이 한 개의 주사라인을 건너도록 서브 픽셀의 장축 방향으로 3개 이상 나타나게 됨에 따라 이들 사이에 존재하는 주사라인(G9와 G10 사이의 주사라인 참조)에는 화소전극의 전계 영향으로 휘도 저하가 발생하게 된다.

[0066] 도 9 및 도 10에 도시된 바와 같이, 제1 또는 제2실험예에 따른 데이터 구동부는 제1데이터라인(S1)을 통해 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+)의 데이터전압을 출력할 수 있다. 그리고 제2데이터라인(S2)을 통해 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+)의 데이터전압을 출력할 수 있다. 그리고 제3데이터라인(S3)에는 제1데이터라인(S1)으로부터 출력되는 데이터전압과 반대의 극성을 갖는 데이터전압을 출력하고 제4데이터라인(S4)에는 제2데이터라인(S2)으로부터 출력되는 데이터전압과 반대의 극성을 갖는 데이터전압을 출력할 수 있다.

[0067] 그런데 데이터 구동부가 위와 같은 형태로 수직 4 도트 인버전이 아닌 수직 8 도트 인버전(Vertical 8 Dot Inversion)을 하는 경우, 액정패널의 특정 영역(PA1, PA2)에 동일 극성 뭉침에 의한 도리도리 불량(머리를 좌우

로 흔들 경우 세로선 인지되는 불량)이 발생하는 것으로 나타났다. 이와 같이 현상이 두 개의 주사라인을 건너도록 서브 픽셀의 장축 방향으로 2개, 단축 방향으로 4개 이상 나타나게 됨에 따라 이들 사이에 존재하는 주사라인(G9와 G12 사이의 주사라인 참조)에는 화소전극의 전계 영향으로 휘도 저하가 발생하게 된다.

[0068] 이상, 제1 및 제2실험예에 따른 데이터 구동부는 수직 4 도트 인버전(Vertical 4 Dot Inversion) 구동할 수 있도록 구현된 상태이지만, 이를 수직 8 도트 인버전(Vertical 8 Dot Inversion) 구동할 경우 위와 같은 문제가 발생하는 것으로 나타났다. 그리고 제1 및 제2실험예에 따른 데이터 구동부를 기반으로 대화면의 RGBW 타입 액정표시장치를 구현한 결과, 해당 데이터 구동부를 적용하더라도 큰 문제는 없었다. 하지만, 제1 및 제2실험예는 액정패널 상에 세로선 및 격자무늬 형태의 표시불량이 유발되는 문제가 유발되는바 추가 개선이 요구되는 것으로 나타났다.

[0069] 실험예들을 통해 알 수 있었던 결과에 따르면, 데이터 구동부의 발열을 낮추기 위해서는 데이터 트랜지션(Data Transition)의 수를 줄어야 한다. 그리고 액정패널의 소비전력을 절감하고 표시품질을 향상하기 위해서는 데이터 구동부로부터 출력되는 데이터전압의 극성을 고려하여 서브 픽셀들을 최적 배치해야 한다.

[0070] 이하, 실험예들을 통해 알 수 있었던 결과에 기초하여 RGBW 타입 액정표시장치를 예컨대 UHD(Ultra-high-definition) 60Hz 모델로 구현할 경우, 이를 구동하는 데이터 구동부의 발열을 낮춤과 더불어 액정패널의 소비전력을 절감할 수 있는 방안을 실시예별로 설명하면 다음과 같다.

[0071] 도 11은 본 발명의 제1실시예에 따라 RGBW 타입 액정표시장치를 개략적으로 나타낸 액정패널의 평면 구조도이고, 도 12는 본 발명의 제1실시예에 따라 RGBW 타입 액정표시장치에 인가되는 데이터전압의 극성을 보여주는 파형도이다.

[0072] 도 11에 도시된 바와 같이, 제1실시예에 따른 RGBW 타입 액정표시장치는 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)을 갖는 액정패널을 포함한다.

[0073] 액정패널의 제1주사라인(G1과 G2 사이)에는 청색 서브 픽셀(B), 백색 서브 픽셀(W), 적색 서브 픽셀(R) 및 녹색 서브 픽셀(G)의 순으로 반복 배치된다. 액정패널의 제2주사라인(G3와 G4 사이)에는 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)의 순으로 반복 배치된다. 이하 제3주사라인 등의 홀수 주사라인은 제1주사라인과 같은 형태로 배치되고, 제4주사라인 등의 짝수 주사라인은 제2주사라인과 같은 형태로 배치된다.

[0074] 제1실시예에 따른 RGBW 타입 액정표시장치는 액정패널의 소비전력을 절감하기 위해 데이터라인을 기준으로 좌우 인접하는 두 개의 서브 픽셀이 하나의 데이터라인을 공유하도록 구현된다. 또한, 하나의 데이터라인을 공유하는 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된다.

[0075] 예컨대, 액정패널의 제1주사라인에 위치하고 제1데이터라인(S1)을 공유하는 청색 서브 픽셀(B)과 백색 서브 픽셀(W)을 참조한다. 이처럼, 데이터라인을 사이에 두고 좌우로 인접하는 서브 픽셀들은 하나의 데이터라인을 공유한다. 반면, 액정패널의 제1주사라인에 위치하고 제1데이터라인(S1)을 공유하는 백색 서브 픽셀(W)은 자신의 상부에 위치하는 제1게이트라인(G1)에 연결되지만, 제1데이터라인(S1)을 공유하는 청색 서브 픽셀(B)은 자신의 하부에 위치하는 제2게이트라인(G2)에 연결된다.

[0076] 액정패널에 구성된 서브 픽셀들을 제1실시예와 같이 배치하면 약충전이 발생하는 위치를 청색 서브 픽셀(B)로 한정할 수 있다. 그리고 약충전이 발생하는 청색 서브 픽셀(B)의 위치를 사선 방향으로 변경(도 11의 화살표 참조)할 수 있다. 이때, 약충전이 발생하는 청색 서브 픽셀(B)에 대해서는 오버 드라이빙(Over Driving) 방식(데이터전압을 원래의 출력분보다 더 높게 보상하여 출력함)으로 보상할 수 있다.

[0077] 청색 서브 픽셀(B)은 다른 서브 픽셀들 대비 휘도 성분이 낮기 때문에 제1실시예와 같이 배치할 경우 약충전이 발생하는 서브 픽셀을 한정함과 더불어 그 위치를 변경할 수 있기 때문에 약충전이나 강충전과 같은 충전 편차로 인한 문제를 방지 및 완화할 수 있다. 즉, 제1실시예의 서브 픽셀 배치 구조는 데이터전압의 동일 극성 뭉침에 의한 도리도리 불량(머리를 좌우로 흔들 경우 세로선 인지되는 불량)이 발생하는 문제를 방지 및 완화할 수 있는 액정패널을 제공하게 된다.

[0078] 도 11 및 도 12에 도시된 바와 같이, 제1실시예에 따른 RGBW 타입 액정표시장치는 연속하는 4개의 출력 채널마다 데이터전압의 극성 변경위치가 다르고, 첫 번째 출력 채널과 다섯 번째 출력 채널씩 그룹화되어 데이터전압의 극성 변경위치가 동일한 데이터 구동부를 포함한다. 또한, 제1실시예의 데이터 구동부는 데이터전압의 극성

변경위치가 같은 출력 채널끼리 전하 공유(CS 참조)가 일어난다.

[0079] 그 결과, 제1실시예에 따른 데이터 구동부는 제1데이터라인(S1)을 통해 정극성(+), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+)의 데이터전압을 출력할 수 있다. 그리고 제2데이터라인(S2)을 통해 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-)의 데이터전압을 출력할 수 있다. 그리고 제3데이터라인(S3)을 통해 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+)의 데이터전압을 출력할 수 있다. 그리고 제4데이터라인(S4)을 통해 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-)의 데이터전압을 출력할 수 있다. 달리 설명하면, 제1실시예에 따른 데이터 구동부는 연속하는 4개의 출력 채널(4n+1, 4n+2, 4n+3, 4n+4)로부터 출력되는 데이터전압의 극성 변경위치가 다르게 구현된다. 이때, 4개의 출력 채널(4n+1, 4n+2, 4n+3, 4n+4)로부터 출력되는 데이터전압의 극성 변경위치는 적어도 2개의 극성 간격차를 갖는다.

[0080] 이와 달리, 제5데이터라인(S5)은 제1데이터라인(S1)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 제6데이터라인(S6)은 제2데이터라인(S2)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 제7데이터라인(S7)은 제3데이터라인(S3)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 제8데이터라인(S8)은 제4데이터라인(S4)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 달리 설명하면, 제1실시예에 따른 데이터 구동부는 4개의 출력 채널 간격으로 데이터전압의 극성 변경위치가 동일하게 구현된다.

[0081] 이 밖에, 제1실시예에 따른 데이터 구동부는 제1데이터라인(S1)은 제5데이터라인(S5)과 함께, 제2데이터라인(S2)은 제6데이터라인(S6)과 함께, 제3데이터라인(S3)은 제7데이터라인(S7)과 함께, 제4데이터라인(S4)은 제8데이터라인(S8)과 함께 전하 공유(CS 참조)가 일어나게 구현된다.

[0082] 도 13은 본 발명의 제2실시예에 따라 RGBW 타입 액정표시장치를 개략적으로 나타낸 액정패널의 평면 구조도이고, 도 14는 본 발명의 제2실시예에 따라 RGBW 타입 액정표시장치에 인가되는 데이터전압의 극성을 보여주는 파형도이다.

[0083] 도 13에 도시된 바와 같이, 제2실시예에 따른 RGBW 타입 액정표시장치는 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)을 갖는 액정패널을 포함한다.

[0084] 액정패널의 제1주사라인(G1과 G2 사이)에는 청색 서브 픽셀(B), 백색 서브 픽셀(W), 적색 서브 픽셀(R) 및 녹색 서브 픽셀(G)의 순으로 반복 배치된다. 액정패널의 제2주사라인(G3와 G4 사이)에는 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B) 및 백색 서브 픽셀(W)의 순으로 반복 배치된다. 이하 제3주사라인 등의 홀수 주사라인은 제1주사라인과 같은 형태로 배치되고, 제4주사라인 등의 짝수 주사라인은 제2주사라인과 같은 형태로 배치된다.

[0085] 홀수라인의 게이트라인과 짝수라인의 게이트라인 사이에 정의된 영역은 주사라인으로 정의된다. 게이트라인들은 첫 번째와 마지막 번째를 제외하고 하나의 수평 라인에 2개의 게이트라인씩 배치된다. 이와 같은 배치구조는 데이터라인의 개수를 줄일 수 있고 또한 데이터 구동부의 채널의 개수를 줄이는 등 다양한 이점을 제공한다.

[0086] 제2실시예에 따른 RGBW 타입 액정표시장치는 액정패널의 소비전력을 절감하기 위해 제1그룹의 서브 픽셀 구조 그리고 제1그룹의 서브 픽셀 구조와 다른 제2그룹의 서브 픽셀 구조를 갖는다.

[0087] 제1그룹의 서브 픽셀 구조는 두 개의 데이터라인 사이에서 인접하는 두 개의 서브 픽셀이 상대편과 인접한 데이터라인에 접속된다. 또한, 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된다. 제2그룹의 서브 픽셀 구조는 두 개의 데이터라인 사이에서 인접하는 두 개의 서브 픽셀이 자신과 인접한 데이터라인에 접속된다. 또한, 두 개의 서브 픽셀 중 하나는 홀수라인의 게이트라인에 접속되고 다른 하나는 짝수라인의 게이트라인에 접속된다.

[0088] 아울러, 제1그룹의 서브 픽셀 구조와 제2그룹의 서브 픽셀 구조는 동일한 주사라인에서 교번 배치되고, 이들 중 하나의 그룹만 다음 주사라인에 배치된다. 다시 다다음 주사라인에는 제1그룹의 서브 픽셀 구조와 제2그룹의 서브 픽셀 구조가 교번 배치되고, 이들 중 하나의 그룹만 다다다음 주사라인에 배치된다. 그리고 제1그룹 및 제2그룹의 서브 픽셀에서 하나의 데이터라인을 사이에 두고 좌우로 인접하는 서브 픽셀들은 동일한 게이트라인에

접속된다.

[0089] 예컨대, 액정패널의 제1주사라인(G1과 G2 사이)에 위치하고 제2데이터라인(S2)과 제3데이터라인(S3) 사이에 위치하는 청색 서브 픽셀(B)과 백색 서브 픽셀(W)은 제1그룹의 서브 픽셀에 속한다. 제3데이터라인(S1)에 연결된 청색 서브 픽셀(B)은 자신의 상부에 위치하는 제1게이트라인(G1)에 연결되지만, 제2데이터라인(S2)에 연결된 백색 서브 픽셀(W)은 자신의 하부에 위치하는 제2게이트라인(G2)에 연결된다.

[0090] 이와 달리, 액정패널의 제1주사라인(G1과 G2 사이)에 위치하고 제3데이터라인(S3)과 제4데이터라인(S4) 사이에 위치하는 적색 서브 픽셀(R)과 녹색 서브 픽셀(G)은 제2그룹의 서브 픽셀에 속한다. 제3데이터라인(S3)에 연결된 적색 서브 픽셀(R)은 자신의 하부에 위치하는 제2게이트라인(G2)에 연결되지만, 제4데이터라인(S4)에 연결된 녹색 서브 픽셀(G)은 자신의 상부에 위치하는 제1게이트라인(G1)에 연결된다.

[0091] 액정패널의 제2주사라인(G3과 G4 사이)에는 제1그룹의 서브 픽셀에 해당하는 접속 관계를 갖도록 서브 픽셀들이 배치되지만, 다시 제3주사라인(G5와 G6 사이)에는 제1그룹 및 제2그룹의 서브 픽셀에 해당하는 접속 관계를 갖도록 서브 픽셀들이 배치된다.

[0092] 액정패널에 구성된 서브 픽셀들을 제2실시예와 같이 배치하면 약충전이 발생하는 위치를 청색 서브 픽셀(B)로 한정할 수 있다. 그리고 약충전이 발생하는 청색 서브 픽셀(B)의 위치를 사선 방향으로 변경(도 13의 화살표 참조)할 수 있다. 이때, 약충전이 발생하는 청색 서브 픽셀(B)에 대해서는 오버 드라이빙(Over Driving) 방식(데이터전압을 원래의 출력분보다 더 높게 보상하여 출력함)으로 보상할 수 있다. 도 13에서 제0데이터라인(S0)은 데이터 구동부의 더미 출력 채널에 연결된 부분을 의미한다.

[0093] 청색 서브 픽셀(B)은 다른 서브 픽셀들 대비 휘도 성분이 낮기 때문에 제2실시예와 같이 배치할 경우 약충전이 발생하는 서브 픽셀을 한정함과 더불어 그 위치를 변경할 수 있기 때문에 약충전이나 강충전과 같은 충전 편차로 인한 문제를 방지 및 완화할 수 있다. 즉, 제2실시예의 서브 픽셀 배치 구조는 데이터전압의 동일 극성 뭉침에 의한 도리도리 불량(머리를 좌우로 흔들 경우 세로선 인지되는 불량)이 발생하는 문제를 방지 및 완화할 수 있는 액정패널을 제공하게 된다.

[0094] 도 13 및 도 14에 도시된 바와 같이, 제2실시예에 따른 RGBW 타입 액정표시장치는 연속하는 4개의 출력 채널마다 데이터전압의 극성 변경위치가 다르고, 첫 번째 출력 채널과 다섯 번째 출력 채널씩 그룹화되어 데이터전압의 극성 변경위치가 동일한 데이터 구동부를 포함한다. 또한, 제2실시예의 데이터 구동부는 데이터전압의 극성 변경위치가 같은 출력 채널끼리 전하 공유(CS 참조)가 일어난다.

[0095] 그 결과, 제2실시예에 따른 데이터 구동부는 제1데이터라인(S1)을 통해 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+)의 데이터전압을 출력할 수 있다. 그리고 제2데이터라인(S2)을 통해 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-)의 데이터전압을 출력할 수 있다. 그리고 제3데이터라인(S3)을 통해 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+)의 데이터전압을 출력할 수 있다. 그리고 제4데이터라인(S4)을 통해 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 부극성(-), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 정극성(+), 부극성(-), 부극성(-)의 데이터전압을 출력할 수 있다. 달리 설명하면, 제2실시예에 따른 데이터 구동부는 연속하는 4개의 출력 채널(4n+1, 4n+2, 4n+3, 4n+4)로부터 출력되는 데이터전압의 극성 변경위치가 다르게 구현된다. 이때, 4개의 출력 채널(4n+1, 4n+2, 4n+3, 4n+4)로부터 출력되는 데이터전압의 극성 변경위치는 적어도 2개의 극성 간격차를 갖는다.

[0096] 이와 달리, 제5데이터라인(S5)은 제1데이터라인(S1)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 제6데이터라인(S6)은 제2데이터라인(S2)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 제7데이터라인(S7)은 제3데이터라인(S3)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 제8데이터라인(S8)은 제4데이터라인(S4)을 통해 출력되는 데이터전압의 극성과 반대의 데이터전압이 출력된다. 달리 설명하면, 제2실시예에 따른 데이터 구동부는 4개의 출력 채널 간격으로 데이터전압의 극성 변경위치가 동일하게 구현된다.

[0097] 이 밖에, 제2실시예에 따른 데이터 구동부는 제1데이터라인(S1)은 제5데이터라인(S5)과 함께, 제2데이터라인(S2)은 제6데이터라인(S6)과 함께, 제3데이터라인(S3)은 제7데이터라인(S7)과 함께, 제4데이터라인(S4)은 제8데

이터라인(S8)과 함께 전하 공유(CS 참조)가 일어나게 구현된다.

[0098] 제1 및 제2실시예에 따라 RGBW 타입 액정표시장치를 구현하고 액정패널에 백색(White), 적색(Red), 청색(Blue), 녹색(Green), 노란색(Yellow), 청녹색(Cyan), 심홍색(Magenta)의 패턴을 표시하면서 데이터 구동부의 발열을 실험한 결과를 보여주면 다음의 표 1과 같다.

[0099] [표 1]

[0100]

Pattern	비교예		제1실시예		제1실시예	
	Transition	발열예상	Transition	발열예상	Transition	발열예상
White	2회/8H	110℃	1회/8H	90℃	1회/8H	90℃
단색(R)	2회/8H	110℃	2회/8H	110℃	1회/8H	90℃
단색(B)	2회/8H	110℃	2회/8H	110℃	1회/8H	90℃
단색(G)	2회/8H	110℃	2회/8H	110℃	1회/8H	90℃
Yellow	2회/8H	110℃	2회/8H	110℃	2회/8H	110℃
Cyan	2회/8H	110℃	2회/8H	110℃	2회/8H	110℃
Magenta	4회/8H	147℃	4회/8H	137℃	2회/8H	110℃
1H	3.5회/8H	135℃	3회/8H	123℃	2회/8H	110℃

[0101] 표 1을 통해 알 수 있듯이, 제1실시예는 백색(White), 심홍색(Magenta) 및 1 수평시간(H) 변환 패턴(1H PTN)에서 비교예 대비 발열 개선 효과를 보였다. 그리고 제2실시예는 실험시 사용된 대부분의 패턴에서 비교예 대비 발열 개선 효과를 보였다.

[0102] 그러므로 제1 및 제2실시예는 수직 8 도트 인버전(Vertical 8 Dot Inversion) 구동 방식으로 대화면의 장치 구현 시, 액정패널의 소비전력을 절감함과 더불어 데이터 구동부의 발열을 낮출 수 있다. 제1 및 제2실시예는 이하에서 설명되는 제3실시예의 데이터 구동부를 기반으로 구현된다.

[0103] 이하 데이터 구동부의 발열을 낮추기 위한 방안에 대해 구체적으로 설명하면 다음과 같다.

[0104] 도 15는 본 발명의 제3실시예에 따라 RGBW 타입 액정표시장치를 구동하기 위해 마련된 데이터 구동부의 구성도이다.

[0105] 도 15에 도시된 바와 같이, 본 발명의 제3실시예에 따른 데이터 구동부는 디지털-아날로그 변환기들(PDAC, NDAC), 버퍼들(P1, P2, N1, N2, P3, P4, N3, N4), 멀티플렉서들(MUX), 스위치회로들(CSW), 및 출력 라인들(OUT1~OUT8)을 포함한다.

[0106] 디지털-아날로그 변환기들(PDAC, NDAC)은 디지털 형태의 데이터신호를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 디지털-아날로그 변환기들(PDAC, NDAC)(digital-to-analog conversion, 이하 "DAC"라 함)은 데이터신호를 정극성 감마 보상 전압으로 변환하여 정극성 데이터전압을 출력하는 PDAC(Positive DAC, PDAC)과 데이터신호를 부극성 감마 보상 전압으로 변환하여 부극성 데이터전압을 출력하는 NDAC(Negative DAC, NDAC)으로 나누어진다.

[0107] 버퍼들(P1, P2, N1, N2, P3, P4, N3, N4)은 PDAC과 NDAC의 출력단에 연결된다. 버퍼들(P1, P2, N1, N2, P3, P4, N3, N4)은 제1정극성 버퍼(P1), 제2정극성 버퍼(P1), 제1부극성 버퍼(N1), 제2부극성 버퍼(N2), 제3정극성 버퍼(P3), 제4정극성 버퍼(P4), 제3부극성 버퍼(N3), 제4부극성 버퍼(N4)의 순으로 배치된다.

[0108] 제1정극성 버퍼(P1)는 제1정극성 데이터를 증폭하여 출력한다. 제2정극성 버퍼(P2)는 제2정극성 데이터를 증폭하여 출력한다. 제1부극성 버퍼(N1)는 제1부극성 데이터를 증폭하여 출력한다. 제2부극성 버퍼(N2)는 제2부극성 데이터를 증폭하여 출력한다. 제3정극성 버퍼(P3)는 제3정극성 데이터를 증폭하여 출력한다. 제4정극성 버퍼(P4)는 제4정극성 데이터를 증폭하여 출력한다. 제3부극성 버퍼(N3)는 제3부극성 데이터를 증폭하여 출력한다. 제4부극성 버퍼(N4)는 제4부극성 데이터를 증폭하여 출력한다.

[0109] 멀티플렉서들(MUX)은 하나의 버퍼를 통해 출력되는 데이터전압을 다수의 출력 라인들(예컨대, 두 개의 출력 라

인)로 분배하는 분배용 스위치들(SA1, SB1, SB2, SC1, SD1, SV2, SA2, SD2, SC2, SE1, SF1, SG1, SH1, SF2, SE2, SH2, SG2)을 포함한다. 멀티플렉서들(MUX)은 극성 제어신호(POL)에 응답하여 특정 채널로 정극성 데이터전압 또는 부극성 데이터전압을 출력하기 위한 스위칭 동작을 한다.

[0110] 분배용 스위치들(SA1, SB1, SB2, SC1, SD1, SV2, SA2, SD2, SC2, SE1, SF1, SG1, SH1, SF2, SE2, SH2, SG2)은 극성 제어신호(POL)의 제1논리값에 의해 턴온되고 극성 제어신호(POL)의 제2논리값에 의해 턴오프될 수 있다. 한편, 도 15에서 분배용 스위치들(SA1, SB1, SB2, SC1, SD1, SV2, SA2, SD2, SC2, SE1, SF1, SG1, SH1, SF2, SE2, SH2, SG2)의 출력단자에 표기된 A ~ H는 극성 변경이 동일한 위치의 쌍을 나타낸 것이다.

[0111] 제1정극성 버퍼(P1)에 연결된 제1분배용 스위치(SA1)는 극성 제어신호(POL)의 논리값에 대응하여 제1정극성 버퍼(P1)의 출력단자를 제1출력 라인(OUT1)에 연결한다. 제1정극성 버퍼(P1)에 연결된 제2분배용 스위치(SB1)는 극성 제어신호(POL)의 논리값에 대응하여 제1정극성 버퍼(P1)의 출력단자를 제3출력 라인(OUT1)에 연결한다.

[0112] 제2정극성 버퍼(P2)에 연결된 제3분배용 스위치(SC2)는 극성 제어신호(POL)의 논리값에 대응하여 제2정극성 버퍼(P2)의 출력단자를 제2출력 라인(OUT2)에 연결한다. 제2정극성 버퍼(P2)에 연결된 제4분배용 스위치(SD1)는 극성 제어신호(POL)의 논리값에 대응하여 제2정극성 버퍼(P2)의 출력단자를 제4출력 라인(OUT1)에 연결한다.

[0113] 제1부극성 버퍼(N1)에 연결된 제5분배용 스위치(SB2)는 극성 제어신호(POL)의 논리값에 대응하여 제1부극성 버퍼(N1)의 출력단자를 제1출력 라인(OUT1)에 연결한다. 제1부극성 버퍼(N1)에 연결된 제6분배용 스위치(SA2)는 극성 제어신호(POL)의 논리값에 대응하여 제1부극성 버퍼(N1)의 출력단자를 제3출력 라인(OUT3)에 연결한다.

[0114] 제2부극성 버퍼(N2)에 연결된 제7분배용 스위치(SD2)는 극성 제어신호(POL)의 논리값에 대응하여 제2부극성 버퍼(N2)의 출력단자를 제2출력 라인(OUT2)에 연결한다. 제2부극성 버퍼(N2)에 연결된 제8분배용 스위치(SC2)는 극성 제어신호(POL)의 논리값에 대응하여 제2부극성 버퍼(N2)의 출력단자를 제4출력 라인(OUT4)에 연결한다.

[0115] 제3정극성 버퍼(P3)에 연결된 제9분배용 스위치(SE1)는 극성 제어신호(POL)의 논리값에 대응하여 제3정극성 버퍼(P3)의 출력단자를 제5출력 라인(OUT5)에 연결한다. 제3정극성 버퍼(P3)에 연결된 제10분배용 스위치(SF1)는 극성 제어신호(POL)의 논리값에 대응하여 제3정극성 버퍼(P3)의 출력단자를 제7출력 라인(OUT7)에 연결한다.

[0116] 제4정극성 버퍼(P4)에 연결된 제11분배용 스위치(SG1)는 극성 제어신호(POL)의 논리값에 대응하여 제4정극성 버퍼(P4)의 출력단자를 제6출력 라인(OUT6)에 연결한다. 제4정극성 버퍼(P4)에 연결된 제12분배용 스위치(SH1)는 극성 제어신호(POL)의 논리값에 대응하여 제4정극성 버퍼(P4)의 출력단자를 제8출력 라인(OUT8)에 연결한다.

[0117] 제3부극성 버퍼(N3)에 연결된 제13분배용 스위치(SF2)는 극성 제어신호(POL)의 논리값에 대응하여 제3부극성 버퍼(N3)의 출력단자를 제5출력 라인(OUT5)에 연결한다. 제3부극성 버퍼(N3)에 연결된 제14분배용 스위치(SE2)는 극성 제어신호(POL)의 논리값에 대응하여 제3부극성 버퍼(N3)의 출력단자를 제7출력 라인(OUT7)에 연결한다.

[0118] 제4부극성 버퍼(N4)에 연결된 제15분배용 스위치(SH2)는 극성 제어신호(POL)의 논리값에 대응하여 제4부극성 버퍼(N4)의 출력단자를 제6출력 라인(OUT6)에 연결한다. 제4부극성 버퍼(N4)에 연결된 제16분배용 스위치(SG2)는 극성 제어신호(POL)의 논리값에 대응하여 제4부극성 버퍼(N4)의 출력단자를 제8출력 라인(OUT8)에 연결한다.

[0119] 스위치회로들(CSW)은 데이터전압을 출력 라인들(OUT1~OUT8)로 전달하기 위한 전달용 스위치들(SW1~SW8)과 데이터전압의 극성이 변할 때 데이터전압의 극성이 동시에 변하는 출력 라인들(OUT1~OUT8)을 연결하기 위한 공유용 스위치들(SW9~SW12)을 포함한다.

[0120] 전달용 스위치들(SW1~SW8)은 제1소스 출력 인에이블 신호(SOE1)의 논리값에 대응하여 턴온/턴오프 동작을 한다. 전달용 스위치들(SW1~SW8)은 자신과 인접하는 분배용 스위치의 출력단과 자신과 인접하는 분배용 스위치로부터 적어도 4라인 떨어져 있는 분배용 스위치의 출력단에 일단이 연결되고 자신과 인접하는 출력 라인에 타단이 연결된다.

[0121] 제1전달용 스위치(SW1)는 제1 및 제5분배용 스위치(SA1, SB2)의 출력단에 일단이 연결되고 제1출력 라인(OUT1)에 타단이 연결된다. 제2전달용 스위치(SW2)는 제3 및 제7분배용 스위치(SC1, SD2)의 출력단에 일단이 연결되고 제2출력 라인(OUT2)에 타단이 연결된다. 제3전달용 스위치(SW3)는 제2 및 제6분배용 스위치(SB1, SA2)의 출력단에 일단이 연결되고 제3출력 라인(OUT3)에 타단이 연결된다. 제4전달용 스위치(SW4)는 제4 및 제8분배용 스위치(SD1, SC2)의 출력단에 일단이 연결되고 제4출력 라인(OUT4)에 타단이 연결된다. 제5전달용 스위치(SW5)는 제9 및 제13분배용 스위치(SE1, SF2)의 출력단에 일단이 연결되고 제5출력 라인(OUT5)에 타단이 연결된다. 제6전달용 스위치(SW6)는 제11 및 제15분배용 스위치(SG1, SH2)의 출력단에 일단이 연결되고 제6출력 라인(OUT6)에 타단이 연결된다. 제7전달용 스위치(SW7)는 제10 및 제14분배용 스위치(SF1, SE2)의 출력단에 일단이 연결되고 제

7출력 라인(OUT4)에 타단이 연결된다. 제8전달용 스위치(SW8)는 제12 및 제16분배용 스위치(SH1, SG2)의 출력단에 일단이 연결되고 제8출력 라인(OUT8)에 타단이 연결된다.

[0122] 공유용 스위치들(SW9~SW12)은 제2소스 출력 인에이블 신호(SOE2)의 논리값에 대응하여 턴온/턴오프 동작을 한다. 공유용 스위치들(SW9~SW12)은 자신과 인접하는 출력 라인에 일단이 연결되고 자신과 인접하는 출력 라인으로부터 적어도 2라인 떨어져 있는 출력 라인에 타단이 연결된다.

[0123] 제1공유용 스위치(SW9)는 제1출력 라인(OUT1)에 일단이 연결되고 제3출력 라인(OUT3)에 타단이 연결된다. 제2공유용 스위치(SW10)는 제2출력 라인(OUT2)에 일단이 연결되고 제4출력 라인(OUT4)에 타단이 연결된다. 제3공유용 스위치(SW11)는 제5출력 라인(OUT5)에 일단이 연결되고 제7출력 라인(OUT7)에 타단이 연결된다. 제4공유용 스위치(SW12)는 제6출력 라인(OUT6)에 일단이 연결되고 제8출력 라인(OUT8)에 타단이 연결된다.

[0124] 출력 라인들(OUT1~OUT8) 중 적어도 일부는 후단에 위치하는 출력 채널들(Ch1~Ch8)에 바로 연결되지 않고 특정 출력 채널과 교차 연결된다. 출력 라인들(OUT1~OUT8) 중 제1 및 제2 그리고 제7 및 제8출력 라인을 제외한 제3 내지 제6출력 라인은 자신의 출력 라인으로부터 적어도 3라인 떨어져 있는 출력 라인에 인접한 출력 채널과 연결된다.

[0125] 제1출력 라인(OUT1)은 제1출력 채널(Ch1)에 연결된다. 제2출력 라인(OUT2)은 제2출력 채널(Ch2)에 연결된다. 제3출력 라인(OUT3)은 제5출력 채널(Ch5)에 연결된다. 제4출력 라인(OUT4)은 제6출력 채널(Ch6)에 연결된다. 제5출력 라인(OUT5)은 제3출력 채널(Ch3)에 연결된다. 제6출력 라인(OUT6)은 제4출력 채널(Ch4)에 연결된다. 제7출력 라인(OUT7)은 제7출력 채널(Ch7)에 연결된다. 제8출력 라인(OUT8)은 제8출력 채널(Ch8)에 연결된다.

[0126] 한편, 출력 라인들(OUT1~OUT8)과 출력 채널들(Ch1~Ch8)은 데이터 구동부의 내부에 포함된다. 그러나 데이터 구동부의 개발 비용절감이나 공용화 등의 목적 달성을 위해 출력 라인들(OUT1~OUT8)과 출력 채널들(Ch1~Ch8) 간에 교차 연결되는 결선 구조를 데이터 구동부의 외부에 형성할 수도 있다. 예컨대, 출력 라인들(OUT1~OUT8)과 출력 채널들(Ch1~Ch8) 간의 결선 구조는 액정패널이나 데이터 구동부가 실장되는 기판 상에 위치할 수 있다. 이 경우, 출력 라인들(OUT1~OUT8)은 데이터 구동부의 출력 채널로 정의된다.

[0127] 제3실시예에 따른 데이터 구동부는 NDAC과 PDAC 간의 교대 사용을 위해 멀티플렉서들(MUX)을 배치하고 전하 공유 구동을 위해 NDAC과 PDAC을 정극성, 정극성, 부극성, 부극성, 정극성, 정극성, 부극성, 부극성의 순으로 배치 후 최종단(최종 출력 라인)에서 일부 라인을 교차 결선한다. 이 때문에, 타이밍 제어부는 입력되는 데이터신호를 기준으로 출력 전 데이터 매핑(Data mapping)을 할 필요가 있다.

[0128] 제3실시예에 따른 데이터 구동부는 위와 같은 구조를 취함에 따라 출력 채널 간의 극성 변경위치가 같으면서 데이터전압의 극성이 반대가 된다. 예컨대, 8n+1 출력 채널과 8n+5 출력 채널, 8n+2 출력 채널과 8n+6 출력 채널, 8n+3 출력 채널과 8n+7 출력 채널, 8n+4 출력 채널과 8n+8 출력 채널은 출력 채널 간의 극성 변경위치가 같으면서 데이터전압의 극성이 반대가 된다.

[0129] 제3실시예에 따른 데이터 구동부는 제1 및 제2실시예의 실험 결과가 말해 주듯이, 구동 주파수 증가 등이 요구되더라도 발열 수준을 낮출 수 있기 때문에 액정패널의 대면적화(대화면), 고해상도, 액정패널의 로드 증가 문제를 해소 및 개선할 수 있다.

[0130] 이상 본 발명은 동일 극성의 뭉침으로 인한 표시품질 저하를 방지함과 더불어 액정패널의 소비전력을 절감할 수 있는 RGBW 타입 액정표시장치를 제공하는 효과가 있다. 또한, 본 발명은 대화면 및 고해상도의 액정패널 구현 시 발열을 낮출 수 있는 데이터 구동부를 제공하는 효과가 있다.

[0131] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0132] 110: 영상 공급부 130: 타이밍 제어부

140: 게이트 구동부 150: 데이터 구동부

160: 액정패널 180: 전원공급부

170: 백라이트유닛 PDAC, NDAC: 디지털-아날로그 변환기들

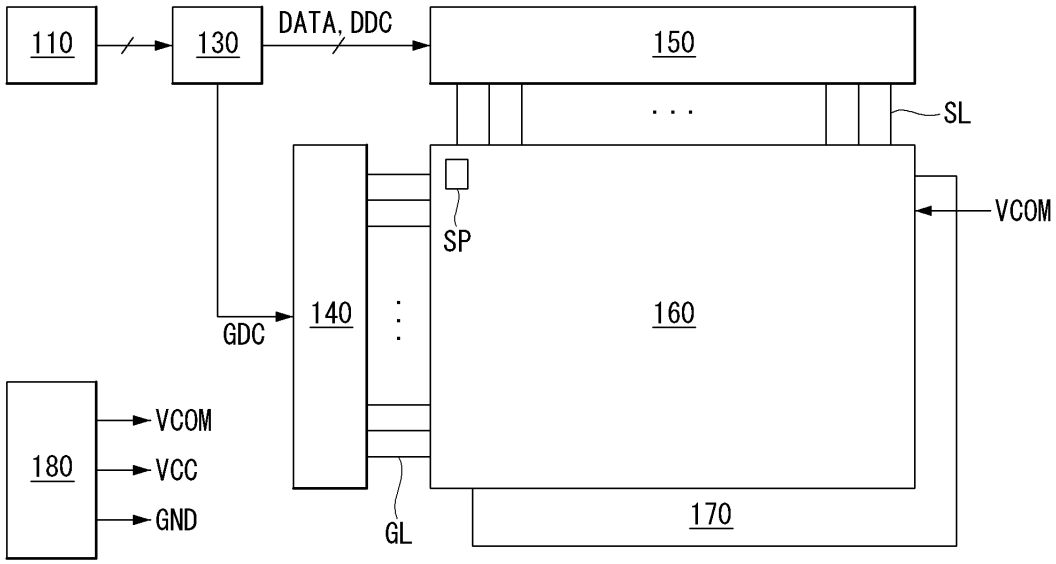
MUX: 멀티플렉서들 CSW: 스위치들

P1, P2, N1, N2, P3, P4, N3, N4: 버퍼들

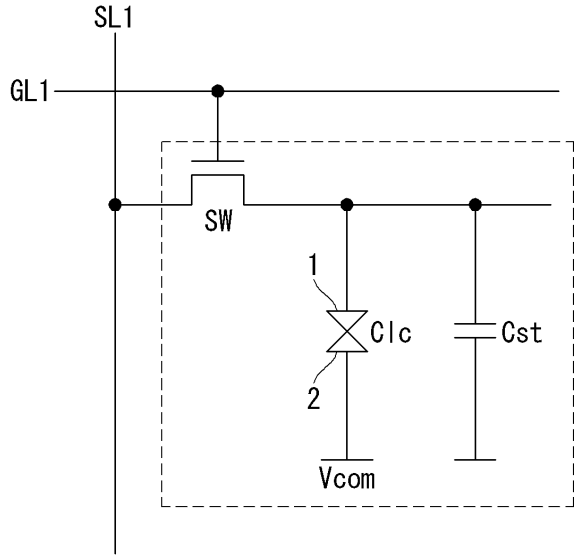
OUT1~OUT8: 출력 라인들 Ch1~Ch8: 출력 채널들

도면

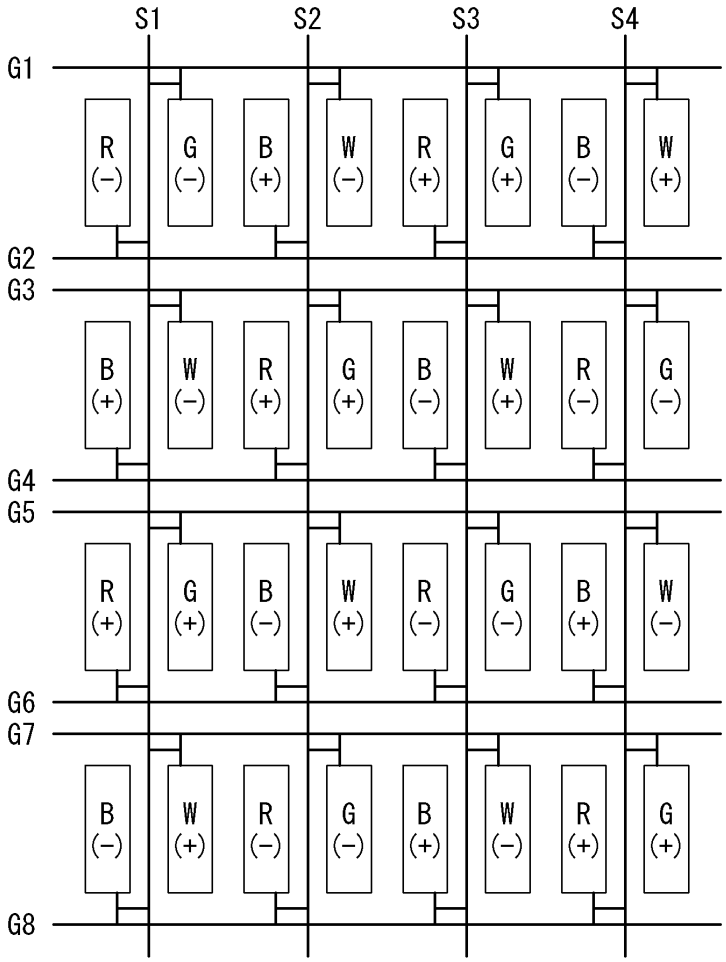
도면1



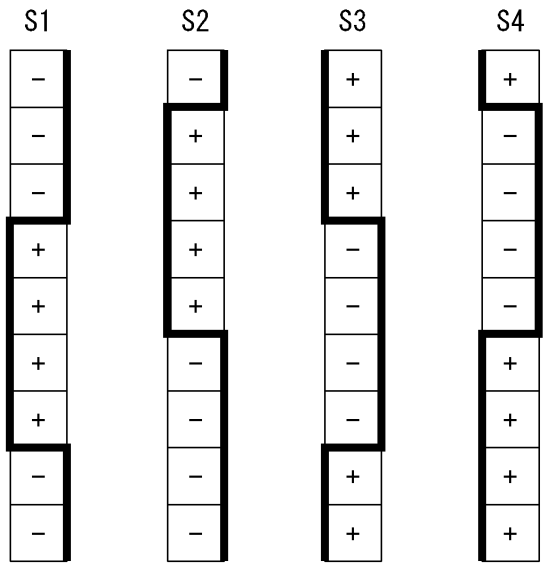
도면2



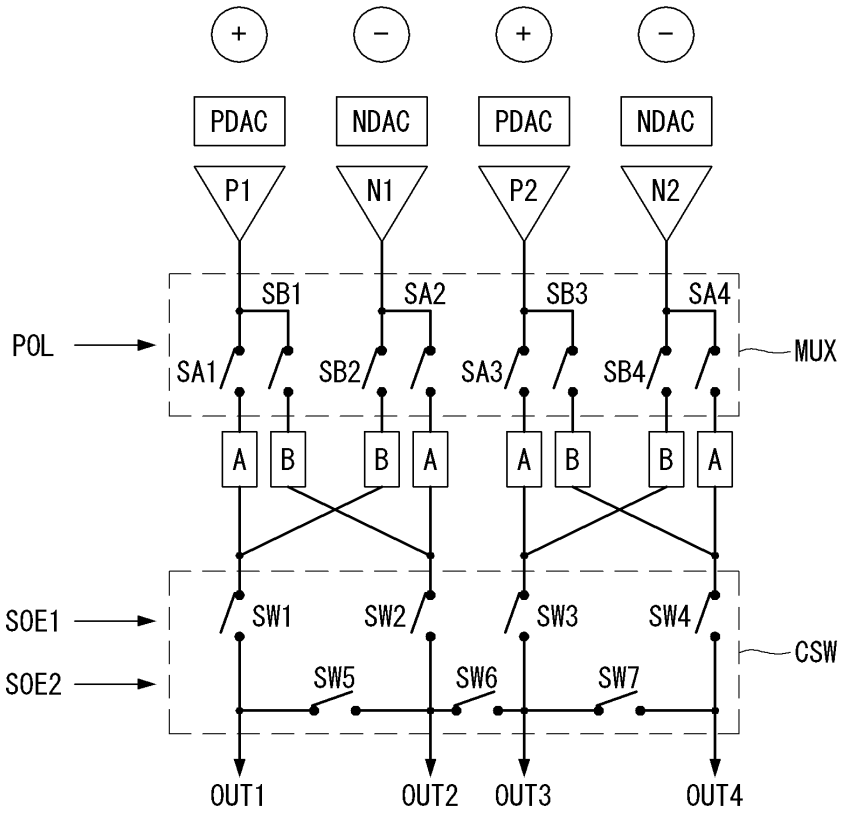
도면3


S1
S2
S3
S4
G1
G2
G3
G4
G5
G6
G7
G8
R (−)
G (−)
B (+)
W (−)
R (+)
G (+)
B (−)
W (+)
B (+)
W (−)
R (+)
G (+)
B (−)
W (+)
R (−)
G (−)
R (+)
G (+)
B (−)
W (+)
R (−)
G (−)
B (+)
W (−)
B (−)
W (+)
R (−)
G (−)
B (+)
W (−)
R (+)
G (+)

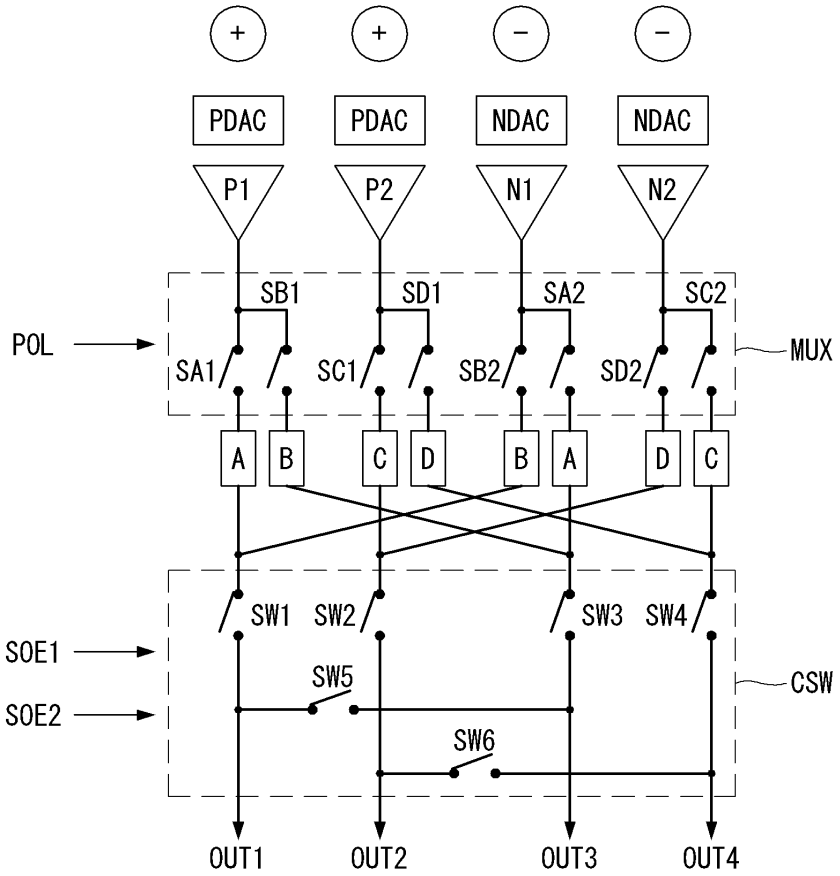
도면4


S1
S2
S3
S4
− − − + + + + − −
− + + + + − − − −
+ + + − − − + + + +
+ − − − − + + + +

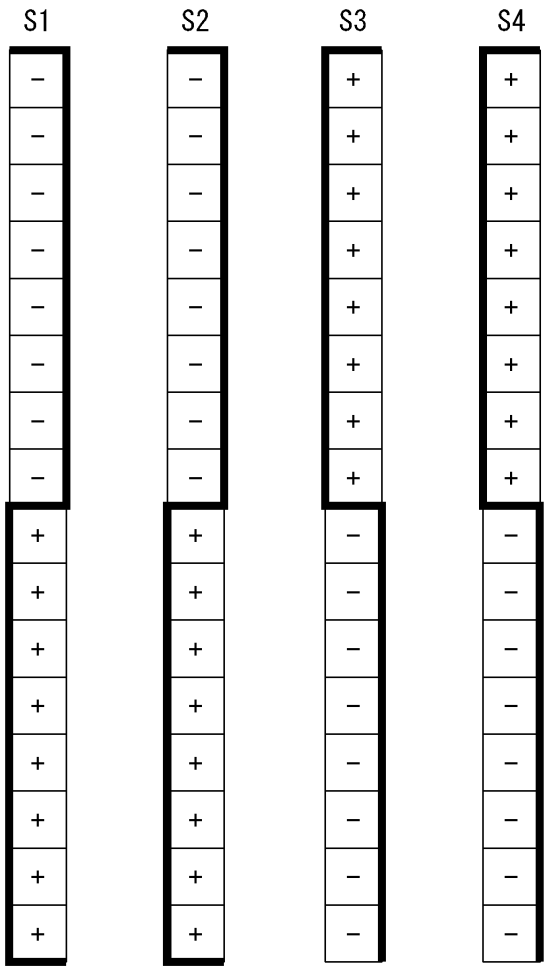
도면5


+
−
+
−
PDAC
NDAC
PDAC
NDAC
P1
N1
P2
N2
SB1
SA2
SB3
SA4
POL
SA1
SB2
SA3
SB4
MUX
A
B
B
A
A
B
B
A
SOE1
SW1
SW2
SW3
SW4
CSW
SOE2
SW5
SW6
SW7
OUT1
OUT2
OUT3
OUT4

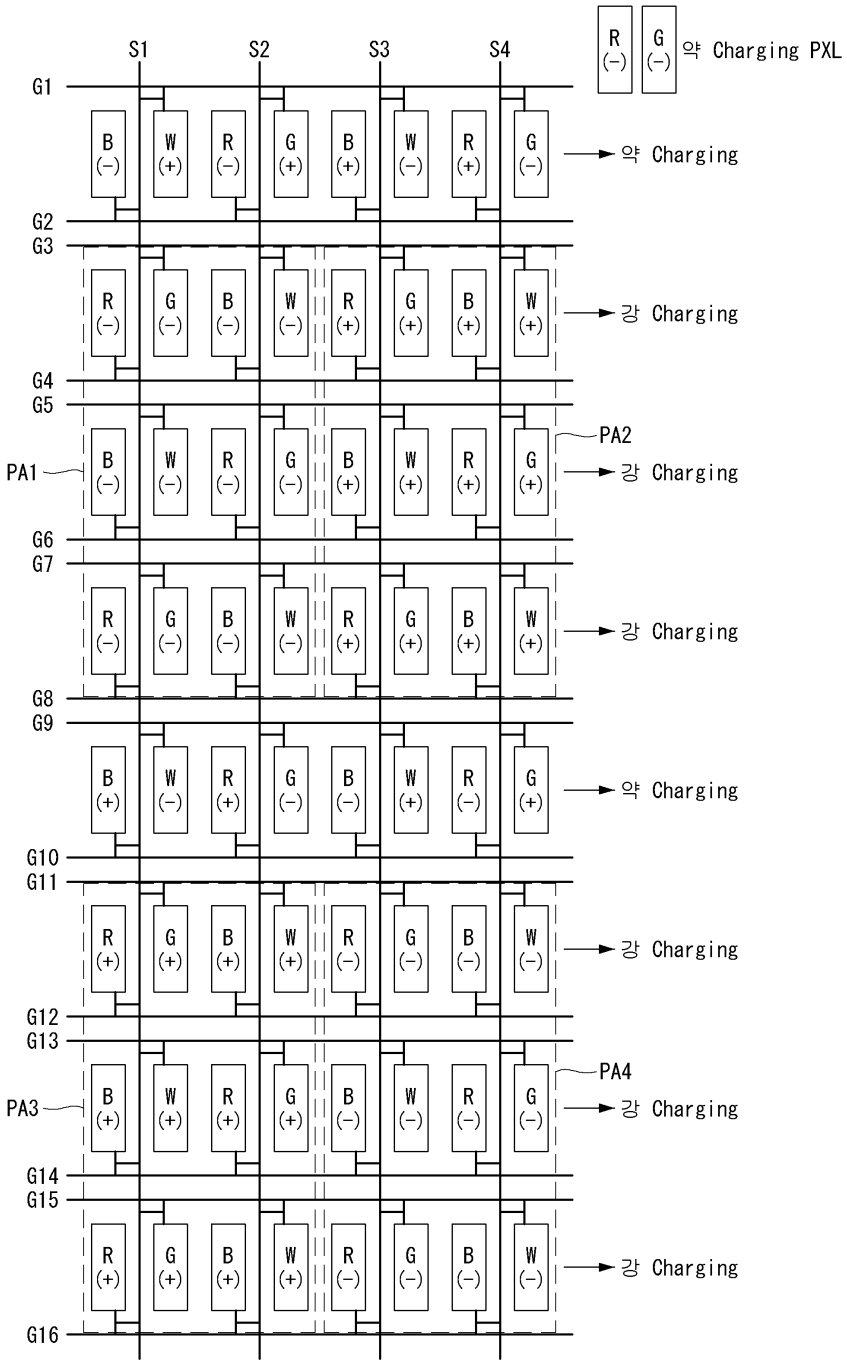
도면6


+
+
−
−
PDAC
PDAC
NDAC
NDAC
P1
P2
N1
N2
SB1
SD1
SA2
SC2
POL
SA1
SC1
SB2
SD2
MUX
A
B
C
D
B
A
D
C
SW1
SW2
SW3
SW4
SOE1
SW5
SOE2
CSW
SW6
OUT1
OUT2
OUT3
OUT4

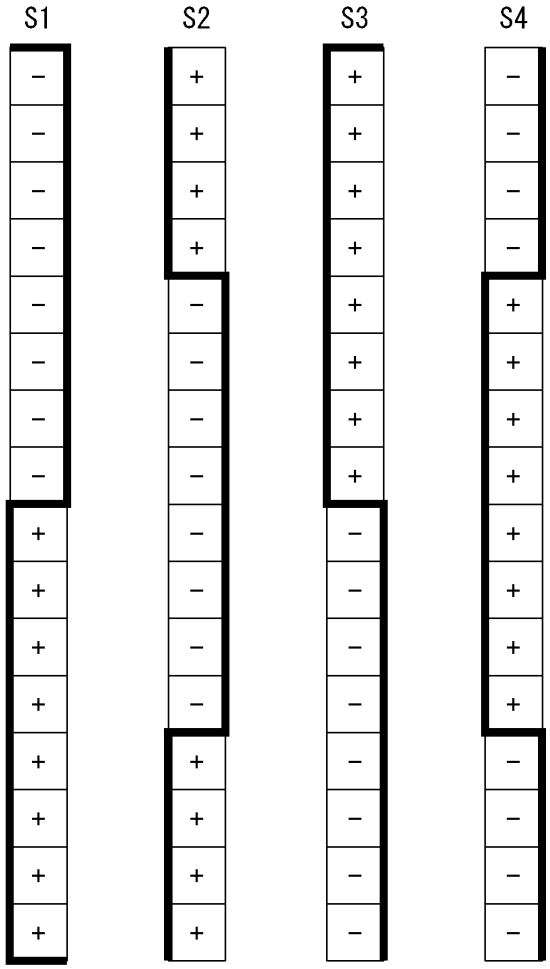
도면7



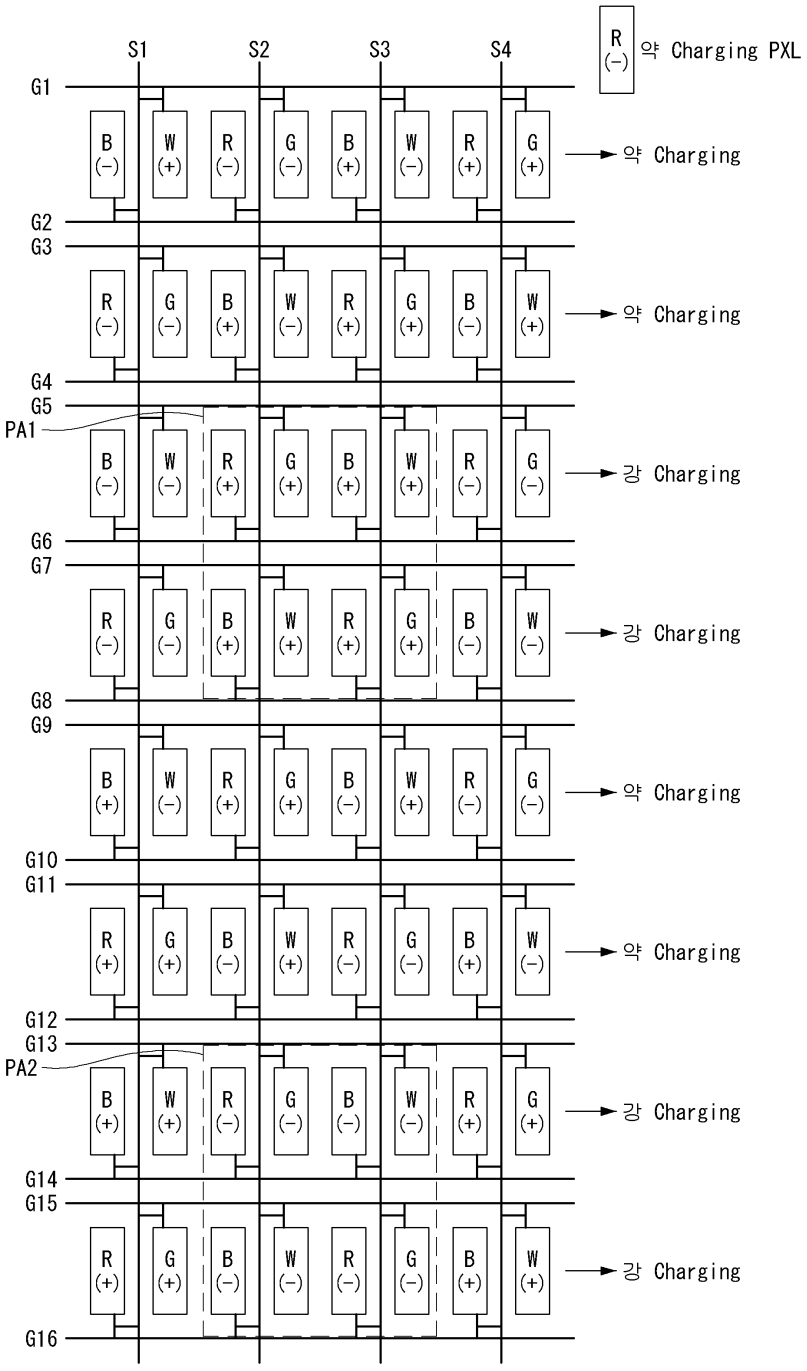
도면8


S1
S2
S3
S4
R (-)
G (-)
약 Charging PXL
G1
G2
G3
G4
G5
G6
G7
G8
G9
G10
G11
G12
G13
G14
G15
G16
PA1
PA2
PA3
PA4
약 Charging
강 Charging
강 Charging
강 Charging
약 Charging
강 Charging
강 Charging
강 Charging

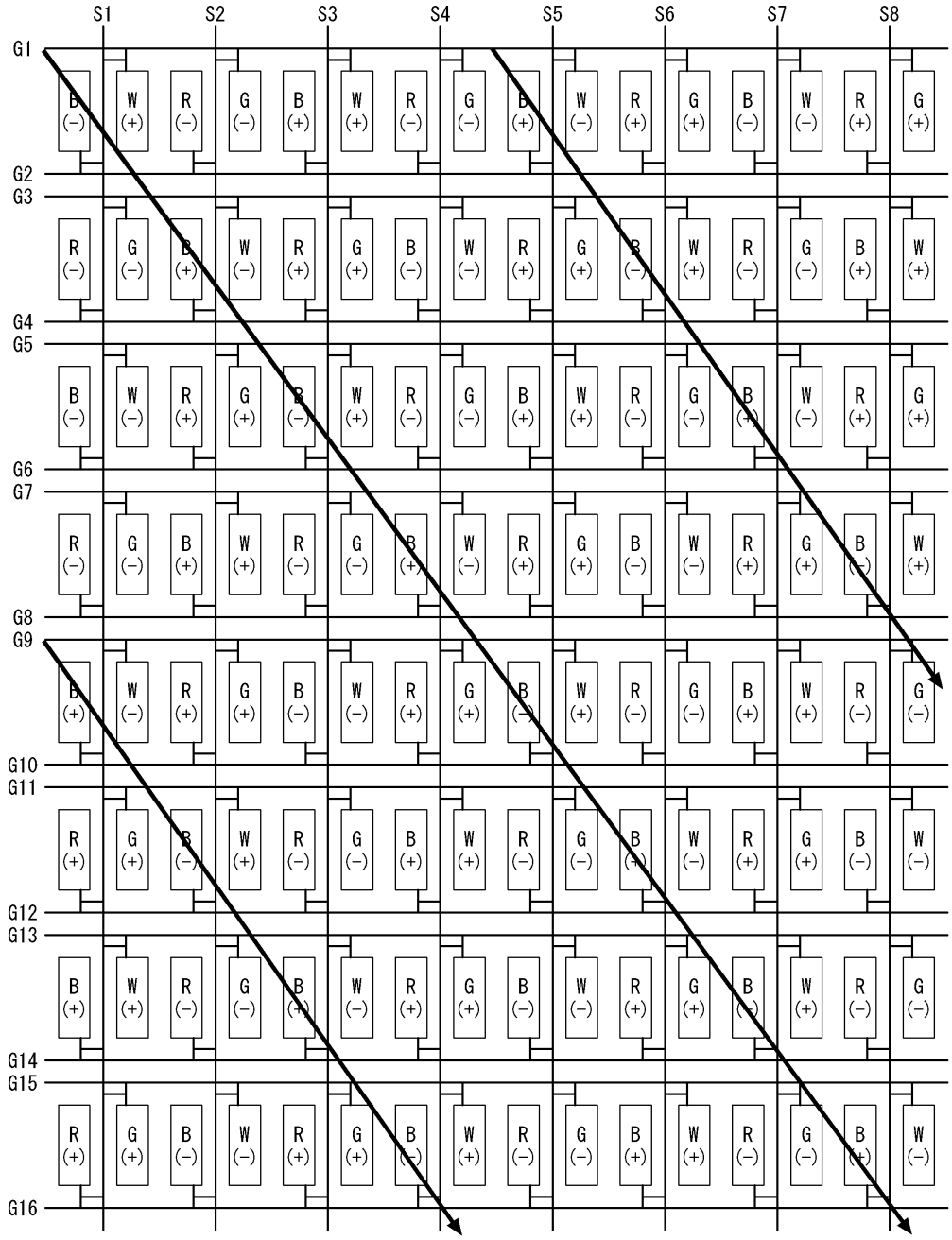
도면9



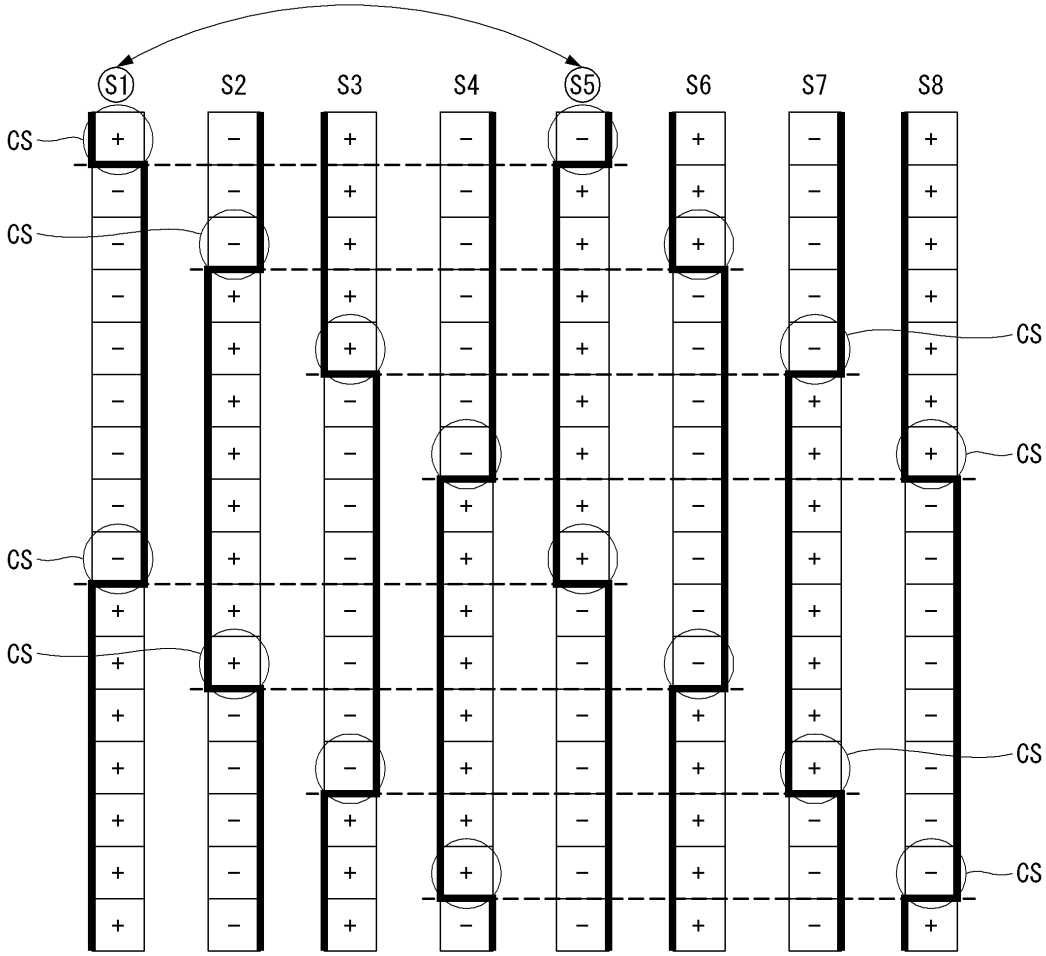
도면10


S1
S2
S3
S4
R (−) 약 Charging PXL
G1
G2
G3
G4
G5
PA1
G6
G7
G8
G9
G10
G11
G12
G13
PA2
G14
G15
G16
약 Charging
약 Charging
강 Charging
강 Charging
약 Charging
약 Charging
강 Charging
강 Charging

도면11


S1
S2
S3
S4
S5
S6
S7
S8
G1
G2
G3
G4
G5
G6
G7
G8
G9
G10
G11
G12
G13
G14
G15
G16

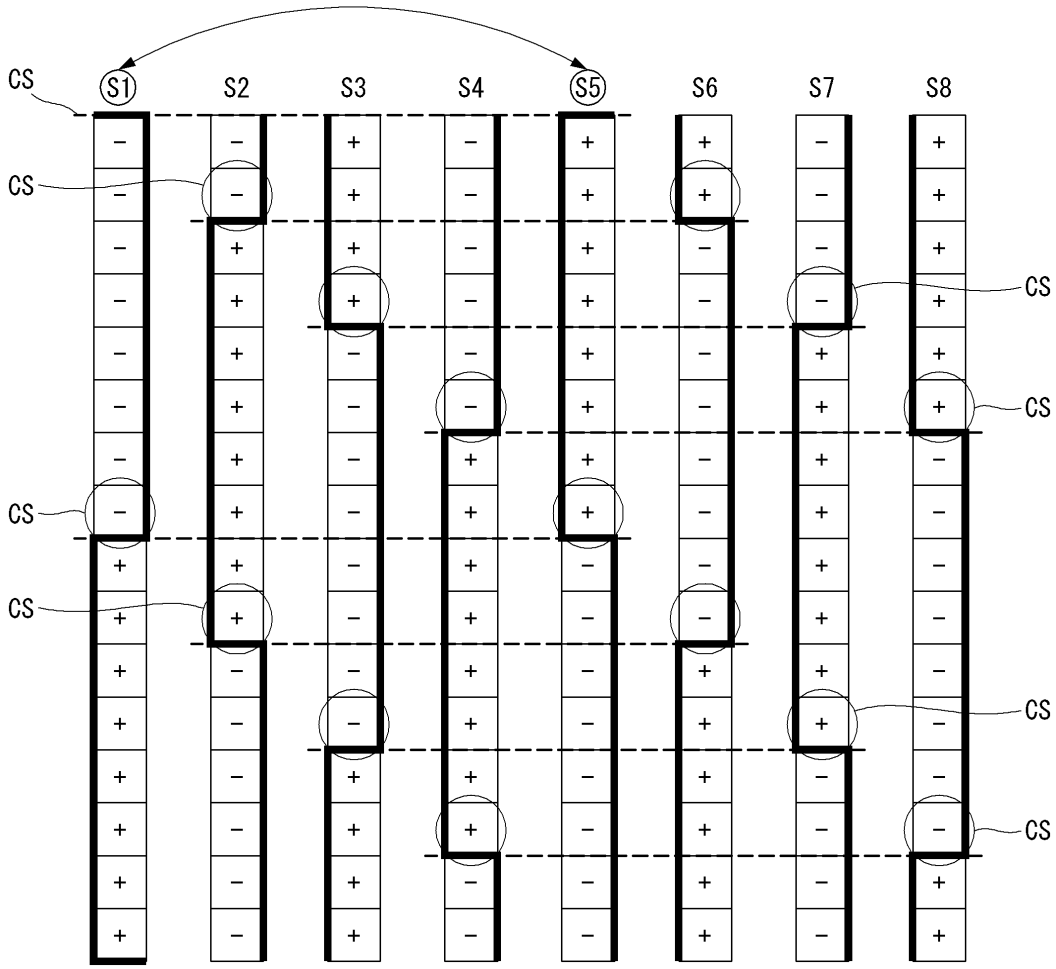
도면12



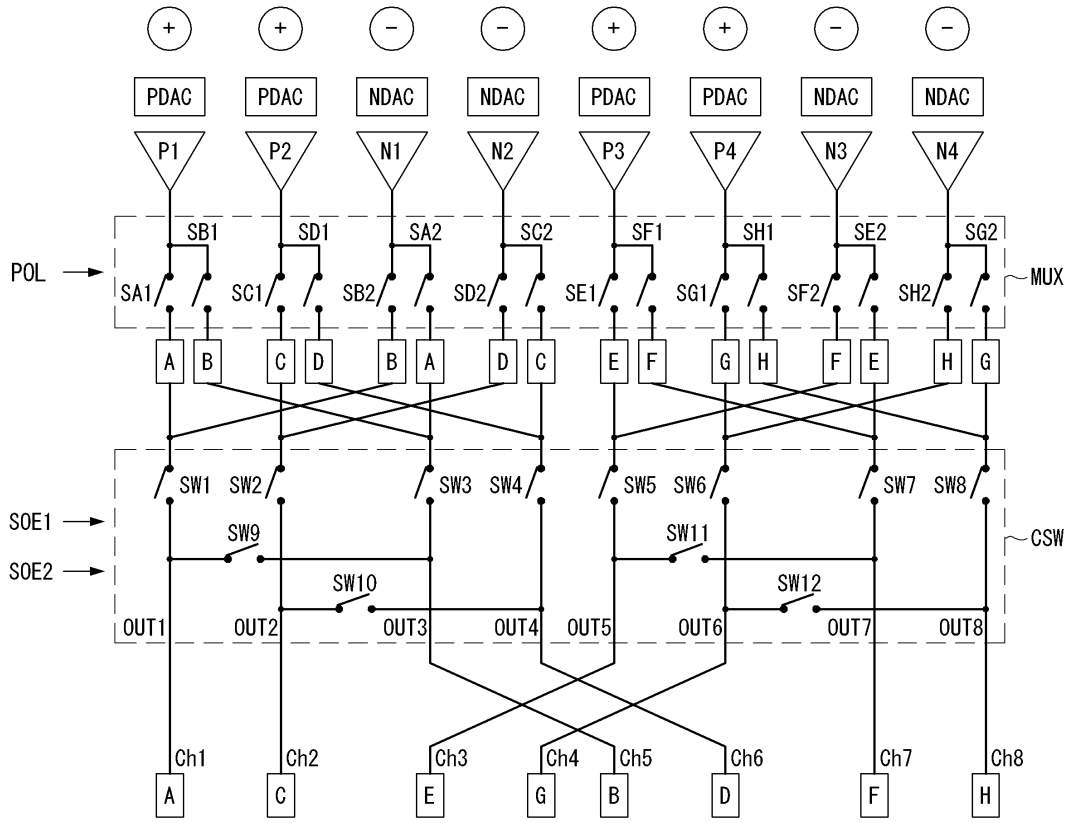
도면13

S0
S1
S2
S3
S4
S5
S6
S7
S8
G1
G2
G3
G4
G5
G6
G7
G8
G9
G10
G11
G12
G13
G14
G15
G16

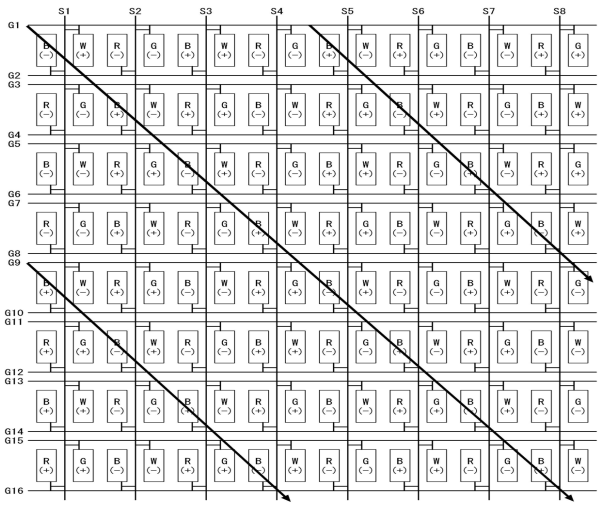
도면14



도면15


+
+
−
−
+
+
−
−
PDAC
PDAC
NDAC
NDAC
PDAC
PDAC
NDAC
NDAC
P1
P2
N1
N2
P3
P4
N3
N4
SB1
SD1
SA2
SC2
SF1
SH1
SE2
SG2
POL
SA1
SC1
SB2
SD2
SE1
SG1
SF2
SH2
MUX
A
B
C
D
B
A
D
C
E
F
G
H
F
E
H
G
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
SOE1
SW9
SW11
CSW
SOE2
SW10
SW12
OUT1
OUT2
OUT3
OUT4
OUT5
OUT6
OUT7
OUT8
Ch1
Ch2
Ch3
Ch4
Ch5
Ch6
Ch7
Ch8
A
C
E
G
B
D
F
H

专利名称(译)	液晶显示装置和数据驱动器		
公开(公告)号	KR1020180003704A	公开(公告)日	2018-01-10
申请号	KR1020160082713	申请日	2016-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SANG WOO KYU 상우규		
发明人	상우규		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3648 G09G2330/021 G09G2330/045 G09G2300/0828 G09G2300/0452		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，包括液晶面板，栅极驱动器和数据驱动器。液晶面板显示图像。栅极驱动器向液晶面板提供栅极信号。数据驱动器将数据电压提供给液晶面板。从数据驱动器输出的数据电压的极性反转，而数据电压的极性改变位置在至少四个输出通道间隔处相同。