(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0002967
(43) 공개일자 2018년01월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 2300/0426 (2013.01)
(21) 출원번호 10-2016-0081948
(22) 출원일자 2016년06월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김규진
경기도 파주시 월롱면 엘씨디로 201 F동 1208호 (덕은리,정다운마을)
남상진
충청남도 천안시 서북구 불당17길 14 101동 705호 (불당동,현대아이파크)
(뒷면에 계속)
(74) 대리인
특허법인로얄

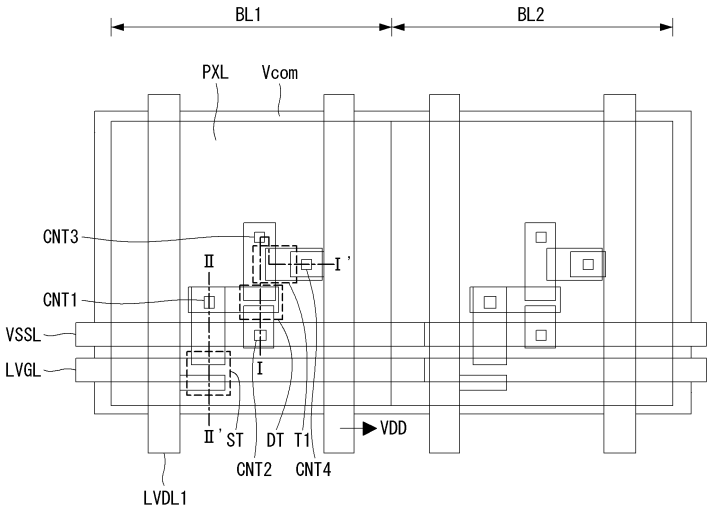
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **광 밸브 패널과 이를 이용한 액정표시장치**

(57) 요 약

본 발명에 의한 광 밸브 패널은 상부기판 및 하부기판을 구비한다. 상부기판에는 광 밸브 공통전극이 배치된다. 하부기판은 액정층을 사이에 두고 상부기판과 대면하며, 광 밸브 데이터라인, 광 밸브 게이트라인, 및 다수의 급전 노드를 통해서 전압을 인가받는 일체형의 광 밸브 픽셀전극을 포함한다. 광 밸브 데이터라인과 광 밸브 게이트라인이 교차하는 영역은 블록으로 정의된다. 각각의 블록은 스위칭 트랜지스터 및 구동 트랜지스터를 포함한다. 스위칭 트랜지스터의 드레인전극 및 게이트전극은 각각 광 밸브 데이터라인 및 광 밸브 게이트라인에 연결된다. 구동 트랜지스터는 스위칭 트랜지스터와 급전 노드 사이에 배치되어, 스위칭 트랜지스터의 소스전극에 연결되는 게이트전극의 전압에 따라 급전 노드의 전압을 조정한다.

대 표 도 - 도4



(52) CPC특허분류
G09G 2320/0242 (2013.01)
G09G 2320/066 (2013.01)
(72) 발명자
유욱상
경기도 파주시 쇠재로 133 (금촌동, 쇠재마을아파트) 508동 301호
유승진
경기도 고양시 일산서구 강성로 62 (주엽동, 강선마을9단지아파트) 화성A 909-305

명 세 서

청구범위

청구항 1

광 밸브 공통전극이 배치된 상부기판; 및

액정층을 사이에 두고 상기 상부기판과 대면하며, 광 밸브 데이터라인, 광 밸브 게이트라인, 및 다수의 급전 노드를 통해서 전압을 인가받는 일체형의 광 밸브 픽셀전극을 포함하는 하부기판을 구비하고,

상기 광 밸브 데이터라인과 광 밸브 게이트라인이 교차하는 영역으로 정의되는 각각의 블록은

드레인전극 및 게이트전극이 각각 상기 광 밸브 데이터라인 및 상기 광 밸브 게이트라인에 연결되는 스위칭 트랜지스터; 및

상기 스위칭 트랜지스터와 상기 급전 노드 사이에 배치되어, 상기 스위칭 트랜지스터의 소스전극에 연결되는 게이트전극의 전압에 따라 상기 급전 노드의 전압을 조정하는 구동 트랜지스터를 포함하는 광 밸브 패널.

청구항 2

제 1 항에 있어서,

상기 구동트랜지스터의 드레인전극은 고전위전압을 인가받고, 소스전극은 저전위전압 라인에 연결되는 광 밸브 패널.

청구항 3

제 2 항에 있어서,

상기 블록은

상기 구동트랜지스터의 드레인전극에 연결되는 소스전극, 고전위전압 라인에 연결되는 게이트전극 및 드레인전극을 포함하는 제1 트랜지스터를 더 포함하는 광 밸브 패널.

청구항 4

제 2 항에 있어서,

상기 각각의 블록은

상기 구동트랜지스터의 게이트전극과 접속하는 제1 전극, 상기 구동트랜지스터의 소스전극과 접속하는 제2 전극으로 이루어지는 스토리지 커패시터를 더 포함하고,

상기 스토리지 커패시터는

상기 스위칭 트랜지스터가 턴-온 될 때, 상기 광 밸브 데이터라인으로부터 인가받는 광 밸브 데이터전압을 충전하는 광 밸브 패널.

청구항 5

제 4 항에 있어서,

상기 구동 트랜지스터는

상기 스토리지 커패시터에 저장된 전압에 대응하여 턴-온되어서, 상기 급전 노드의 전압을 고전위전압으로 유지하거나,

상기 턴-오프 상태일 때에, 상기 급전 노드의 전압을 저전위전압으로 유지하는 광 밸브 패널.

청구항 6

상기 저전위전압 라인 및 상기 구동트랜지스터의 게이트전극은 제1 금속층으로 이루어지고,

상기 스위칭 트랜지스터의 소스전극 및 상기 구동트랜지스터의 소스전극은 상기 제1 금속층을 덮는 게이트절연막 상에서 제2 금속층으로 이루어지고,

상기 스위칭 트랜지스터의 소스전극과 상기 구동트랜지스터의 게이트전극은 상기 게이트절연막을 관통하는 제1 컨택홀을 통해서 접속되는 일체형의 금속패턴으로 이루어지는 광 밸브 패널.

청구항 7

제 6 항에 있어서,

상기 스토리지 커패시터는 상기 금속패턴과 상기 저전위전압 라인이 중첩하는 영역으로 정의되는 광 밸브 패널.

청구항 8

제 6 항에 있어서,

상기 구동 트랜지스터의 소스전극과 상기 저전위전압 라인은 상기 게이트절연막을 관통하는 제2 컨택홀을 통해서 접속하는 광 밸브 패널.

청구항 9

제 6 항에 있어서,

상기 구동 트랜지스터의 드레인전극은 상기 제2 금속층으로 이루어지고,

상기 광 밸브 픽셀전극은 상기 제2 금속층을 덮는 패시베이션층 상에 위치하는 제3 금속층으로 이루어지며,

상기 급전 노드는 상기 구동 트랜지스터의 드레인전극과 상기 광 밸브 픽셀전극이 상기 패시베이션층을 관통하는 제3 컨택홀을 통해서 접속되는 영역인 광 밸브 패널.

청구항 10

입력 영상이 기입되는 픽셀들이 배치되는 표시패널;

상기 표시패널에 빛을 조사하는 백라이트 유닛; 및

상기 표시패널과 상기 백라이트 유닛 사이에 배치되어 입력 영상에 따라 상기 백라이트 유닛으로부터의 광량을 조절하는 광 밸브 패널을 구비하되,

상기 광 밸브 패널은

광 밸브 공통전극이 배치된 상부기판; 및

액정층을 사이에 두고 상기 상부기판과 대면하며, 광 밸브 데이터라인들과 광 밸브 게이트라인들이 각각 교차하는 영역으로 정의되는 다수의 블록으로 분할되되, 각각의 블록들에 배치되는 급전 노드들은 광 밸브 픽셀전극을 통해서 전기적으로 연결되는 하부기판을 구비하고,

상기 각각의 블록은

상기 광 밸브 데이터라인과 상기 광 밸브 게이트라인의 교차부에 배치되는 스위칭 트랜지스터; 및

상기 스위칭 트랜지스터와 상기 급전 노드 사이에 배치되어, 상기 스위칭 트랜지스터의 소스전극에 연결되는 게이트전극의 전압에 따라 상기 급전 노드의 전압을 조정하는 구동 트랜지스터를 포함하는 액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 입력 영상의 휘도 분포를 바탕으로 표시패널에 입사되는 광량을 조절하는 광 밸브 패널 및 이를 이용한 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display: OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor: 이하 "TFT"라 함)가 형성되어 있다.

[0003] 액정표시장치는 액정층을 가진 표시패널, 표시패널에 빛을 조사하는 백라이트 유닛(Back Light Unit, BLU), 표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 표시패널의 액정층에 인가되는 데이터 전압으로 입력 영상의 계조가 표현된다. 액정표시장치는 백라이트로 인하여 어두운 영상의 재현성이 떨어진다. 이는 백라이트 유닛이 입력 영상의 휘도 분포에 관계 없이 표시패널의 화면 전체에 균일한 광량으로 빛을 조사하기 때문이다. 따라서, 액정표시장치의 명암비(contrast ratio)를 개선하는데에 한계가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 표시패널에 입사되는 광량을 입력 영상에 따라 조절하여 명암비를 향상시키도록 한 광 밸브 패널과 이를 이용한 액정표시장치에 관한 것이다.

과제의 해결 수단

[0006] 본 발명에 의한 광 밸브 패널은 상부기판 및 하부기판을 구비한다. 상부기판에는 광 밸브 공통전극이 배치된다. 하부기판은 액정층을 사이에 두고 상부기판과 대면하며, 광 밸브 데이터라인, 광 밸브 게이트라인, 및 다수의 급전 노드를 통해서 전압을 인가받는 일체형의 광 밸브 픽셀전극을 포함한다. 광 밸브 데이터라인과 광 밸브 게이트라인이 교차하는 영역은 블록으로 정의된다. 각각의 블록은 스위칭 트랜지스터 및 구동 트랜지스터를 포함한다. 스위칭 트랜지스터의 드레인전극 및 게이트전극은 각각 광 밸브 데이터라인 및 광 밸브 게이트라인에 연결된다. 구동 트랜지스터는 스위칭 트랜지스터와 급전 노드 사이에 배치되어, 스위칭 트랜지스터의 소스전극에 연결되는 게이트전극의 전압에 따라 급전 노드의 전압을 조정한다.

발명의 효과

[0007] 본 발명은 광 밸브 패널의 블록 내에서 휘도가 점진적으로 증가 또는 감소하도록 휘도를 그라데이션(gradation)으로 조절함으로써 측면 시야각에서의 휘도와 색 왜곡을 방지하고 휘선 현상을 방지할 수 있다.

[0008] 특히, 본 발명은 광 밸브 패널의 블록에 전압을 인가하기 위한 구동신호 라인들의 개수를 줄일 수 있어서, 고해상도의 표시장치에 적합하다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

도 2는 도 1에 도시된 표시패널, 광 밸브 패널 및 백라이트 유닛의 적층 구조를 보여 주는 단면도이다.

도 3은 본 발명에 의한 광 밸브 패널의 평면 어레이 구조를 나타내는 모식도이다.

도 4는 본 발명에 의한 광 밸브 패널을 나타내는 평면도이다.

도 5는 도 4에 도시된 광 밸브 패널의 등가회로도이다.

도 6은 도 4에 도시된 I-I'의 절단면을 나타내는 단면도이다.

도 7은 도 4에 도시된 Ⅱ-Ⅱ'의 절단면을 나타내는 단면도이다.

도 8은 도 5에 도시된 제1 블록에 인가되는 구동신호 및 주요 노드의 전압 변화를 나타내는 타이밍도이다.

도 9는 본 발명에 의한 광 밸브 패널의 블록들 간의 저항 분포를 나타내는 도면이다.

도 10은 비교 예에 의한 광 밸브 패널의 평면을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하 첨부된 도면을 참조하여 액정표시장치를 중심으로 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

[0011] 도 1은 본 발명에 의한 액정표시장치를 나타내는 도면이다. 도 2는 도 1에 도시된 액정표시장치의 단면을 나타내는 도면이다.

[0012] 도 1 및 도 2를 참조하면, 본 발명의 액정표시장치는 픽셀 어레이가 형성된 표시패널(PNL1), 표시패널(PNL1)에 빛을 조사하는 백라이트 유닛(BLU), 표시패널(PNL1)과 백라이트 유닛(BLN) 사이에 배치된 광 밸브 패널(PNL2), 제1 패널 구동 회로(10, 20, 30), 제2 패널 구동 회로(230,240,250), 백라이트 구동 회로(40)를 포함한다.

[0013] 표시패널(PNL1)은 액정층을 사이에 두고 대향하는 컬러필터 어레이기판(100) 및 박막트랜지스터 기판(110)을 포함한다.

[0014] 컬러필터 어레이기판(100)에는 블랙 매트릭스(Black matrix, BM)와 컬러 필터(Color filter, CF)를 포함한 컬러 필터 어레이가 형성된다.

[0015] 박막트랜지스터 기판(110)에는 데이터라인들(DL), 게이트라인들(GL), 공통 전극(12), TFT에 접속된 픽셀 전극(11), 및 픽셀 전극(11)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등이 형성된다. TFT들은 서브 픽셀 마다 하나씩 형성되어 픽셀전극(11)에 연결된다. TFT들은 비정질 실리콘(amorphose Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. TFT들은 서브 픽셀들의 화소 전극에 1:1로 연결된다. 공통전극(12)과 픽셀전극(11)은 절연막을 사이에 두고 분리된다.

[0016] 표시패널(PNL1)의 액정 모드는 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 공지된 어떠한 액정 모드로도 적용될 수 있다.

[0017] 표시패널(PNL1)의 컬러필터 어레이기판(100)과 박막트랜지스터 기판(110) 각각에는 편광 필름(13, 14)이 접착되고, 액정의 선경사각(pretilt angle)을 설정하기 위한 배향막이 형성된다. 상판과 하판 사이에는 액정셀의 셀 갭(Cell gap)을 유지하기 위한 스페이서(spacer)가 형성될 수 있다.

[0018] 광 밸브 패널(PNL2)은 표시패널(PNL1)과 백라이트 유닛(BLU) 사이에 배치된다. 광 밸브 패널(PNL2)은 상부기판(200)과 하부기판(210)에 인가되는 전압차에 따라 액정 분자들을 구동하여 표시패널(PNL1)에 조사되는 광량을 조절한다. 광 밸브 패널(PNL2)은 전기적으로 제어되는 액정 분자들을 이용하여 입력 영상에 동기하여 광량을 조절하는 액정 셔터(shutter)이다.

[0019] 광 밸브 패널(PNL2)의 액정은 TN 모드로 구동될 수 있다. TN 모드에서 액정셀(liquid crystal cell)의 휘도는 노말리 화이트(Normally White)의 투과율 대 전압 커브(transmittance-voltage curve, T-V curve)를 따라 조절된다. 노말리 화이트의 T-V 커브는 전압이 낮을수록 투과율이 높아져 액정셀의 휘도가 높아지고, 전압이 높을수록 투과율이 낮아져 액정셀의 휘도가 낮아진다. 광 밸브 패널(PNL2)의 구조 및 동작에 대한 자세한 설명은 후술하기로 한다.

[0020] 표시패널(PNL1)과 광 밸브 패널(PNL2)은 접착제, 예를 들어, OCA(Optical Clear Adhesive)로 접착될 수 있다.

[0021] 제1 패널 구동 회로(10, 20, 30)는 입력 영상의 데이터를 픽셀들에 기입한다. 제1 패널 구동 회로(10, 20, 30)는 제1 타이밍 콘트롤러(10), 제1 데이터 구동부(20) 및 게이트 구동부(30)를 포함한다. 제1 패널 구동 회로(10, 20, 30)는 하나의 IC로 집적될 수 있다.

[0022] 제1 타이밍 콘트롤러(10)는 호스트 시스템(5)으로부터 수신된 입력 영상의 디지털 비디오 데이터를 데이터 구동부(20)로 전송한다. 제1 타이밍 콘트롤러(10)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(5)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호

(DE), 클럭(CLK) 등을 포함한다. 제1 타이밍 콘트롤러(10)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 바탕으로 데이터 구동부(20)와 게이트 구동부(30)의 동작 타이밍을 제어한다. 제1 타이밍 콘트롤러(10)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호를 제1 데이터 구동부(20)의 소스 드라이브 IC들 각각에 전송할 수 있다.

[0023] 제1 데이터 구동부(20)의 출력 채널들은 픽셀 어레이의 데이터 라인들(DL)에 연결된다. 제1 데이터 구동부(20)는 제1 타이밍 콘트롤러(10)로부터 입력 영상의 디지털 비디오 데이터를 수신한다. 제1 데이터 구동부(20)은 제1 타이밍 콘트롤러(10)의 제어 하에 입력 영상의 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 제1 데이터 구동부(20)의 출력 전압은 데이터 라인들(DL)에 공급된다. 제1 데이터 구동부(20)는 타이밍 콘트롤러(10)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시킨다.

[0024] 게이트 구동부(30)는 제1 타이밍 콘트롤러(10)의 제어 하에 게이트 라인들(GL)에 데이터 전압에 동기되는 게이트 펄스를 순차적으로 공급한다. 게이트 구동부(30)로부터 출력된 게이트 펄스는 데이터 라인들(DL)에 공급되는 데이터 전압에 동기된다.

[0025] 제2 패널 구동 회로(230,240,250)는 입력 영상에 동기하여 광 밸브 패널(PNL2)을 투과하는 광량을 조절함으로써 표시패널(PNL1)에서 재현된 영상의 명암비를 향상시킨다. 제2 패널 구동 회로(230,240,250)는 제2 타이밍 콘트롤러(230), 제2 게이트 구동부(240) 및 제2 데이터 구동부(250)를 포함한다. 제2 패널 구동 회로(230,240,250)는 하나의 IC로 집적될 수 있다.

[0026] 제2 타이밍 콘트롤러(230)는 입력 영상의 데이터를 제2 데이터 구동부(250)로 전송한다. 제2 타이밍 콘트롤러(230)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(5)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭(CLK) 등을 포함한다. 제2 타이밍 콘트롤러(230)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 바탕으로 제2 데이터 구동부(250)의 동작 타이밍을 제어한다.

[0027] 게이트 구동부(240)는 제2 타이밍 콘트롤러(230)의 제어 하에 광 밸브 게이트라인(LVGL)에 게이트 펄스를 순차적으로 공급한다. 게이트 구동부(240)로부터 출력된 게이트 펄스는 광 밸브 데이터라인들(LVDL)에 공급되는 데이터 전압에 동기된다.

[0028] 제2 데이터 구동부(250)는 제2 타이밍 콘트롤러(110)로부터 입력 영상의 디지털 비디오 데이터를 입력 받는다. 제2 데이터 구동부(250)는 제2 타이밍 콘트롤러(230)의 제어 하에 데이터전압을 출력한다. 제2 데이터 구동부(250)의 출력 전압은 광 밸브 데이터라인들(LVDL)에 공급된다. 제2 데이터 구동부(250)는 제2 타이밍 콘트롤러(230)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 반전시킨다.

[0029] 제1 및 제2 패널 구동회로는 다양한 형태로 집적될 수 있다. 예를 들어, 제1 및 제2 타이밍 콘트롤러(100, 110)는 하나의 IC로 집적될 수 있다. 제1 및 제2 패널 구동회로는 하나의 IC 집적 회로로 집적될 수 있다.

[0030] 백라이트 유닛(BLU)은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다. 백라이트 유닛은 광원(LS), 도광판(LGP), 광학 시트(OPT) 등을 포함한다. 광원(LS)은 LED(Light Emitting Diode)와 같은 점광원으로 구현될 수 있다. 광원들(LS)은 백라이트 구동부(40)로부터 공급되는 구동전압에 따라 그 휘도가 독립적으로 조절된다. 광학 시트는 1 매 이상의 프리즘 시트와 1 매 이상의 확산 시트를 포함하여 도광판(LGP)으로부터 입사되는 빛을 확산하고 표시패널(PNL)의 광입사면에 대하여 실질적으로 수직인 각도로 빛의 진행경로를 굴절시킨다.

[0031] 호스트 시스템(5)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0032] 본 발명의 액정표시장치는 도시하지 않은 전원부를 더 포함한다. 전원부는 직류-직류 변환기(DC-DC converter)를 이용하여 표시패널(PNL1)과 광 밸브 패널(PNL2)의 구동에 필요한 전압들을 발생한다. 이 전압들은 고전위 전원전압(VDD), 로직 전원전압(VCC), 감마기준전압, 게이트 하이전압(VGH), 게이트 로우전압(VGL), 공통전압(Vcom) 등을 포함한다. 고전위 전원전압(VDD)은 표시패널(PNL1)과 픽셀에 충전될 최대 데이터 전압이다. 로직 전원전압(VCC)은 제1 및 제2 패널 구동 회로의 IC 전원 전압이다. 게이트 하이전압(VGH)은 픽셀 어레이의 TFT들의 문턱 전압 이상으로 설정된 게이트 펄스의 하이 논리 전압이고, 게이트 로우전압(VGL)은 픽셀 어레이의 TFT들의 문턱 전압 보다 낮은 전압으로 설정된 게이트 펄스의 로우 논리 전압이다. 게이트 하이전압(VGH)과 게이트 로우전압(VGL)은 게이트 구동부(30)에 공급된다. 게이트 펄스는 게이트 하이전압(VGH)과 게이트 로우전압

(VGL) 사이에서 스윙한다. 공통 전압(Vcom)은 액정셀들(Clc)의 공통전극(12)에 공급된다. 전원부는 고전위 전원전압(VDD)을 분압하여 감마기준전압을 발생한다. 감마기준전압은 데이터 구동부(20) 내의 분압 회로에서 분압되어 계조에 따라 정극성/부극성 감마보상전압으로 나뉘어 진다.

[0033] 도 3은 광 밸브 패널의 어레이 구조를 나타내는 모식도이고, 도 4는 광 밸브 패널의 평면을 나타내는 도면이다. 도 5는 도 4에 도시된 제1 및 제2 블록의 등가회로도이다. 그리고 도 6에 도시된 I-I' 간의 절단면을 나타내는 도면이고, 도 7은 도 4에 도시된 Ⅱ-Ⅱ'간의 절단면을 나타내는 도면이다.

[0034] 도 3 내지 도 7을 참조하면, 본 발명의 실시 예에 의한 광 밸브 패널(PNL2)은 m×n개의 블록(BL)들로 분할된다. 각각의 블록(BL)은 광 밸브 데이터라인(LVDL)과 게이트라인(LVGL)이 교차하는 영역으로 정의될 수 있다. 각각의 블록(BL)에는 고전위전압 라인(VDDL)과 광 밸브 픽셀전극(PXL)에 인가하는 전압을 인가하는 급전 노드(NV)가 배치된다.

[0035] 광 밸브 패널(PNL2)은 상부기판(200) 및 하부기판(210)을 포함한다.

[0036] 상부기판(200)은 제1 베이스기판(SUB1) 및 광 밸브 공통전극(VCOM)을 포함한다. 광 밸브 공통전극(VCOM)은 블록(BL)의 경계에 따라 분할되지 않고, 상부기판(200)의 전면에 걸쳐서 일체형으로 이루어진다. 광 밸브 공통전극(VCOM)은 ITO와 같은 투명 전극 물질로 형성될 수 있다.

[0037] 하부기판(210)은 제2 베이스기판(SUB2), 광 밸브 픽셀전극(PXL), 광 밸브 게이트라인(LVGL), 광 밸브 데이터라인(LVDL), 스토리지 커패시터(Cst), 스위칭 트랜지스터(ST) 및 구동 트랜지스터(dt)를 포함한다.

[0038] 각각의 블록(BL)들에는 광 밸브 데이터라인(LVDL) 및 고전위전압라인(VDDL)이 열 방향으로 배치되고, 광 밸브 게이트라인(LVGL)이 행 방향으로 배치된다. 즉, 광 밸브 데이터라인(LVDL)들 및 고전위전압라인(VDDL)은 n개가 배치되고, 광 밸브 게이트라인(LVGL)들은 m개가 배치된다.

[0039] 스위칭 트랜지스터(ST)는 광 밸브 게이트라인(LVGL)에 연결되는 게이트전극(G1), 광 밸브 데이터라인(LVDL)에 연결되는 드레인전극(D1) 및 제1 노드(N1)에 연결되는 소스전극(S1)을 포함한다. 스위칭 트랜지스터(ST)는 광 밸브 게이트펄스(G)에 응답하여, 광 밸브 데이터전압(Data)을 제1 노드(N1)에 기입한다.

[0040] 구동 트랜지스터(DT)는 제1 노드(N1)에 연결되는 게이트전극(G2), 급전노드(NV)에 연결되는 드레인전극(D2) 및 저전위전압라인(VSSL)에 연결되는 소스전극(S2)을 포함한다. 구동 트랜지스터(DT)는 제1 노드(N1)의 전압에 응답하여, 급전 노드(NV)와 저전위전압 라인(VSSL) 간의 전류 패스를 형성시킨다. 그 결과 구동 트랜지스터(DT)는 턴-온 되었을 때에는 고전위전압(VDD)을 급전 노드(NV)에 인가하고, 턴-오프 상태에서는 저전위전압(VSS)을 급전 노드(NV)에 인가한다.

[0041] 제1 트랜지스터(T1)의 게이트전극(G3) 및 드레인전극(D3)은 고전위전압 라인(VDDL)에 연결되고, 소스전극(S3)은 급전 노드(NV)에 연결된다. 제1 트랜지스터(T1)는 정류 역할을 한다.

[0042] 도 6 및 도 7을 참조하면, 제2 베이스기판(SUB) 상에는 제1 금속층으로 형성되는 각 트랜지스터들(ST,DT,T1)의 게이트전극(G1,G2,G3)들 및 저전위전압라인(VSSL)이 위치한다. 제1 금속층은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다.

[0043] 제1 금속층을 이용한 패턴들 상에는 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다.

[0044] 게이트 절연막(GI) 상에는 제2 금속층으로 형성되는 각 트랜지스터들(ST,DT,T1)의 소스전극들(S1,S2,S3)과 드레인전극들(D1,S2,S3)이 위치한다. 제2 금속층은 단일층 또는 다중층으로 이루어질 수 있으며, 제2 금속층이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.

[0045] 스위칭 트랜지스터(ST), 구동 트랜지스터(DT) 및 제1 트랜지스터(T1)들의 드레인 전극과 소스 전극 사이에는 각각 제1 및 제2 활성층(A1,S2)이 위치한다.

[0046] 스위칭 트랜지스터(ST)의 소스전극(S1)과 구동 트랜지스터(DT)의 게이트전극(G2)은 게이트절연막(GI)을 관통하는 제1 컨택홀(CNT1)을 통해서 접속된다.

[0047] 또한, 구동 트랜지스터(DT)의 소스전극(S2)과 저전위전압 라인(VSSL)은 게이트절연막을 관통하는 제2 컨택홀

(CNT2)을 통해서 접속된다.

[0048] 제2 금속층 상에는 패시베이션층(PAS)이 위치한다. 패시베이션층(PAS) 상에는 제2 하부기판(210)의 전면을 걸쳐서 광 밸브 픽셀전극(PXL)이 위치한다. 광 밸브 픽셀전극(PXL)과 구동 트랜지스터(DT)의 드레인전극(D2)은 제3 컨택홀(CNT)을 통해서 접속되고, 제3 컨택홀(CNT3)을 통해서 형성되는 구동 트랜지스터(DT)의 드레인전극(D2)과 광 밸브 픽셀전극(PXL)의 전류 패스 경로는 급전 노드(NV)로 정의된다.

[0049] 도 8은 도 5에 도시된 제1 블록의 구동신호 및 주요 노드의 전압 변화를 나타내는 타이밍도이다.

[0050] 도 5 및 도 8을 참조하면, 스캔기간(Ts) 동안에 제1 광 밸브 게이트라인(LVGL1)은 제1 게이트펄스(G1)를 인가받고, 제1 광 밸브 데이터라인(LVDL1)은 제1 광 밸브 데이터전압(Data1)을 인가받는다. 제1 스위칭 트랜지스터(ST1)는 제1 게이트펄스(G1)에 응답하여 턴-온된다. 그 결과 제1 스위칭 트랜지스터(ST1)는 제1 광 밸브 데이터전압(Data1)을 제1 노드(N1)에 인가한다.

[0051] 스캔기간(Ts)이 종료된 이후에 제1 게이트펄스(G1)는 턴-오프전압으로 반전되고, 제1 스위칭 트랜지스터(ST1)는 턴-오프된다. 제1 스위칭 트랜지스터(ST1)가 턴-오프되어서, 제1 노드(N1)는 플로팅(floating) 상태가 된다. 제1 구동 트랜지스터(DT1)는 제1 스토리지 커패시터(Cst1)에 저장된 전압 크기가 문턱전압(Vth) 이상일 경우에는 턴-온되고, 그렇지 않을 경우에는 턴-오프된다.

[0052] 제1 구동 트랜지스터(DT1)가 턴-온되는 동안, 고전위전압 라인(VDDL)으로부터 인가받는 고전위전압(VDD)이 제1 구동트랜지스터(DT1)를 경유하여 저전위전압으로 방전된다. 즉, 제1 구동 트랜지스터(DT1)가 턴-온되는 동안 제1 급전 노드(NV)는 고전위전압(VDD)의 전압레벨이 된다.

[0053] 그리고 제1 구동 트랜지스터(DT1)가 턴-오프 되는 동안, 제1 급전 노드(NV)는 저전위전압(VSS)의 전압레벨이 된다.

[0054] 제1 블록(BL1)의 제1 급전 노드(NV1) 및 제2 블록(BL2)의 제2 급전 노드(NV2)는 고저항(R)을 갖는 광 밸브 픽셀전극(PXL)을 통해서 연결된다. 그 결과 제1 블록(BL1)과 제2 블록(BL2)의 전압 분포는 제1 급전 노드(NV)의 전압 및 제2 급전 노드(NV)의 전압에 의해서 그라데이션(Gradation)한 분포를 갖는다.

[0055] 마찬가지로, 광 밸브 픽셀전극(PXL)은 일체형으로 이루어지기 때문에, 각각의 블록(BL)이 급전 노드(NV)를 통해서 인가받는 전압은 광 밸브 픽셀전극(PXL)의 전면을 거쳐서 분배된다.

[0056] 도 9는 첫 번째 행에 배치되는 블록들의 저항 분포를 나타내는 모식도이다.

[0057] 도 9를 참조하면, 각각의 제1 블록(BL1) 내지 제n 블록(BL)들은 각각 고저항을 통해서 전기적으로 연결된다. 따라서, 특정 블록(BL)의 급전 노드(NV)에 인가되는 전압은 다른 블록(BL)들로 분배된다.

[0058] 예컨대, 제1 급전 노드(NV1)에 고전위전압(VDD)이 인가되고 제n 급전 노드(NVn)에 저전위전압(VSS)이 인가될 경우에, 제1 블록(BL1) 내지 제n 블록(BLn)들은 제1 급전 노드(NV1) 및 제n 급전 노드(NVn)와의 거리에 따라서 다른 전압값을 갖는다. 즉, 제1 급전 노드(NV1)에 가까워질수록 고전위전압(VDD)에 가까운 전압레벨을 갖고, 제n 급전 노드(NV)에 가까워질수록 저전위전압(VSS)에 가까운 전압레벨을 갖는다. 그리고, 각각의 블록(BL)들 내에서도 다른 전압값을 갖고, 서로 인접하는 블록(BL)들 간의 경계에서도 전압 차이가 극명하게 달라지지 않는다.

[0059] 이처럼 본 발명에 의한 광 밸브 패널(PNL2)은 광 밸브 픽셀전극(PXL)에 인가되는 전압을 저항 차이에 의해서 전압을 분배하기 때문에, 광 밸브 픽셀전극(PXL)에 인가되는 전압이 그라데이션(gradation)한 형태로 분포될 수 있도록 한다. 그 결과 표시패널에서 표시되는 영상의 표시품질을 높일 수 있다.

[0060] 특히, 본 발명에 의한 광 밸브 패널(PNL2)은 각각의 블록에 단일 전압 공급라인을 이용하여 광 밸브 데이터전압을 인가하는 것이 아니기 때문에 전압 공급라인의 개수를 줄일 수 있다. 도 10에서와 같이, 일반적인 패시브 타입의 광 밸브 패널은 블록(BL)의 개수가 m × n 개일 경우에, 각각의 블록(BL)에 광 밸브 데이터전압을 공급하기 위한 m × n개의 전압 공급라인(VL)을 필요로 한다.

[0061] 이에 반해서 본 발명에 의한 광 밸브 패널(PNL2)은 각각의 블록(BL) 영역에서 게이트라인과 데이터라인의 교차영역에 배치되는 트랜지스터를 이용하기 때문에 전압라인을 대폭 줄일 수 있다. 즉, 본 발명의 광 밸브 패널(PNL2)은 블록(BL)의 개수가 m × n개 경우에, n개의 데이터라인 및 고전위전압 라인과 m개의 게이트라인이 배치

된다. 이처럼 본 발명은 광 밸브 패널(PNL2)에 배치되는 광 밸브 데이터라인(LVDL), 고전위전압 라인(VDDL) 및 게이트라인(LVGL)의 개수를 줄일 수 있기 때문에, 대면적 및 고해상도를 갖는 표시패널에 적용하기에 유리하다.

[0062] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0063] PNL1: 표시패널 PNL2: 광 밸브 패널

BLU: 백라이트 유닛 10: 제1 타이밍 콘트롤러

20: 제1 데이터 구동부 30: 게이트 구동부

230: 제2 타이밍 콘트롤러 240: 제2 게이트 구동부

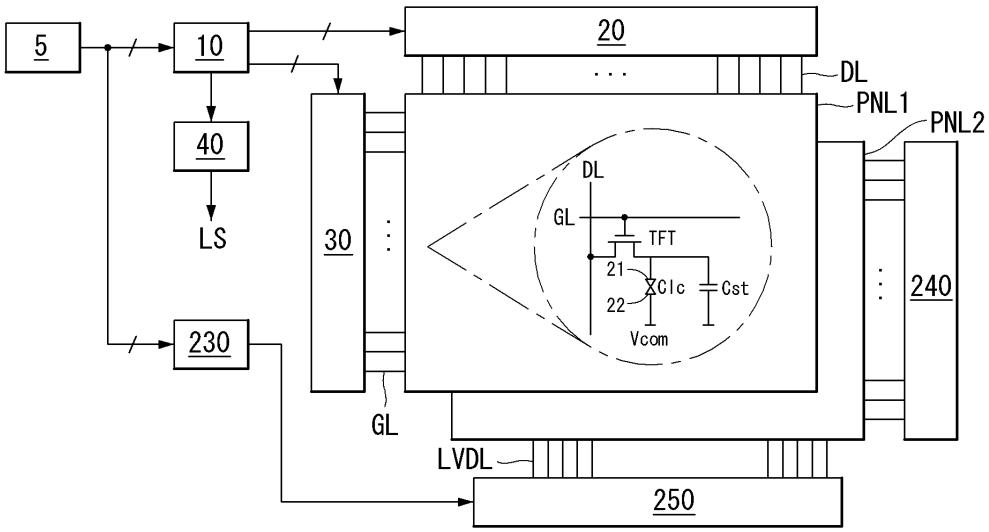
250: 제2 데이터 구동부 LVDL: 광 밸브 데이터라인

LVGL: 광 밸브 게이트라인 ST: 스위칭 트랜지스터

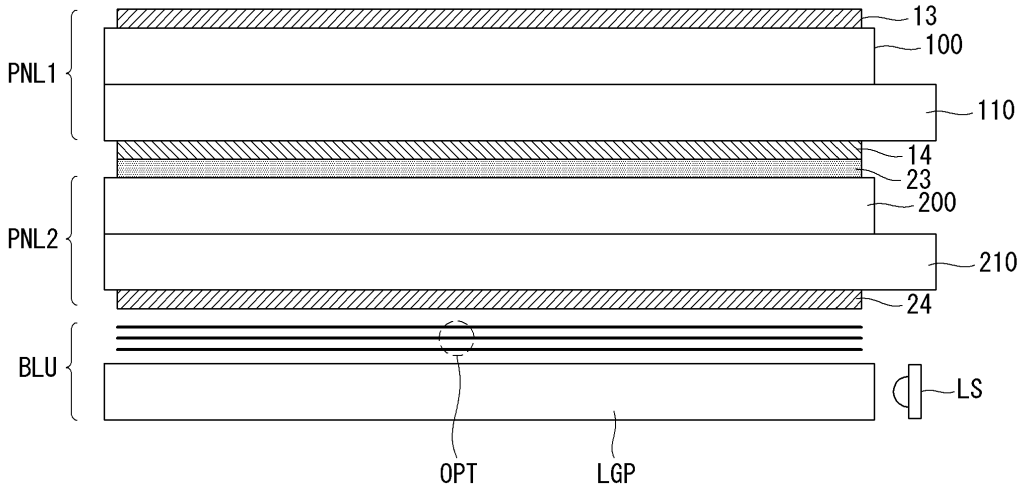
DT: 구동 트랜지스터

도면

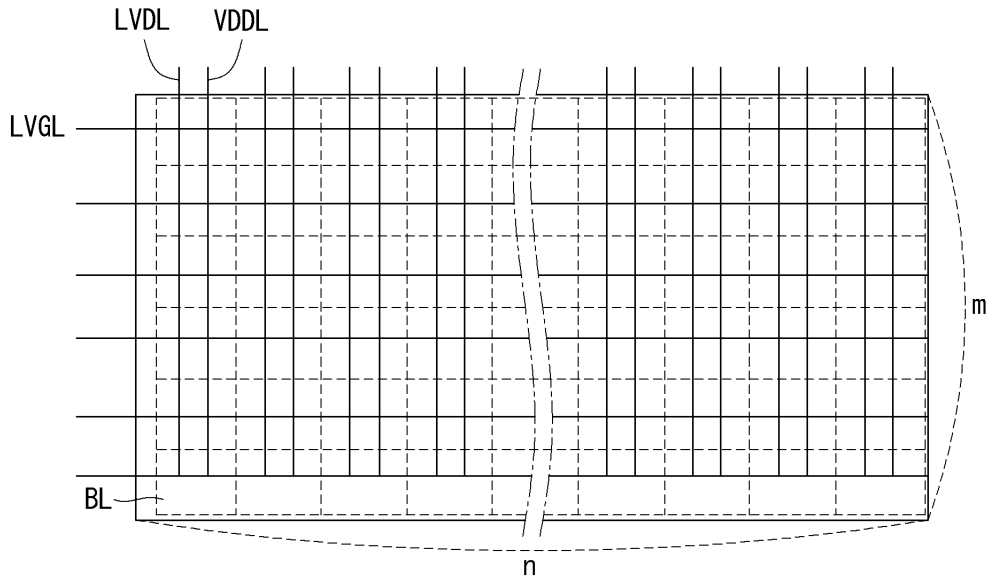
도면1



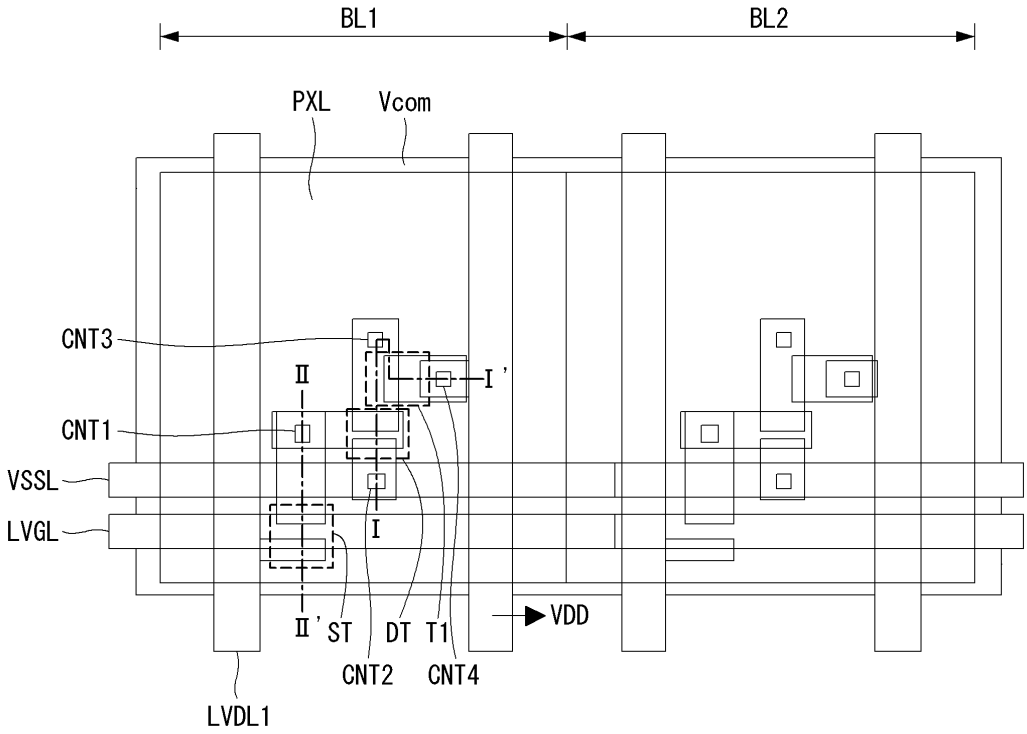
도면2


PNL1
PNL2
BLU
13
100
110
14
23
200
210
24
LS
OPT
LGP

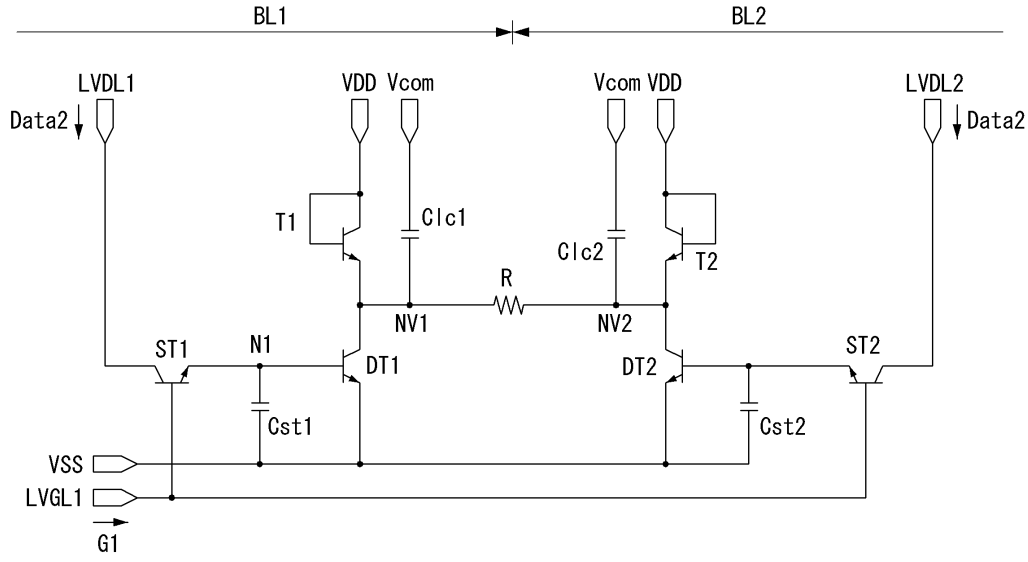
도면3


LVDL
VDDL
LVGL
BL
m
n

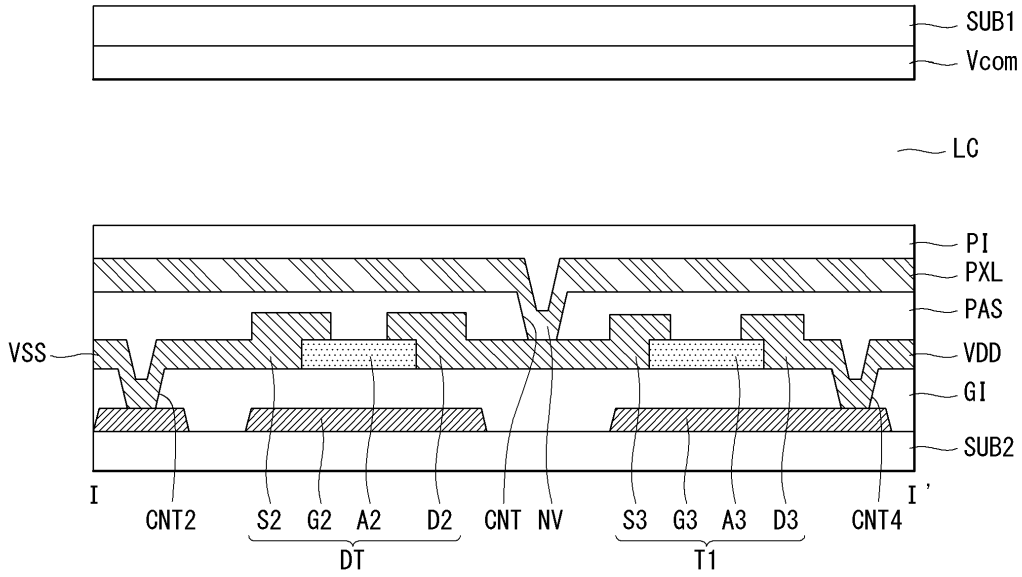
도면4


BL1
BL2
PXL
Vcom
CNT3
CNT1
VSSL
LVGL
Ⅱ
Ⅱ'
I
I'
ST
DT
T1
VDD
CNT2
CNT4
LVDL1

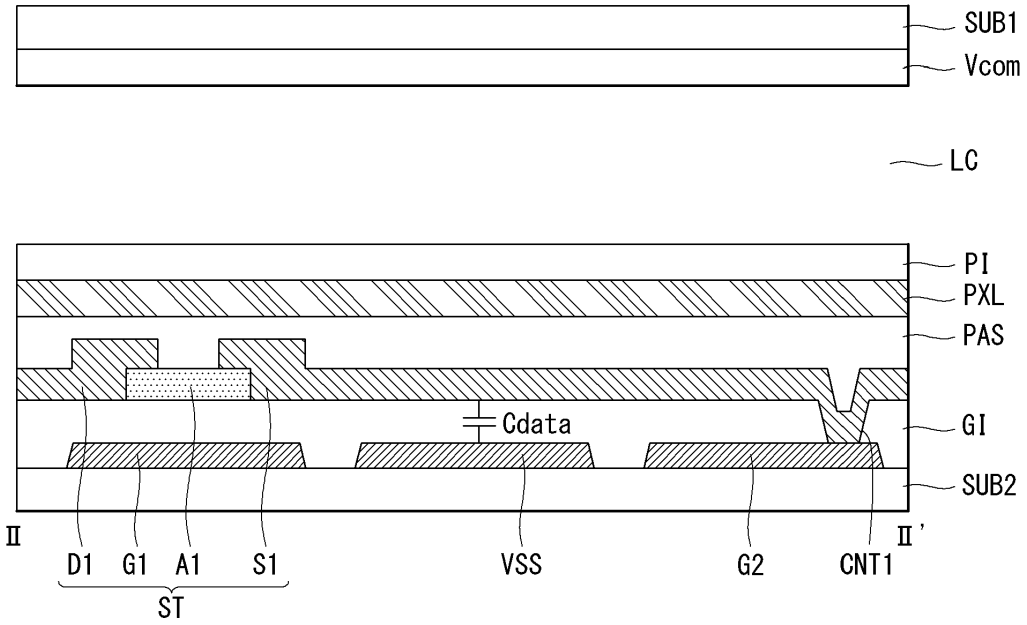
도면5


BL1
BL2
LVDL1
Data2
VDD
Vcom
Vcom
VDD
LVDL2
Data2
T1
Clc1
Clc2
T2
R
NV1
NV2
ST1
N1
DT1
DT2
ST2
Cst1
Cst2
VSS
LVGL1
G1

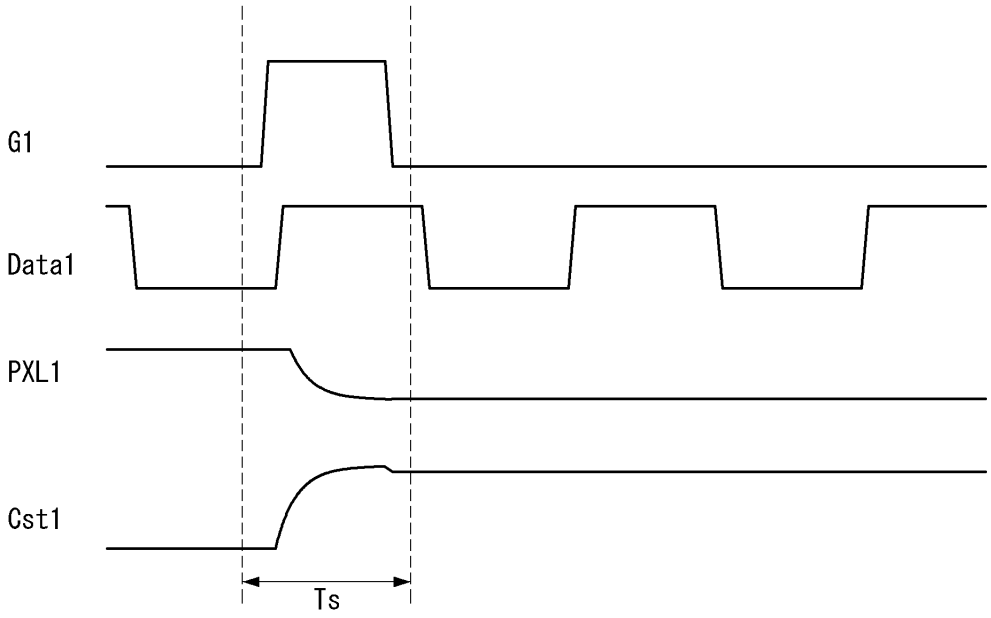
도면6


SUB1
Vcom
LC
PI
PXL
PAS
VDD
GI
SUB2
VSS
I
I'
CNT2
S2
G2
A2
D2
CNT
NV
S3
G3
A3
D3
CNT4
DT
T1

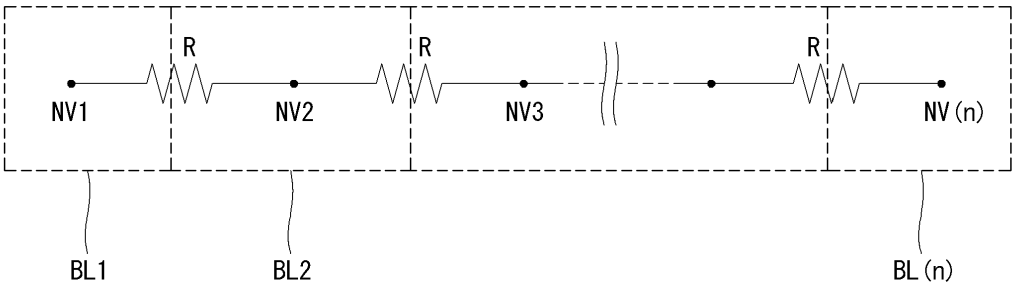
도면7


SUB1
Vcom
LC
PI
PXL
PAS
GI
SUB2
Cdata
II
II'
D1
G1
A1
S1
VSS
G2
CNT1
ST

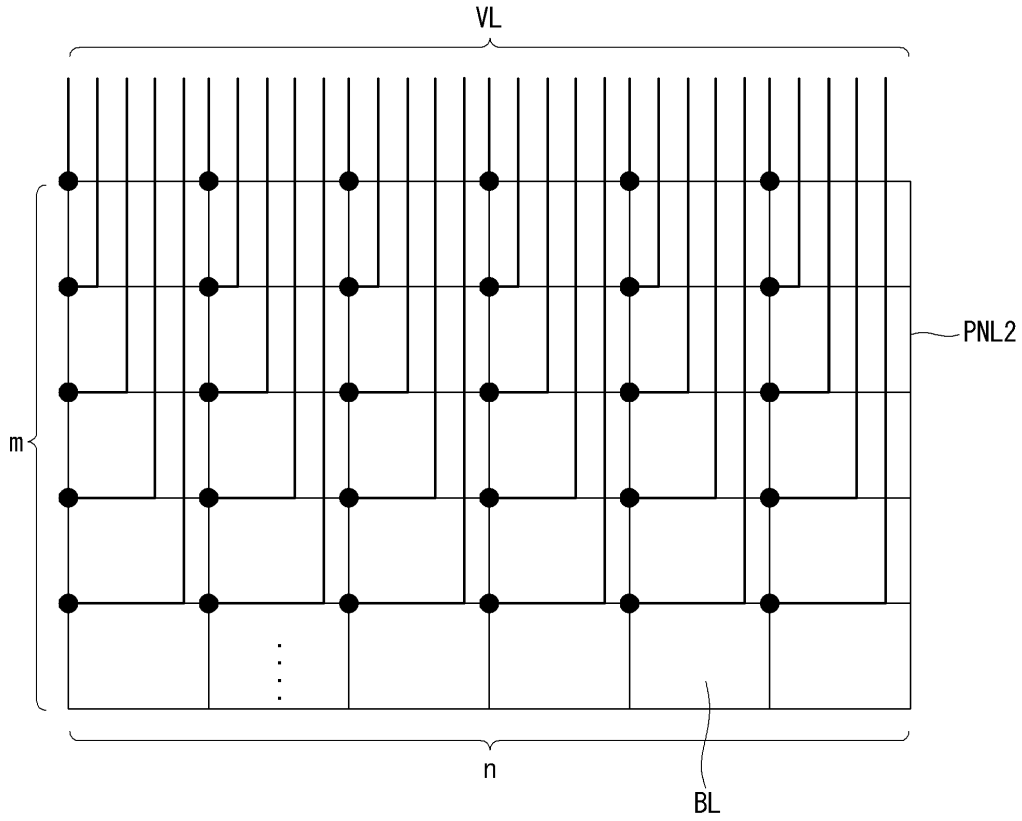
도면8



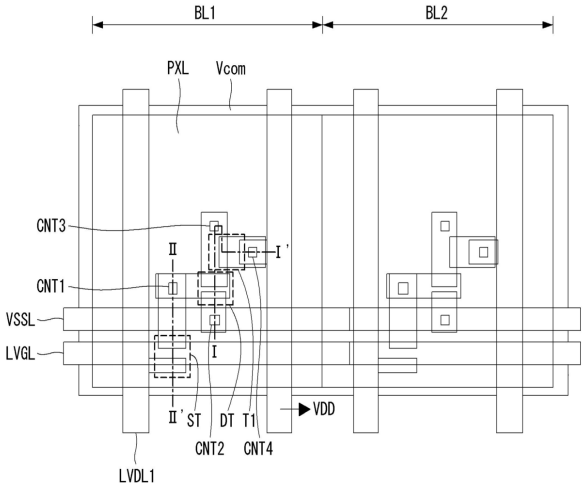
도면9



도면10



专利名称(译)	光阀面板和使用它的液晶显示器		
公开(公告)号	KR1020180002967A	公开(公告)日	2018-01-09
申请号	KR1020160081948	申请日	2016-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KYU JIN 김규진 NAM SANG JIN 남상진 YOO OOK SANG 유욱상 YOO SEUNG JIN 유승진		
发明人	김규진 남상진 유욱상 유승진		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G2320/066 G09G2320/0242 G09G2300/0426		
外部链接	Espacenet		

摘要(译)

根据本发明的光阀面板包括上基板和下基板。光阀公共电极设置在上基板上。 下基板面对上基板，液晶层介于其间，并包括光阀数据线，光阀门线和通过多个电源节点接收电压的集成光阀像素电极。光阀数据线和光阀门线相交的区域被定义为块。每个块包括开关晶体管和驱动晶体管。开关晶体管的漏电极和栅电极分别连接到光阀数据线和光阀栅极线。驱动晶体管设置在开关晶体管和电源节点之间，并根据连接到开关晶体管的源电极的栅电极的电压调节电源节点的电压。