(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0070904
(43) 공개일자 2017년06월23일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) *G02F 1/1368* (2006.01)
(52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2015-0178123
(22) 출원일자 2015년12월14일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이찬호
경기도 파주시 월롱면 엘씨디로 231 정다운마을 G동102호
이원호
경기도 파주시 가온로 205 707동 902호 (와동동, 해솔마을7단지롯데캐슬아파트)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 7 항

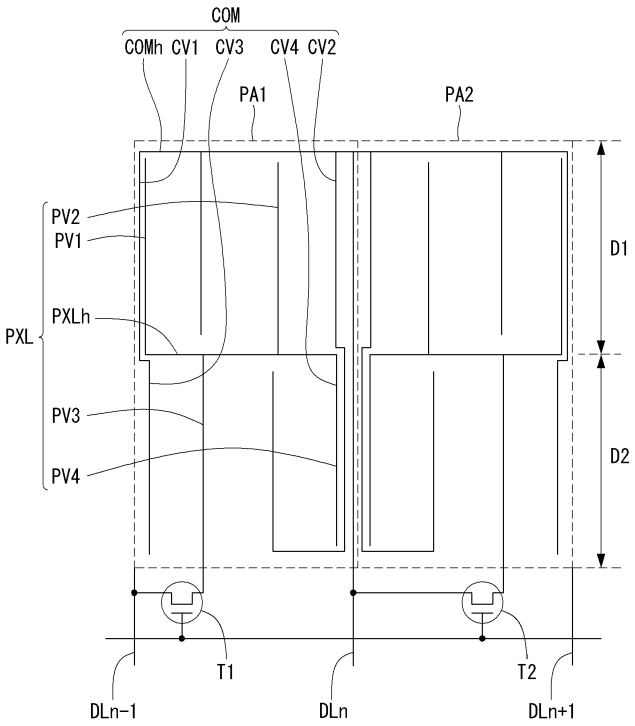
(54) 발명의 명칭 **고 개구율을 확보한 초고 해상도 수평 전계 액정 표시장치**

(57) 요 약

본 발명은 고 개구율을 확보한 초고 해상도 수평 전계 방식의 액정 표시장치에 관한 것이다. 본 발명에 의한 수평 전계형 액정 표시장치는, 기판, 게이트 배선, 데이터 배선, 제1 화소 영역 및 제2 화소 영역, 수평 화소 전극, 그리고 제1 내지 제4 수직 화소 전극들을 포함한다. 게이트 배선은, 기판 위에 가로 방향으로 진행한다.

(뒷면에 계속)

대 표 도 - 도7



데이터 배선은, 기판 위에 세로 방향으로 진행한다. 제1 화소 영역 및 제2 화소 영역은, 게이트 배선 및 데이터 배선에 의해 정의되며, 데이터 배선을 기준으로 양측에 배치된다. 수평 화소 전극은, 제1 화소 영역에서, 상부 영역과 하부 영역을 나누는 중심부를 가로지르며 배치된다. 제1 수직 화소 전극은, 수평 화소 전극의 일측 끝단에서 분기하여 상부 영역으로 연장된다. 제2 수직 화소 전극은, 일측 끝단으로부터 수평 화소 전극 길이의 2/3 지점에서 분기하여 상부 영역으로 연장된다. 제3 수직 화소 전극은, 일측 끝단으로부터 수평 화소 전극 길이의 1/3 지점에서 분기하여 하부 영역으로 연장된다. 제4 수직 화소 전극은, 수평 화소 전극의 타측 끝단에서 분기하여 하부 영역으로 연장된다.

명 세 서

청구범위

청구항 1

기판 위에 가로 방향으로 진행하는 게이트 배선;

상기 기판 위에 세로 방향으로 진행하는 데이터 배선;

상기 게이트 배선 및 상기 데이터 배선에 의해 정의되며, 상기 데이터 배선을 기준으로 양측에 배치된 제1 화소 영역 및 제2 화소 영역;

상기 제1 화소 영역에서, 상부 영역과 하부 영역을 나누는 중심부를 가로지르며 배치된 수평 화소 전극;

상기 수평 화소 전극의 일측 끝단에서 분기하여 상기 상부 영역으로 연장된 제1 수직 화소 전극;

상기 일측 끝단으로부터 상기 수평 화소 전극 길이의 2/3 지점에서 분기하여 상기 상부 영역으로 연장된 제2 수직 화소 전극;

상기 일측 끝단으로부터 상기 수평 화소 전극 길이의 1/3 지점에서 분기하여 상기 하부 영역으로 연장된 제3 수직 화소 전극; 그리고

상기 수평 화소 전극의 타측 끝단에서 분기하여 상기 하부 영역으로 연장된 제4 수직 화소 전극을 포함하는 수평 전계 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 제2 화소 영역에는,

상기 제1 화소 영역에 배치된 상기 제1 수직 화소 전극, 상기 제2 수직 화소 전극, 상기 제3 수직 화소 전극, 상기 제4 수직 화소 전극들과 상기 데이터 배선을 중심으로 좌우 대칭 구조로 배치된 대칭 수직 화소 전극들; 그리고

상기 대칭 수직 화소 전극들을 연결하며, 상기 제2 화소 영역의 중심부를 가로지르며 배치된 대칭 수평 화소 전극을 포함하는 수평 전계 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 화소 영역은,

상기 제1 화소 영역의 상단변을 가로지르는 수평 공통 배선;

상기 수평 공통 배선에서 분기하여, 상기 제1 수직 화소 전극과 상기 제2 수직 화소 전극 사이에서 일정 간격을 갖고 배치된 제1 수직 공통 전극;

상기 제2 수직 화소 전극에서 상기 데이터 배선 방향으로 상기 일정 간격 이격되어 배치된 제2 수직 공통 전극;

상기 제3 수직 화소 전극에서 전단 데이터 배선 방향으로 상기 일정 간격 이격되어 배치된 제3 수직 공통 전극; 그리고

상기 제3 수직 화소 전극과 상기 제4 수직 화소 전극 사이에서 상기 일정 간격을 갖고 배치된 제4 수직 공통 전극을 더 포함하는 수평 전계 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 수직 화소 전극과 상기 제3 수직 공통 전극은, 상기 수평 화소 전극을 기준으로 대칭 구조를 갖고,

상기 제2 수직 화소 전극과 상기 제4 수직 공통 전극은, 상기 수평 화소 전극을 기준으로 대칭 구조를 갖고,

상기 제3 수직 화소 전극과 상기 제1 수직 공통 전극은, 상기 수평 화소 전극을 기준으로 대칭 구조를 갖고,

상기 제4 수직 화소 전극과 상기 제2 수직 공통 전극은, 상기 수평 화소 전극을 기준으로 대칭 구조를 갖는 수평 전계 액정 표시장치.

청구항 5

제 3 항에 있어서,

상기 제2 화소 영역에는,

상기 제1 화소 영역에 배치된 상기 제1 수직 공통 전극, 상기 제2 수직 공통 전극, 상기 제3 수직 공통 전극, 상기 제4 수직 공통 전극들과, 상기 데이터 배선을 중심으로 좌우 대칭 구조로 배치된 대칭 수직 공통 전극들; 그리고

상기 대칭 수직 공통 전극들을 연결하며 상기 제2 화소 영역의 상단부에 배치된 대칭 수평 공통 전극을 포함하는 수평 전계 액정 표시장치.

청구항 6

제 3 항에 있어서,

상기 제1 화소 영역의 하단변에 배치되며, 상기 제1 내지 상기 제4 수직 화소 전극들 중 어느 하나와 연결된 박막 트랜지스터를 더 포함하는 수평 전계 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 수평 화소 전극, 상기 수직 화소 전극, 상기 수평 공통 전극 및 상기 수직 공통 전극들은,

상기 박막 트랜지스터를 덮는 보호막 위에서 동일 평면에 배치된 수평 전계 액정 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 고 개구율을 확보한 초고 해상도 수평 전계 방식의 액정 표시장치에 관한 것이다. 특히, 본 발명은 각 화소 영역 내에 배치된 공통 전극들을 세로 방향으로 연결하는 저 저항 금속 물질을 포함하는 수직 보조 공통 배선을 구비하여, 고 개구율을 확보한 초고 해상도 수평 전계 방식의 액정 표시장치에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 방식과 수평 전계 방식으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부 기판 상에 형성된 공통 전극과 하부 기판 상에 형성된 화소 전극이 서로 대향하도록 배치되고, 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동한다.

수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계 방식의 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수평 전계에 의해 인-플레인 스위칭 모드(In-Plane Switching Mode; IPS mode)로 액정을 구동하는 방식이 있다. 수평 전계 방식의 액정 표시 장치는 시야각이 160도 정도로 수직 전계 방식에 비해 넓으며, 구동 속도가 빠르다는 장점을 가진다. 따라서, 더 좋은 표시 품질을 제공하는 수평 전계 방식의 액정 표시 장치에 대한 요구가 날로 증가하고 있다.

[0005] 이하, IPS 모드 수평 전계 방식의 액정 표시 장치에 대하여 상세히 살펴보기로 한다. 종래 기술에 의한 IPS 모드 수평 전계형 액정 표시패널은, 박막 트랜지스터(Thin Film Transistor; TFT) 어레이 기판, 칼라 필터 어레이 기판, 그리고 이 두 기판 사이에 개재된 액정 층을 포함한다. 도 1은 종래 기술에 의한 IPS 모드 수평 전계 액정 표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이다. 도 2는 도 1에서 절취선 I-I'으로 자른 IPS 모드 수평 전계 액정표시패널용 박막 트랜지스터 기판의 구조를 나타내는 단면도이다.

[0006] 도 1 및 2에 도시한, 박막 트랜지스터 기판을 구비한 IPS 모드 수평 전계 방식의 액정 표시장치는 화소 전극과 공통 전극이 동일 평면 상에서 서로 일정 거리 이격하여 배치함으로써, 그 사이에 형성되는 수평 전계로 액정층을 구동하여 화상 데이터를 표시한다. 도 1 및 2를 참조하면, 종래 기술에 의한 IPS 모드 수평 전계 액정 표시 패널의 박막 트랜지스터 어레이 기판은 하부 기판(SUB) 상에 교차하도록 형성된 게이트 배선(GL) 및 데이터 배선(DL)과, 그 교차부마다 형성된 박막 트랜지스터(T)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(PXL) 및 공통 전극(COM)과, 그리고 공통 전극(COM)과 접속되며 게이트 배선(GL)과 나란하게 진행하는 공통 배선(CL)을 구비한다.

[0007] 게이트 배선(GL)은 박막 트랜지스터(T)의 게이트 전극(G)에 게이트 신호를 공급한다. 데이터 배선(DL)은 박막 트랜지스터(T)의 드레인 전극(D)을 통해 화소전극(PXL)에 화소 신호를 공급한다. 게이트 배선(GL)과 데이터 배선(DL)은 교차구조로 형성되어 화소 영역을 정의한다. 공통 배선(CL)은 화소 영역 내의 일측변에 게이트 배선(GL)과 나란하게 배열되며 액정 구동을 위한 기준전압을 공통 전극(COM)에 공급한다.

[0008] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전, 유지되도록 한다. 이를 위하여, 박막 트랜지스터(T)는 게이트 배선(GL)에 접속된 게이트 전극(G)과, 데이터 배선(DL)에 접속된 소스 전극(S)과, 화소 전극(PXL)에 접속된 드레인 전극(D)을 구비한다. 또한, 박막 트랜지스터(T)는 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 활성 채널층(A)과, 소스 전극(S) 및 드레인 전극(D)과 오믹 접촉을 위한 오믹 접촉층(도시하지 않음)을 더 포함한다.

[0009] 화소 전극(PXL)은 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 드레인 콘택홀(DH)을 통해 박막 트랜지스터(T)의 드레인 전극(D)과 접속되어 화소 영역에 형성된다. 특히, 화소 전극(PXL)은 드레인 전극(D)과 접속되고 인접한 게이트 라인(GL)과 나란하게 형성된 수평 화소 전극(PXLh)과, 이 수평 화소 전극(PXLh)에서 분기하여 화소 영역 내에서 수직 방향으로 형성된 다수 개의 수직 화소 전극(PXLv)을 구비한다.

[0010] 공통 전극(COM)은 게이트 절연막(GI), 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 공통 컨택홀(CH)을 통해 공통 배선(CL)과 접속된다. 게이트 배선(GL)과 평행하게 진행하는 일부분은 좀 더 넓은 폭을 가지며 수평 공통 전극(COMh)을 형성한다. 그리고 수평 공통 전극(COMh)에서 분기하여 화소 영역 내에서 수직 방향으로 형성된 다수 개의 수직 공통 전극(COMv)을 형성한다. 특히, 수직 공통 전극(COMv)은 화소 영역 내에서 수직 화소 전극(PXLv)과 일정 거리 떨어져서 나란하게 배치된다.

[0011] 이에 따라, 박막 트랜지스터(T)를 통해 화소 신호가 공급된 수직 화소 전극(PXLv)과 공통 배선(CL)을 통해 기준 전압이 공급된 수직 공통 전극(COMv) 사이에 수평 전계가 형성된다. 이 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현한다.

[0012] 이와 같은 구조를 갖는 IPS 모드 표시 장치에서, 초 고밀도 해상도를 구현하기 위해서는 각 화소 영역의 크기가 작아져야 한다. 화소 영역의 크기가 작아지면서, 그 안에 배치되는 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 크기를 작게하여야 하는데, 이 전극들을 작게하는 데에는 한계가 있다. 500PPI 이상의 초고 해상도를 갖는 수평 전계 액정 표시장치를 위해서는, 단순히 크기가 작은 혹은 선분의 폭이 작은 전극들을 형성하는 것이 외에도 다른 구조를 갖도록 형성하는 것이 필요하다.

발명의 내용

해결하려는 과제

[0013] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, 500PPI 이상의 초고 해상도를 갖는 수평 전계 액정 표시장치를 제공하는 데 있다. 본 발명의 다른 목적은, 500PPI 이상의 초고 해상도를 가지면서 단위 화소 영역 내에서 개구 영역의 비율을 극대화하여, 고 개구율을 갖는 초고 해상도 수평 전계 액정 표시장치를 제공하는 데 있다. 본 발명의 또 다른 목적은, 화소 전극과 공통 전극을 비 대칭 구조로 배치되며, 이웃하는 화소 영역과는 데이터 배선을 중심으로 미러 대칭 혹은 대각 대칭 구조를 가짐으로써, 마스크 정렬 오차로 인한 특성 편차가 발생하지 않는 초고 해상도 수평 전계 액정 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0014] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 수평 전계형 액정 표시장치는, 기판, 게이트 배선, 데이터 배선, 제1 화소 영역 및 제2 화소 영역, 수평 화소 전극, 그리고 제1 내지 제4 수직 화소 전극들을 포함한다. 게이트 배선은, 기판 위에 가로 방향으로 진행한다. 데이터 배선은, 기판 위에 세로 방향으로 진행한다. 제1 화소 영역 및 제2 화소 영역은, 게이트 배선 및 데이터 배선에 의해 정의되며, 데이터 배선을 기준으로 양측에 배치된다. 수평 화소 전극은, 제1 화소 영역에서, 상부 영역과 하부 영역을 나누는 중심부를 가로지르며 배치된다. 제1 수직 화소 전극은, 수평 화소 전극의 일측 끝단에서 분기하여 상부 영역으로 연장된다. 제2 수직 화소 전극은, 일측 끝단으로부터 수평 화소 전극 길이의 2/3 지점에서 분기하여 상부 영역으로 연장된다. 제3 수직 화소 전극은, 일측 끝단으로부터 수평 화소 전극 길이의 1/3 지점에서 분기하여 하부 영역으로 연장된다. 제4 수직 화소 전극은, 수평 화소 전극의 타측 끝단에서 분기하여 하부 영역으로 연장된다.

[0015] 일례로, 제2 화소 영역에는, 대칭 수직 화소 전극들과 대칭 수평 화소 전극을 포함한다. 대칭 수직 화소 전극들은, 제1 화소 영역에 배치된 제1 수직 화소 전극, 제2 수직 화소 전극, 제3 수직 화소 전극, 제4 수직 화소 전극들과 데이터 배선을 중심으로 좌우 대칭 구조로 배치된다. 대칭 수평 화소 전극은, 대칭 수직 화소 전극들을 연결하며, 제2 화소 영역의 중심부를 가로지르며 배치된다.

[0016] 일례로, 제1 화소 영역은, 수평 공통 배선, 제1 수직 공통 전극, 제2 수직 공통 전극, 제3 수직 공통 전극 및 제4 수직 공통 전극을 더 포함한다. 수평 공통 배선은, 제1 화소 영역의 상단변을 가로지르며 배치된다. 제1 수직 공통 전극은, 수평 공통 배선에서 분기하여, 제1 수직 화소 전극과 제2 수직 화소 전극 사이에서 일정 간격을 갖고 배치된다. 제2 수직 공통 전극은, 제2 수직 화소 전극에서 데이터 배선 방향으로 일정 간격 이격되어 배치된다. 제3 수직 공통 전극은, 제3 수직 화소 전극에서 전단 데이터 배선 방향으로 일정 간격 이격되어 배치된다. 제4 수직 공통 전극은, 제3 수직 화소 전극과 제4 수직 화소 전극 사이에서 일정 간격을 갖고 배치된다.

[0017] 일례로, 제1 수직 화소 전극과 제3 수직 공통 전극은, 수평 화소 전극을 기준으로 대칭 구조를 갖는다. 제2 수직 화소 전극과 제4 수직 공통 전극은, 수평 화소 전극을 기준으로 대칭 구조를 갖는다. 제3 수직 화소 전극과 제1 수직 공통 전극은, 수평 화소 전극을 기준으로 대칭 구조를 갖는다. 제4 수직 화소 전극과 제2 수직 공통 전극은, 수평 화소 전극을 기준으로 대칭 구조를 갖는다.

[0018] 일례로, 제2 화소 영역에는, 대칭 수직 공통 전극들과 대칭 수평 공통 전극을 포함한다. 대칭 수직 공통 전극들은, 제1 화소 영역에 배치된 제1 수직 공통 전극, 제2 수직 공통 전극, 제3 수직 공통 전극, 제4 수직 공통 전극들과, 데이터 배선을 중심으로 좌우 대칭 구조로 배치된다. 대칭 수평 공통 전극은, 대칭 수직 공통 전극들을 연결하며 제2 화소 영역의 상단부에 배치된다.

[0019] 일례로, 제1 화소 영역의 하단변에 배치되며, 제1 내지 제4 수직 화소 전극들 중 어느 하나와 연결된 박막 트랜지스터를 더 포함한다.

[0020] 일례로, 수평 화소 전극, 상기 수직 화소 전극, 상기 수평 공통 전극 및 상기 수직 공통 전극들은, 박막 트랜지스터를 덮는 보호막 위에서 동일 평면에 배치된다.

발명의 효과

[0021] 본 발명은 500PPI 이상의 초고 해상도를 갖는 수평 전계 액정 표시장치를 제공한다. 특히, 본 발명은, 화소 영역 내에서 콘택홀의 개수를 최소화하여, 초고 개구율을 갖는 초고 해상도 수평 전계 액정 표시장치를 제공한다.

본 발명에서는, 화소 전극과 공통 전극이 박막 트랜지스터를 덮는 보호막 위에서 동일 평면 상에 배치된다. 한 화소 영역에서 홀수 개의 전계 블록 영역을 구성하여 개구율을 극대화 할 수 있다. 특히, 한 화소 영역이 상부 영역과 하부 영역으로 구분되며, 상부 영역과 하부 영역에 배치되는 화소 전극과 공통 전극은 비 대칭 구조를 갖는다. 또한, 이웃하는 화소 영역에 배치된 화소 전극과 공통 전극은 데이터 배선을 기준으로 미러 대칭 구조를 갖는다. 이로써, 마스크 정렬 오차가 발생하더라도, 특성 편차가 발생하지 않는 양질의 초고 해상도를 갖는 수평 전계 액정 표시장치를 제공할 수 있다.

도면의 간단한 설명

[0022] 도 1은 종래 기술에 의한 IPS(In Plane Switching) 모드 액정 표시 장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도.

도 2는 도 1에서 절취선 I-I'으로 자른 IPS 모드 액정 표시 장치용 박막 트랜지스터 기판의 구조를 나타내는 단면도.

도 3은 본 발명의 제1 실시 예에 의한 초고 해상도 IPS 모드 수평 전계 액정 표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도.

도 4는 도 3에서 절취선 II-II'으로 자른 초고 해상도 IPS 모드 수평 전계 액정표시패널용 박막 트랜지스터 기판의 구조를 나타내는 단면도.

도 5는 본 발명의 제2 실시 예에 의한 초고 해상도 IPS 모드 수평 전계 액정 표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도.

도 6은 도 5에서 절취선 III-III'으로 자른 초고 해상도 IPS 모드 수평 전계 액정표시패널용 박막 트랜지스터 기판의 구조를 나타내는 단면도.

도 7은 본 발명의 제2 실시 예에 의한 수평 전계 액정 표시장치에서 이웃하는 두 화소 영역을 개략적으로 도시한 평면도.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예를 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0024] <제1 실시 예>

[0025] 이하, 본 발명의 제1 실시 예에 의한 초고 해상도 해상도를 갖는 IPS 모드 수평 전계 방식의 액정 표시 장치에 대하여 상세히 살펴보기로 한다. 제1 실시 예에 의한 초고 해상도 IPS 모드 수평 전계형 액정 표시패널은, 박막 트랜지스터(Thin Film Transistor; TFT) 어레이 기판, 칼라 필터 어레이 기판, 그리고 이 두 기판 사이에 개재된 액정 층을 포함한다. 도 3은 본 발명의 제1 실시 예에 의한 초고 해상도 IPS 모드 수평 전계 액정 표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이다. 도 4는 도 3에서 절취선 II-II'으로 자른 초고 해상도 IPS 모드 수평 전계 액정표시패널용 박막 트랜지스터 기판의 구조를 나타내는 단면도이다.

[0026] 도 3 및 4에 도시한, 박막 트랜지스터 기판을 구비한 초고 해상도 IPS 모드 수평 전계 방식의 액정 표시장치는 화소 전극과 공통 전극이 동일 평면 상에서 서로 일정 거리 이격하여 배치함으로써, 그 사이에 형성되는 수평 전계로 액정 층을 구동하여 화상 데이터를 표시한다. 도 3 및 4를 참조하면, 제1 실시 예에 의한 초고 해상도 IPS 모드 수평 전계 액정 표시 패널의 박막 트랜지스터 어레이 기판은, 게이트 배선(GL), 데이터 배선(DL), 박막 트랜지스터(T), 화소 전극(PXL), 공통 전극(COM) 그리고 공통 배선(CL)을 포함한다. 게이트 배선(GL)과 데이터 배선(DL)은 하부 기판(SUB) 상에 교차하도록 형성되어 있다. 박막 트랜지스터(T)는 그 교차부마다 형성된다. 화소 전극(PXL)과 공통 전극(COM)은, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된다. 공통 배선(CL)은, 공통 전극(COM)과 접속되며 게이트 배선(GL)과 나란하게 진행한다.

[0027] 게이트 배선(GL)은 박막 트랜지스터(T)의 게이트 전극(G)에 게이트 신호를 공급한다. 데이터 배선(DL)은 박막 트랜지스터(T)의 드레인 전극(D)을 통해 화소전극(PXL)에 화소 신호를 공급한다. 게이트 배선(GL)과 데이터 배선(DL)은 교차구조로 형성되어 화소 영역을 정의한다. 공통 배선(CL)은 화소 영역 내의 일측변에 게이트 배선

(GL)과 나란하게 배열되며 액정 구동을 위한 기준 전압을 공통 전극(COM)에 공급한다.

[0028] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전, 유지되도록 한다. 이를 위하여, 박막 트랜지스터(T)는 게이트 배선(GL)에 접속된 게이트 전극(G)과, 데이터 배선(DL)에 접속된 소스 전극(S)과, 화소 전극(PXL)에 접속된 드레인 전극(D)을 구비한다. 또한, 박막 트랜지스터(T)는 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 활성 채널 층(A)과, 소스 전극(S) 및 드레인 전극(D)과 오믹 접촉을 위한 오믹 접촉층(도시하지 않음)을 더 포함한다. 화소 전극(PXL)은 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 화소 콘택홀(PH)을 통해 박막 트랜지스터(T)의 드레인 전극(D)과 접속되며, 화소 영역 내부에 수직 선분 형상을 갖도록 형성된다.

[0029] 공통 배선(CL)은, 화소 영역 내에서 게이트 배선(GL)과 인접한 변쪽에 게이트 배선(GL)과 동일한 층에서 평행하게 배치된다. 공통 배선(CL)에서 분기한 차폐선(BL)이 데이터 배선(DL)에 인접하여 평행하게 배치되어 있다. 차폐선(BL)은 화소 영역을 둘러싸는 두 개의 데이터 배선(DL)과 평행하게 진행하여 화소 영역의 상단부에서 연결된다. 좌, 우 차폐선(BL)을 연결하는 수평 부위는, 게이트 절연막(GI), 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 공통 컨택홀(CH)을 통해 공통 전극(COM)과 연결된다. 이로써, 공통 전극(COM)은 차폐선(BL)을 통해 공통 배선(CL)과 접속된다.

[0030] 공통 전극(COM)은, 데이터 배선(DL)과 수직 및 수평 차폐선(BL)을 모두 덮는 형상을 가지며, 화소 영역 내에 수직 선분 형상을 갖는 화소 전극(PXL)과 일정 거리를 두고 평행한 형상을 갖는다. 공통 배선(CL)은 화소 영역 내에서 게이트 배선(GL)과 평행하게 진행하는 일부분은 좀 더 넓은 폭을 가지며 드레인 전극(D)와 중첩하는, 보조 용량 전극(ST)을 포함한다. 보조 용량 전극(ST)은 게이트 절연막(GI)을 사이에 두고 드레인 전극(D)이 중첩하여, 보조 용량(STG)을 형성한다. 보조 용량(STG)은 화소 영역 내에서 액정 구동을 위한 충전 용량을 확보하기 위한 것이다.

[0031] 박막 트랜지스터(T)를 통해 화소 신호가 공급된 화소 전극(PXL)과 공통 배선(CL)을 통해 기준 전압이 공급된 공통 전극(COM) 사이에 수평 전계가 형성된다. 이 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현한다.

[0032] 도 3 및 도 4에 도시한 도면은, 500PPI 이상의 초고밀도 해상도를 갖는 수평 전계 방식의 액정 표시장치를 나타낸다. 500PPI 이상의 초고밀도 해상도를 갖는 수평 전계 액정 표시장치는 단일 화소 영역의 크기가 매우 작다. 따라서, 화소 전극(PXL)은 단일 선분 형상을 가지며, 공통 전극(COM)은 화소 전극(PXL)의 좌측과 우측에서 데이터 배선(DL)들을 덮는 선분 형상을 갖는다.

[0033] 화소 영역이 작아지더라도, 전극을 연결하기 위한 콘택홀들의 크기를 비례적으로 작게 만들수는 없다. 즉, 콘택홀은 서로 다른 층에 형성된 전극층을 연결하기 위한 것으로, 접촉 면적을 어느 정도 확보하여야 한다. 콘택홀의 크기는 일정 크기기 이하로 작게 만들 경우, 연결 저항이 커져서 정상적인 전압을 인가할 수 없다.

[0034] 도 3을 참조하면, 하나의 화소 영역에는 두 개의 콘택홀들이 있다. 하나는 드레인 전극(D)과 화소 전극(PXL)을 연결하는 화소 콘택홀(PH)이다. 다른 하나는 공통 배선(CL)과 공통 전극(COM)을 연결하는 공통 콘택홀(CH)이다. 화소 영역의 크기가 작아질 수 있는 최소한의 크기를 갖는다. 그 결과, 화소 콘택홀(PH)과 공통 콘택홀(CH)은 화소 영역의 하단변과 상단변에 배치되는 것이 바람직하다.

[0035] 화소 콘택홀(PH)은 보조 용량(STG)가 형성되는 보조 용량 전극(ST)과 중첩되어 형성된다. 보조 용량(STG)을 확보하기 위해 보조 용량 전극(ST)의 크기는 일정 크리를 확보하여야 한다. 즉, 화소 콘택홀(PH)은, 필수적으로 요구되는 면적을 차지하고 있으다. 따라서, 화소 콘택홀(PH)의 크기는 보조 용량 전극(ST)의 크기 내에서 최대한의 크기를 갖도록 형성하는 것이 바람직하다.

[0036] 모든 화소 영역에 형성된 모든 공통 전극(COM)들은 데이터 배선을 덮으며, 서로 연결되어 있다. 공통 전극(COM)은, 기능상의 이유와 제조 공정의 최적화를 위해 몰리브덴을 포함하는 합금으로 형성하는 것이 바람직하다. 예를 들어, 몰리브덴-티타늄(MoTi) 혹은 몰리브덴-인듐-주석-산화물(MoITO; Molybdenium Indium-Tin-Oxide)을 포함할 수 있다. 몰리브덴 합금은 금속 물질이기는 하지만, 비저항이 상당히 큰 물질이다. 따라서, 도 3에 도시한 공통 전극(COM)들이 기판 전체 표면에서 서로 연결된 구조를 갖더라도, 면 저항이 매우 크다. 따라서, 구리(CU) 혹은 알루미늄(Al)과 같은 저저항 물질을 포함하는 공통 배선(CL)과 연결하여, 공통 전극(COM)의 면 저항을 낮추는 것이 필요하다.

[0037] 이를 위해, 화소 콘택홀(PH)과 마주보도록 화소 영역의 상단변에 배치된 공통 콘택홀(CH)을 통해, 공통 전극

(COM)은 공통 배선(CL)과 연결되는 것이 바람직하다. 하지만, 초고밀도 해상도를 갖는 공통 콘택홀(CH)로 인해 화소 영역 내에서 유효 발광 영역의 비율이 작아질 수 밖에 없다.

[0038] <제2 실시 예>

[0039] 이하, 도 5 및 6을 참조하여 본 발명의 제2 실시 예에 대해 설명한다. 제2 실시 예에서는, 500PPI 이상의 초고해상도 IPS 모드 수평 전계 액정 표시장치에서 고 개구율을 확보한 구조에 대해서 설명한다. 도 5는 본 발명의 제2 실시 예에 의한 초고 해상도 IPS 모드 수평 전계 액정 표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이다. 도 6은 도 5에서 절취선 III-III'으로 자른 초고 해상도 IPS 모드 수평 전계 액정표시패널용 박막 트랜지스터 기판의 구조를 나타내는 단면도이다.

[0040] 도 5 및 6에 도시한, 박막 트랜지스터 기판을 구비한 초고 해상도 IPS 모드 수평 전계 방식의 액정 표시장치는 화소 전극과 공통 전극이 동일 평면 상에서 서로 일정 거리 이격하여 배치함으로써, 그 사이에 형성되는 수평 전계로 액정 층을 구동하여 화상 데이터를 표시한다. 제2 실시 예에 의한 초고 해상도 IPS 모드 수평 전계 액정 표시 패널의 박막 트랜지스터 어레이 기판은, 게이트 배선(GL), 데이터 배선(DL), 박막 트랜지스터(T), 화소 전극(PXL), 공통 전극(COM) 그리고 공통 배선(CL)을 포함한다. 게이트 배선(GL)과 데이터 배선(DL)은 하부 기판(SUB) 상에 교차하도록 형성되어 있다. 박막 트랜지스터(T)는 그 교차부마다 형성된다. 화소 전극(PXL)과 공통 전극(COM)은, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된다. 공통 배선(CL)은, 공통 전극(COM)과 접속되며 게이트 배선(GL)과 나란하게 진행한다.

[0041] 게이트 배선(GL)은 박막 트랜지스터(T)의 게이트 전극(G)에 게이트 신호를 공급한다. 데이터 배선(DL)은 박막 트랜지스터(T)의 드레인 전극(D)을 통해 화소전극(PXL)에 화소 신호를 공급한다. 게이트 배선(GL)과 데이터 배선(DL)은 교차구조로 형성되어 화소 영역을 정의한다. 공통 배선(CL)은 화소 영역 내의 일측변에 게이트 배선(GL)과 나란하게 배열되며 액정 구동을 위한 기준 전압을 공통 전극(COM)에 공급한다.

[0042] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전, 유지되도록 한다. 이를 위하여, 박막 트랜지스터(T)는 게이트 배선(GL)에 접속된 게이트 전극(G)과, 데이터 배선(DL)에 접속된 소스 전극(S)과, 화소 전극(PXL)에 접속된 드레인 전극(D)을 구비한다. 또한, 박막 트랜지스터(T)는 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 활성 채널 층(A)과, 소스 전극(S) 및 드레인 전극(D)과 오믹 접촉을 위한 오믹 접촉층(도시하지 않음)을 더 포함한다. 화소 전극(PXL)은 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 화소 콘택홀(PH)을 통해 박막 트랜지스터(T)의 드레인 전극(D)과 접속되며, 화소 영역 내부에 수직 선분 형상을 갖도록 형성된다.

[0043] 공통 배선(CL)은, 화소 영역 내에서 게이트 배선(GL)과 인접한 변쪽에 게이트 배선(GL)과 동일한 층에서 평행하게 배치된다. 공통 배선(CL)에서 분기한 차폐선(BL)이 데이터 배선(DL)에 인접하여 평행하게 배치되어 있다. 차폐선(BL)은 화소 영역을 둘러싸는 두 개의 데이터 배선(DL)과 평행하게 진행하여 화소 영역의 상단부에서 연결된다. 좌, 우 차폐선(BL)을 연결하는 수평 부위는, 게이트 절연막(GI), 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 공통 컨택홀(CH)을 통해 공통 전극(COM)과 연결된다. 이로써, 공통 전극(COM)은 차폐선(BL)을 통해 공통 배선(CL)과 접속된다.

[0044] 공통 전극(COM)은, 데이터 배선(DL)과 수직 및 수평 차폐선(BL)을 모두 덮는 형상을 가지며, 화소 영역 내에 수직 선분 형상을 갖는 화소 전극(PXL)과 일정 거리를 두고 평행한 형상을 갖는다. 공통 배선(CL)은 화소 영역 내에서 게이트 배선(GL)과 평행하게 진행하는 일부분은 좀 더 넓은 폭을 가지며 드레인 전극(D)와 중첩하는, 보조 용량 전극(ST)을 포함한다. 보조 용량 전극(ST)은 게이트 절연막(GI)을 사이에 두고 드레인 전극(D)이 중첩하여, 보조 용량(STG)을 형성한다. 보조 용량(STG)은 화소 영역 내에서 액정 구동을 위한 충전 용량을 확보하기 위한 것이다.

[0045] 박막 트랜지스터(T)를 통해 화소 신호가 공급된 화소 전극(PXL)과 공통 배선(CL)을 통해 기준 전압이 공급된 공통 전극(COM) 사이에 수평 전계가 형성된다. 이 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현한다.

[0046] 제2 실시 예에 의한 수평 전계 액정 표시장치는 제1 실시 예의 경우와 기본적인 구성 요소들의 구조는 거의 비슷하다. 주요한 차이점은, 화소 영역 내에 배치되는 화소 전극과 공통 전극의 배치 구조에 있다. 이하의 설명에서는, 화소 전극과 공통 전극이 화소 영역 내에서 개구율을 높이기 위해 배치되는, 제2 실시 예에 의한 수평 전계 액정 표시장치의 구조적 특징을 중심으로 설명한다.

[0047] 제2 실시 예에 의한 수평 전계 액정 표시장치는 500PPI 이상의 초고 해상도를 갖는 수평 전계 액정 표시장치에 관한 것이다. 500PPI 이상의 초고 해상도를 구현하기 위해서는 화소 영역의 크기가 극히 작아진다. 제1 실시 예에서는, 화소 영역의 크기가 작아지면서, 화소 전극(PXL)이 화소 영역 중앙부에 하나 배치되고, 공통 전극(COM)이 화소 전극(PXL)의 좌변과 우변에 하나씩 배치된 구조를 갖는다. 그 결과, 액정을 구동하는 전계 블록은 좌측 블록와 우측 블록 두 개를 포함한다.

[0048] 제2 실시 예에서는, 액정을 구동하기 위한 전계 블록의 개수가 화소 영역에서 가로 방향으로 세 개의 블록이 연속해서 나열된 특징이 있다. 또한, 화소 영역을 상, 하 영역으로 나누어 2개의 도메인을 갖는 특징이 있다. 따라서, 화소 영역내에서 전계 블록의 전체 개수는 여섯 개의 블록을 포함하는 특징이 있다.

[0049] 제2 실시 예에 의한 수평 전계 액정 표시장치는, 화소 영역이 상부 영역과 하부 영역으로 나뉘고, 상부 영역은 상부 도메인(D1)으로 하부 영역은 하부 도메인(D2)으로 정의된다. 상부 도메인(D1)과 하부 도메인(D2)은 액정의 초기 배향 방향이 서로 다른 방향을 갖는다. 예를 들어, 상부 도메인(D1)에 배치된 전극들의 배열 방향각과 하부 도메인(D2)에 배치된 전극들의 배열은 서로 다르며, 그 사이각도는 180도 보다 작고 90도 보다 큰 값을 가질 수 있다.

[0050] 화소 영역 내에 배치되는 화소 전극(PXL)은 수평 화소 전극(PXLh)과 수직 화소 전극(PLXv)를 포함한다. 수평 화소 전극(PXLh)은 화소 영역의 가운데 영역을 가로 질러 배치된다. 상부 도메인(D1)과 하부 도메인(D2)의 경계부에 배치된다. 수직 화소 전극(PXLv)은, 상부 도메인(D1)과 하부 도메인(D2) 각각에 두 개씩 수평 화소 전극(PXLh)에서 분기되어 평행하게 배치되어 있다. 특히, 상부 도메인(D1)에 배치된 수직 화소 전극(PXLh)과 하부 도메인(D2)에 배치된 수직 화소 전극(PXLh)들은 서로 연장된 구조를 갖지 않고, 엇갈려 배치된 구조를 갖는다.

[0051] 예를 들어, 수평 화소 전극(PXLh)은 화소 영역의 중앙부를 가로 지르는 선분 형상으로 배치되어 화소 영역을 상부 도메인(D1)과 하부 도메인(D2)으로 나눈다. 수직 화소 전극(PXLv)은 수평 화소 전극(PXLh)에서 분기되는 제1 수직 화소 전극(PV1) 제2 수직 화소 (PV2), 제3 수직 화소(PV3) 및 제4 수직 화소(PV4)를 포함한다. 제1 수직 화소 전극(PV1)은, 수평 화소 전극(PXLh)의 일측 끝단에서 시작하여 상부 도메인(D1)으로 연장된다. 제2 수직 화소 전극(PV2)은, 수평 화소 전극(PXLh)의 일측 끝단에서 2/3 지점 떨어진 지점에서 시작하여 상부 도메인(D1)으로 연장된다. 제3 수직 화소 전극(PV3)은, 수평 화소 전극(PXLh)의 일측 끝단에서 1/3 지점 떨어진 지점에서 시작하여 하부 도메인(D2)으로 연장된다. 제4 수직 화소 전극(PV4)은, 수평 화소 전극(PXLh)의 타측 끝단에서 시작하여 하부 도메인(D2)으로 연장된다.

[0052] 공통 전극(COM)은 화소 영역 내에서 화소 전극(PXL)과 일정 간격 이격하여 서로 평행하게 대향하는 구조를 갖는다. 공통 전극(COM)은 수평 공통 전극(COMh)과 수직 공통 전극(COMv)을 포함한다. 수평 공통 전극(COMh)은 화소 영역의 상단변, 즉 박막 트랜지스터(T)가 배치된 하단변과 마주보는 변에서 가로 방향으로 배치된다. 또한, 화소 영역의 좌측변과 우측변에 배치된 데이터 배선(DL)을 덮으며 세로 방향으로 연장되어 있다.

[0053] 예를 들어, 수평 공통 전극(COMh)은 화소 영역의 상단변에 배치된 차폐선(BL)을 연결하는 수평 부위와 중첩되어 있다. 수직 공통 전극(COMv)은 제1 수직 공통 전극(CV1), 제2 수직 공통 전극(CV2), 제3 수직 공통 전극(CV3) 및 제4 수직 공통 전극(CV4)을 포함한다. 제1 수직 공통 전극(CV1)은, 수평 공통 전극(COMh)의 일측 끝단에서 1/3 지점 떨언진 지점에서 시작하여 상부 도메인(D1)으로 연장된다. 제1 수직 공통 전극(CV1)은 제1 수직 화소 전극(PV1)과 제2 수직 공통 전극(PV2) 사이에서 이들과 등간격으로 떨어져 서로 평행하게 배치된다.

[0054] 제2 수직 공통 전극(CV2)은 수평 공통 전극(COMh)의 타측 끝단에서 데이터 배선(DL) 및 차폐선(BL)을 덮으며, 상부 도메인(D1)으로 일부 확장된 폭을 갖는다. 제2 수직 공통 전극(CV2)은 제2 수직 화소 전극(PV2)과 일정 거리 떨어져 평행하게 배치된다. 제3 수직 공통 전극(CV3)은 수평 공통 전극(COMh)의 일측 끝단에서 분기하며 데이터 배선(DL)과 차폐선(BL)을 덮으며, 하부 도메인(D2)으로 일부 확장된 폭을 갖는다. 제3 수직 공통 전극(CV3)은 제3 수직 화소 전극(PV3)과 일정 거리 떨어져 평행하게 배치된다. 제2 수직 공통 전극(CV2)과 제3 수직 공통 전극(CV3)은 대각 방향으로 대칭되어 배치된다.

[0055] 제4 수직 공통 전극(CV4)은 제3 수직 화소 전극(PV3)과 제4 수직 화소 전극(PV4) 사이에서 이들과 등간격으로 떨어져 서로 평행하게 배치된다. 제4 수직 공통 전극(CV4)은 제3 수직 공통 전극(CV3)에서 데이터 배선(DL)을 따라 하부 도메인(D2)으로 연장된 후, 화소 영역으로 분기된 하부 연결부(CCL)에 의해 연결된다.

[0056] 제2 수직 공통 전극(CV2)과 제3 수직 공통 전극(CV3)은 데이터 배선(DL)과 차폐선(BL)을 덮는 넓은 폭을 갖도록 형성된다. 제3 수직 공통 전극(CV3)은 데이터 배선(DL)을 덮으며, 상부 도메인(D1)으로 연장된 상부 연결부

(CCU)에 의해 수평 공통 전극(COMh)과 연결된다. 상부 연결부(CCU)는, 차폐선(BL)을 제외한 데이터 배선(DL)만을 덮는 좁은 폭을 가질 수 있다. 이는 인접한 제1 수직 화소 전극(PV1)과 전기적으로 분리하기 위한 이격 거리를 확보하기 위함이다. 상부 연결부(CCU)와 제1 수직 공통 전극(PV1) 사이에도 수평 전계가 형성될 수 있으나, 이 사이 간격은 매우 좁고, 이 부분은 블랙 매트릭스에 의해 덮여 있으므로, 개구 영역에 해당하지는 않는다.

[0057] 앞에서 설명한, 하부 연결부(CCL)도 제2 수직 공통 전극(CV2)에서 하부 도메인(D2)으로 연장되되, 차폐선(BL)을 제외한 데이터 배선(DL)만을 덮는 좁은 폭을 가질 수 있다. 이것도, 인접한 제4 수직 화소 전극(PV4)과 전기적으로 분리하기 위한 이격 거리를 확보하기 위함이다. 하부 연결부(CCL)와 제4 수직 공통 전극(PV4) 사이에도 수평 전계가 형성될 수 있으나, 이 사이 간격은 매우 좁고, 이 부분은 블랙 매트릭스에 의해 덮여 있으므로, 개구 영역에 해당하지는 않는다.

[0058] 이로써, 제2 실시 예에 의한 수평 전계 액정 표시장치의 화소 영역에는 상부 도메인(D1)에 세 개의 블록을 포함하고, 하부 도메인(D2)에도 세 개의 블록을 포함한다. 이는 도 1에 도시한 종래 기술의 경우와 비교했을 때, 전극들이 도메인 영역에서 서로 비 대칭적으로 배치된 구조를 갖는다. 대칭적인 구조를 갖는 종래 기술의 경우에는 수직 공통 전극들이 화소 영역의 좌측변과 우측변에 모두 배치되어야 하므로, 짝수 개의 전계 블록을 형성한다. 하지만, 본 발명과 같이 수직 전극들이 비 대칭 구조를 갖는 경우에는 홀수 개의 전계 블록을 형성한다.

[0059] 이와 같이, 수직 전극들이 비 대칭 구조를 갖는 화소 영역들이 매트릭스 방식으로 연속해서 배치될 경우, 왜곡이 발생할 수 있다. 이를 방지하기 위해, 수평 방향으로 이웃하는 화소 영역 두 개를 서로 좌우 대칭 구조를 갖도록 수직 전극들을 배치하는 것이 바람직하다.

[0060] 예를 들어, 앞에서 설명한 화소 영역의 우측에 배치되는 화소 영역에 배치되는 수직 화소 전극들은 데이터 배선(DL)을 중심으로 미러 대칭이 되도록 배치하는 것이 바람직하다. 여기서, 도메인에 따른 수직 화소 전극들의 배열 방향각은 미러 대칭하지 않고, 동일하게 유지한 상태인 것이 바람직하다.

[0061] 도 7을 참조하여, 이웃하는 두 개의 화소 영역들, 제1 화소 영역(PA1)과 제2 화소 영역(PA2)의 전체 구조를 설명한다. 도 7은 본 발명의 제2 실시 예에 의한 수평 전계 액정 표시장치에서 이웃하는 두 화소 영역을 개략적으로 도시한 평면도이다. 제1 화소 영역(PA1)과 제2 화소 영역(PA2)은 데이터 배선(DL)을 기준으로 각각 좌측 및 우측에 이웃하여 배치된다.

[0062] 제1 화소 영역(PA1)에는 상부 영역(D1)과 하부 영역(D2)을 나누도록 중심부를 가로지르는 수평 화소 전극(PXLh)이 화소 영역의 폭보다 좁은 길이를 갖고 배치되어 있다. 수평 화소 전극(PXLh)에는 상부 영역(D1)과 하부 영역(D2)으로 수직 화소 전극들이 분기되어 있다. 제1 수직 화소 전극(PV1)은, 수평 화소 전극(PXLh)의 일측 끝단에서 분기하여 상부 영역(D1)으로 연장된다. 제2 수직 화소 전극(PV2)은, 수평 화소 전극(PXLh)의 일측 끝단으로부터 수평 화소 전극(PXLh) 길이의 2/3 지점에서 분기하여 상부 영역(D1)으로 연장된다. 제3 수직 화소 전극(PV3)은, 수평 화소 전극(PXLh)의 일측 끝단으로부터 수평 화소 전극(PXLh) 길이의 1/3 지점에서 분기하여 하부 영역(D2)으로 연장된다. 그리고, 제4 수직 화소 전극(PV4)은, 수평 화소 전극(PXLh)의 타측 끝단에서 분기하여 하부 영역(D2)으로 연장된다.

[0063] 제1 화소 영역(PA1)에는 수직 화소 전극들(PV1, PV2, PV3, PV4)과 등간격으로 이격되어 평행한 선분 형상을 갖는 수직 공통 전극들(CV1, CV2, CV3, CV4)이 배치되어 있다. 제1 수직 공통 전극(CV1)은 상부 영역(D1)에서 제1 수직 화소 전극(PV1)과 제2 화소 전극(PV2) 사이에 배치된다. 특히, 제1 수직 공통 전극(CV1)은, 수평 화소 전극(PXLh)을 중심으로 하부 영역(D2)에 배치된 제3 수직 화소 전극(PV3)과 대칭 구조를 갖는다. 제2 수직 공통 전극(CV2)은, 제2 수직 화소 전극(PV2)와 데이터 배선(DL) 사이에 배치된다. 특히, 제2 수직 공통 전극(CV2)은, 수평 화소 전극(PXLh)을 중심으로 하부 영역(D2)에 배치된 제4 수직 화소 전극(PV4)과 대칭 구조를 갖는다.

[0064] 또한, 제3 수직 공통 전극(CV3)은, 제3 수직 화소 전극(PV3)과 전단 데이터 배선(DLn-1) 사이에 배치된다. 특히, 제3 수직 공통 전극(CV3)은, 수평 화소 전극(PXLh)을 중심으로 상부 영역(D1)에 배치된 제1 수직 화소 전극(PV1)과 대칭 구조를 갖는다. 제4 수직 공통 전극(CV4)은, 하부 영역(D2)에서 제3 수직 화소 전극(PV3)과 제4 화소 전극(PV4) 사이에 배치된다. 특히, 제4 수직 공통 전극(CV4)은, 수평 화소 전극(PXLh)을 중심으로 상부 영역(D1)에 배치된 제2 수직 화소 전극(PV2)과 대칭 구조를 갖는다.

[0065] 제1 내지 제4 수직 공통 전극들(CV1, CV2, CV3, CV4)은 수평 공통 전극(COMh)에 연결되어 있다. 수평 공통 전극(COMh)은 제1 화소 영역(PA1)의 상단변에서 화소 영역의 폭 방향에 대응하는 길이를 갖고 가로질러 배치된다.

제1 화소 영역(PA1)의 하단변에는 제1 박막 트랜지스터(T1)이 배치되어 있으므로, 수평 공통 전극(COMh)은 상단변에 배치하는 것이 바람직하다.

[0066] 수평 공통 전극(COMh)에서, 제1 화소 영역(PA1)을 둘러싸는 데이터 배선(DLn)과 전단 데이터 배선(DLn-1)을 덮는 수직부가 분기되어 있다. 제2 수직 공통 전극(CV2)과 제3 수직 공통 전극(CV3)은 수직부가 가로 방향으로 확대되어 형성된 구조를 갖는다. 즉, 수직부가 차폐선(BL)을 넘어 제1 화소 영역(PA)의 내측으로 일정 범위 확대됨으로써 형성된다. 한편, 수직부는 제1 수직 화소 전극(PV1)과 제4 수직 화소 전극(PV4)이 형성된 부위에서는 전단 데이터 배선(DLn-1)과 데이터 배선(DLn)만을 덮도록 좁은 너비를 갖고 형성된다. 예를 들어, 제3 수직 공통 전극(CV3)과 연결되는 수직부는 제1 수직 화소 전극(PV1)과 전단 데이터 배선(DLn-1) 사이에 배치된다. 또한, 제2 수직 공통 전극(CV2)과 연결되는 수직부는, 제4 수직 화소 전극(PV4)과 데이터 배선(DLn) 사이에 배치된다.

[0067] 제2 화소 영역(PA2)에도 제1 화소 영역(PA1)과 동일한 방식으로 배열된 수평 화소 전극 및 수직 화소 전극들 그리고 수평 공통 전극 및 수직 공통 전극들이 배치된다. 제1 화소 영역(PA1)과 제2 화소 영역(PA2)에 배치되는 각 수직 전극들은 데이터 배선(DLn)을 기준으로 좌우 대칭 혹은 미러(Mirror) 대칭 구조를 갖는다.

[0068] 도 6에서는 도메인 영역을 정의하지 않았다. 수평 화소 전극(PXLh)에 의해 상부 영역(D1)과 하부 영역(D2)로만 구분하였다. 필요하다면, 상부 영역(D1)에 배치되는 수직 전극들의 진행 방향 각도를 80도 방향으로 설정하고, 하부 영역(D2)에 배치되는 수직 전극들의 진행 방향 각도를 280도 방향으로 설정하여, 두 개의 도메인 영역으로 정의할 수 있다.

[0069] <비교 예>

[0070] 제1 실시 예에 의한 화소 구조와 제2 실시 예에 의한 화소 구조에서 개구율의 값을 비교 설명한다. 제1 실시 예에 의한 화소 영역과 제2 실시 예에 의한 화소 영역의 크기는 동일하다는 조건 하에서, 다음 표 1과 같은 크기를 갖는 전극들이 배치된다.

표 1

[0071]

	제1 실시 예	제2 실시 예	비고
전극 폭 / 전극 간격	4㎛ / 13.5㎛	2㎛ / 12.04㎛	
블록 개수	2개	3개(6개)	
투과율	1.45%	1.95%	34.2% 상승
Cdp	9.43E-13	1.24E-12	32% 증가

[0072] 여기서, Cdp는 데이터 배선과 화소 전극 사이에 형성되는 기생 용량을 의미한다.

[0073] 표 1을 참조하면, 제1 실시 예에서 개구율을 결정하는 전극 간격이 13.5㎛이고 블록의 개수가 2개이므로, 개구 영역의 폭인 27㎛에 비례하는 개구율을 가질 수 있다. 제2 실시 예에서는 전극 간격이 12.04㎛이고 3개의 블록이 있으며, 수평 화소 전극이 더 있으므로, 개구 영역의 폭은 36.12㎛-2.0㎛=34.12㎛에 비례하는 개구율을 가질 수 있다. 즉, 개구 영역의 폭이 30% 이상 증가하는 것을 알 수 있다. 투과율을 측정한 결과 역시, 개구율이 증가하는 만큼 증가하는 것을 알 수 있다.

[0074] 도 5 및 6의 설명에서와 같이, 데이터 배선(DLn)을 덮는 공통 전극은 상부 영역(D1)에서의 폭이 하부 영역(D2)에서의 폭보다 더 넓다. 또한, 하부 영역(D2)에서는, 공통 전극의 수직부가 수직 화소 전극과 인접하여 배치되어 있다. 이로 인해, 데이터 배선과 화소 전극 사이에 형성되는 기생 용량, Cdp가 제1 실시 예의 경우보다 32% 증가할 수 있다.

[0075] 하지만, 제조 공정에서 마스크 정렬 오차로 인해 좌우 편차가 발생하더라도, 수직 화소 전극들이 데이터 배선을 중심으로 대각 대칭 혹은 미러 대칭을 이루기 때문에 좌우 편차가 주는 영향이 거의 없다. 다시 말해, 좌우 편차가 발생하더라도, 상부 영역과 하부 영역에서 동일하게 발생하지 않고, 어느 한 영역이 커지면, 다른 영역은 줄어들어 편차가 서로 상쇄된다. 그 결과, 마스크 정렬 오차에 따른 특성 변화가 거의 발생하지 않는다.

[0076] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

[0077] GL: 게이트 배선 DL: 데이터 배선

CL: 공통 배선 T: 박막 트랜지스터

G: 게이트 전극 S: 소스 전극

D: 드레인 전극 A: 반도체 채널 층

GI: 게이트 절연막 SUB: 기판

Cst, STG: 보조 용량 PAS: 보호막

PXL: 화소 전극 COM: 공통 전극

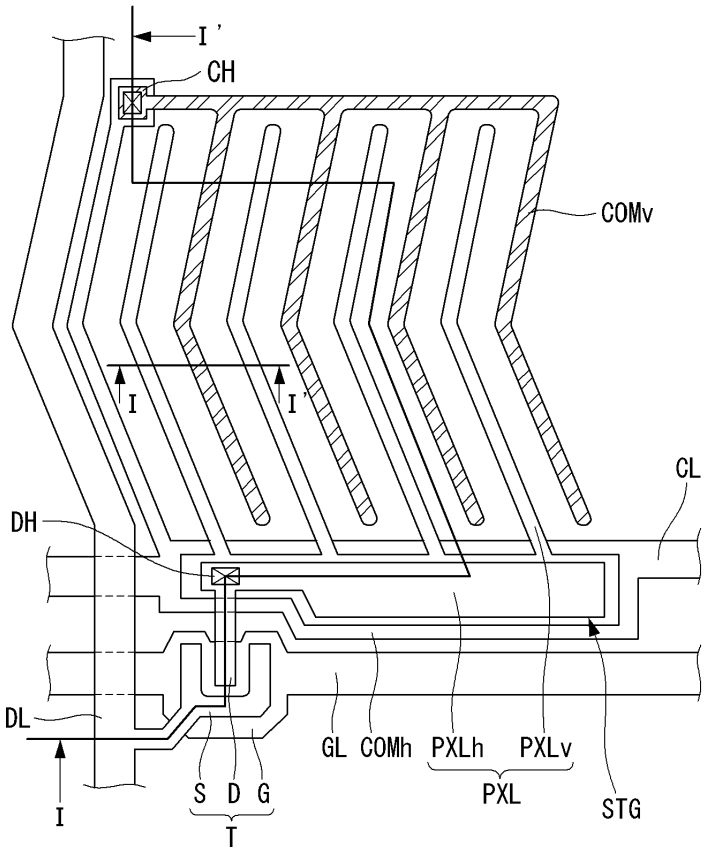
PXLh: 수평 화소 전극 PXLv: 수직 화소 전극

COMh: 수평 공통 전극 COMv: 수직 공통 전극

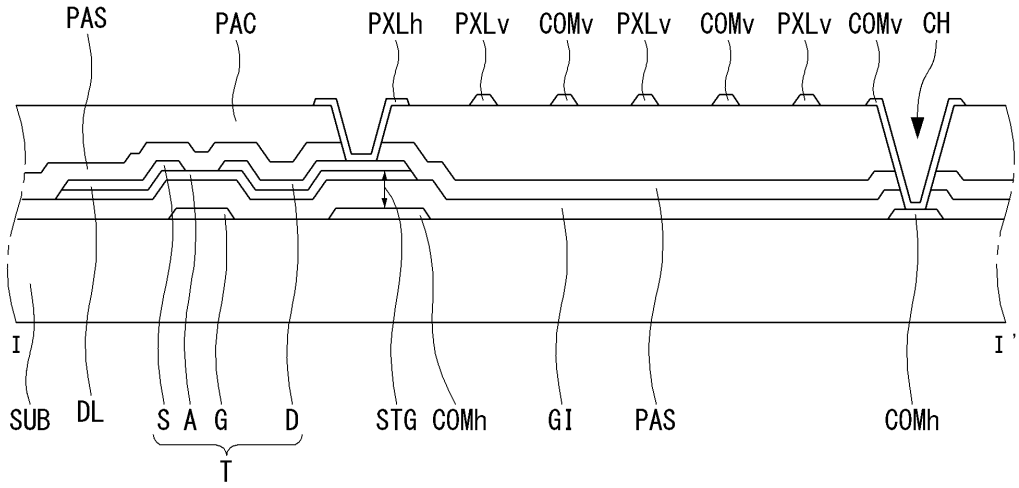
DH: 드레인 콘택홀 CH: 공통 콘택홀

도면

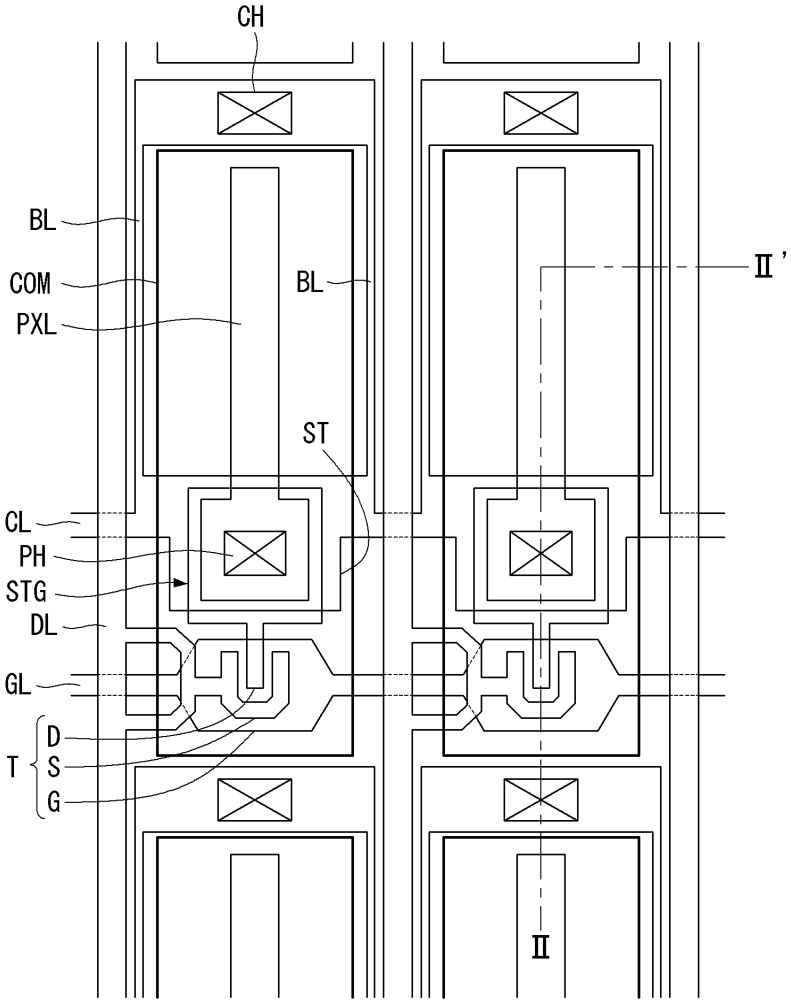
도면1



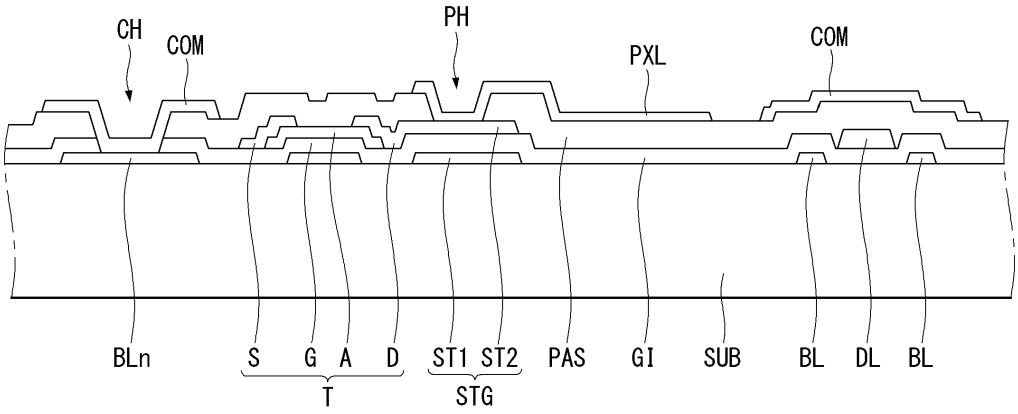
도면2


PAS
PAC
PXLh
PXLv
COMv
PXLv
COMv
PXLv
COMv
CH
I
I'
SUB
DL
S
A
G
D
T
STG
COMh
GI
PAS
COMh

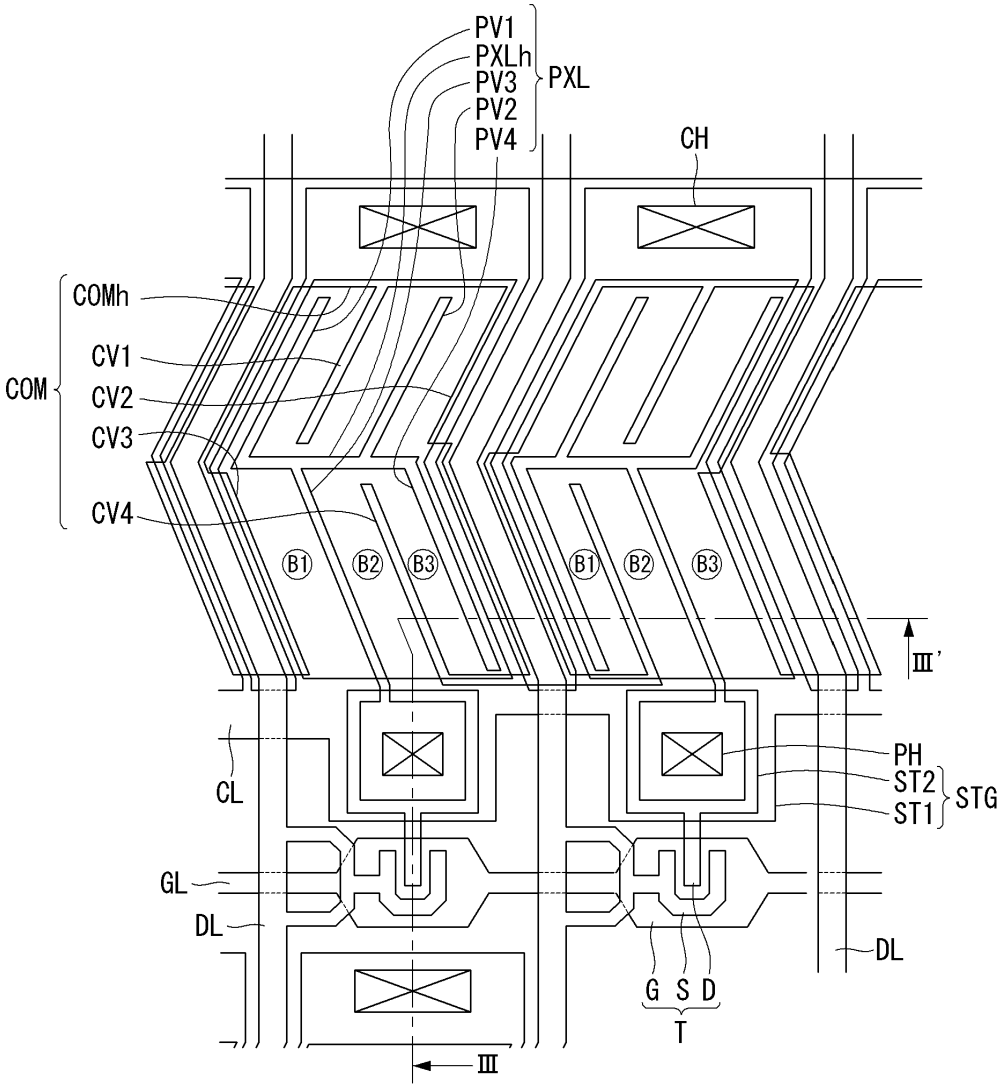
도면3


CH
BL
COM
PXL
BL
Ⅱ'
ST
CL
PH
STG
DL
GL
T
D
S
G
Ⅱ

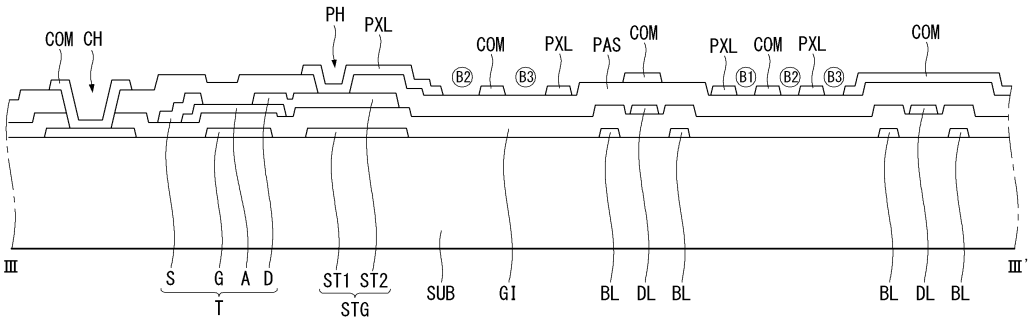
도면4


CH
COM
PH
PXL
COM
BLn
S
G
A
D
ST1
ST2
PAS
GI
SUB
BL
DL
BL
T
STG

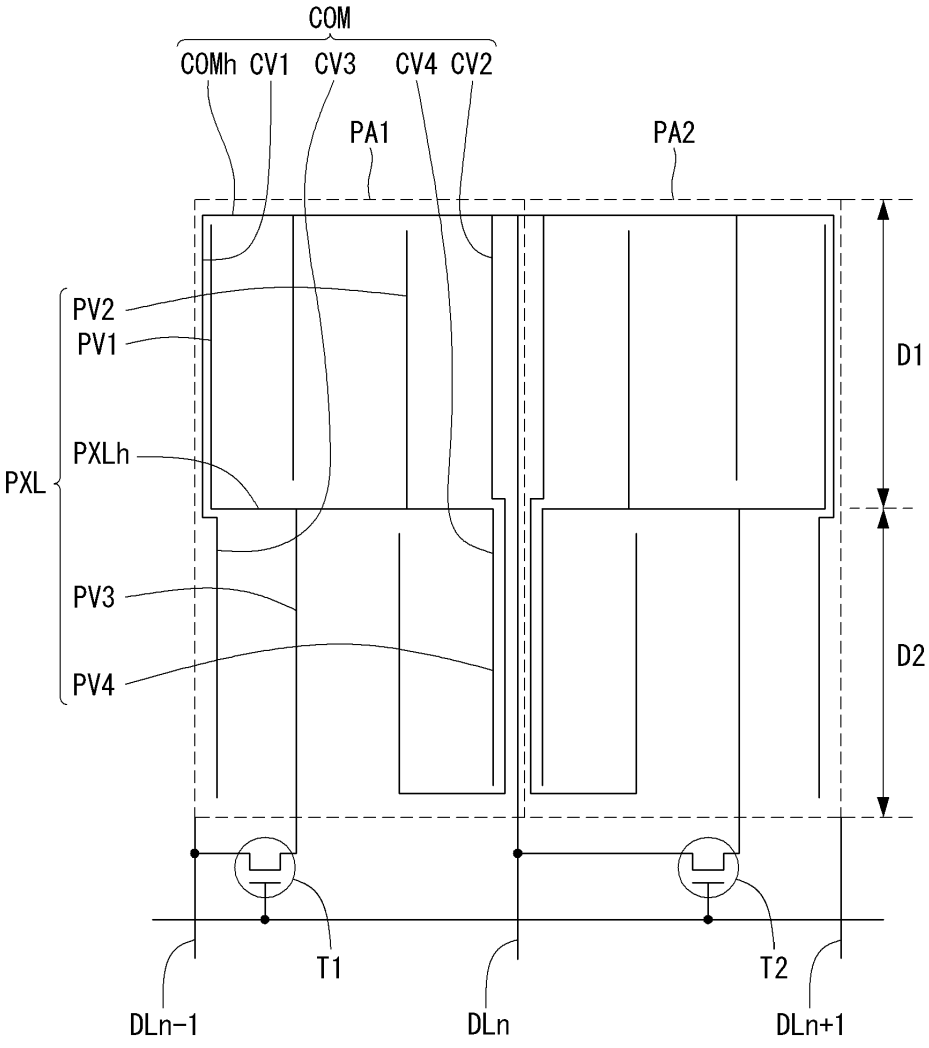
도면5


PV1
PXLh
PV3
PV2
PV4
PXL
CH
COMh
CV1
CV2
CV3
CV4
COM
B1
B2
B3
B1
B2
B3
Ⅲ'
CL
PH
ST2
ST1
STG
GL
DL
DL
G
S
D
T
Ⅲ

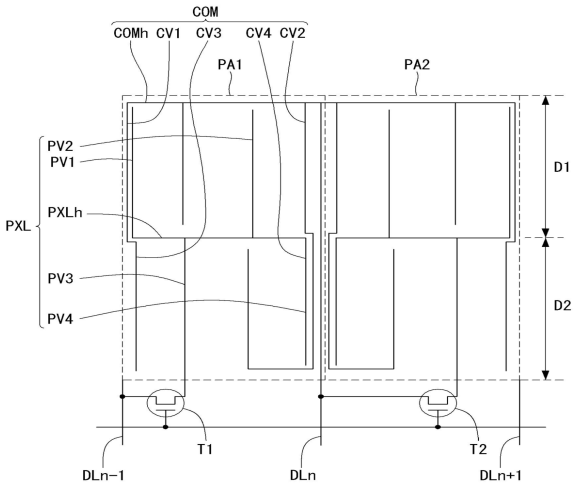
도면6


COM CH
PH
PXL
COM
PXL
PAS
COM
PXL
COM
PXL
COM
B2
B3
B1
B2
B3
Ⅲ
Ⅲ'
S
G
A
D
T
ST1
ST2
STG
SUB
GI
BL
DL
BL
BL
DL
BL

도면7


COM
COMh
CV1
CV3
CV4
CV2
PA1
PA2
PV2
PV1
PXL
PXLh
PV3
PV4
D1
D2
T1
T2
DLn-1
DLn
DLn+1

专利名称(译)	具有高孔径比的超高分辨率水平电场液晶显示装置		
公开(公告)号	KR1020170070904A	公开(公告)日	2017-06-23
申请号	KR1020150178123	申请日	2015-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE CHAN HO 이찬호 LEE WON HO 이원호		
发明人	이찬호 이원호		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/1368		
外部链接	Espacenet		

摘要(译)

本发明涉及一种确保高孔径比的超高分辨率水平电场系统的液晶显示装置。根据本发明的水平电场型液晶显示装置包括基板，栅极线，数据线，第一像素区域和第二像素区域，水平像素电极，以及第一至第四垂直像素电极。栅极布线在基板上沿横向行进。 数据布线在基板上沿纵向方向前进。 第一像素区域和第二像素区域由栅极布线和数据布线限定，并且相对于数据布线设置在两侧。 并且布置在划分区域和下部区域的中心上方。 并延伸到上部区域。 在水平像素电极中，在第一像素区域中，上部第一垂直像素电极从水平像素电极的一端以水平像素电极长度的三分之一分支到上部区域，它延伸。 第三垂直像素电极通过以水平像素电极长度的1/3分支而从一端延伸到下部区域。 第四垂直像素电极从水平像素电极的另一端分支并延伸到下部区域。