



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0035403
(43) 공개일자 2017년03월31일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/1362 (2006.01)
G02F 1/1368 (2006.01)
- (52) CPC특허분류
G09G 3/3648 (2013.01)
G02F 1/136286 (2013.01)
- (21) 출원번호 10-2015-0134040
- (22) 출원일자 2015년09월22일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
신현기
경상북도 구미시 선기로3길 54 206동 902호 (남통동, 금오산금호어울림2단지아파트)
- (74) 대리인
특허법인네이트

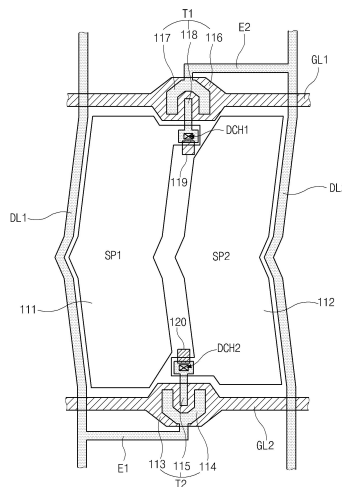
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 서로 인접한 서브픽셀들의 기생 커패시턴스가 상이하게 되어 표시품질이 저하되는 것을 방지하기 위하여, 제2게이트배선을 따라 제1데이터배선에서 제1서브픽셀 방향으로 연장되는 제1데이터연장배선과, 제1게이트배선을 따라 제2데이터배선에서 제2서브픽셀 방향으로 연장되는 제2데이터연장배선과, 게이트전극 및 소스전극이 제1게이트배선 및 제2데이터연장배선과 각각 연결되는 제1박막트랜지스터와, 게이트전극 및 소스전극이 제2게이트배선 및 제1데이터연장배선과 각각 연결되는 제2박막트랜지스터를 포함하고, 제1 및 제2박막트랜지스터의 드레인전극은 제1 및 제2화소전극과 각각 연결되거나, 제2 및 제1화소전극과 각각 연결되는 액정표시장치를 제공한다.

대표도 - 도4



(52) CPC특허분류

G02F 1/1368 (2013.01)

G09G 2320/0247 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

제1화소전극을 포함하는 제1서브픽셀과, 제2화소전극을 포함하며, 상기 제1서브픽셀 우측에 배치되는 제2서브픽셀;

상기 제1 및 제2서브픽셀 상측 및 하측에 각각 배치되는 제1 및 제2게이트배선;

상기 제1 및 제2게이트배선과 교차하고, 상기 제1서브픽셀 좌측 및 상기 제2서브픽셀 우측에 각각 배치되는 제1 및 제2데이터배선;

상기 제2게이트배선을 따라 상기 제1데이터배선에서 상기 제1서브픽셀 방향으로 연장되는 제1데이터연장배선과, 상기 제1게이트배선을 따라 상기 제2데이터배선에서 상기 제2서브픽셀 방향으로 연장되는 제2데이터연장배선; 및

게이트전극 및 소스전극이 상기 제1게이트배선 및 제2데이터연장배선과 각각 연결되는 제1박막트랜지스터와, 게이트전극 및 소스전극이 상기 제2게이트배선 및 제1데이터연장배선과 각각 연결되는 제2박막트랜지스터를 포함하고,

상기 제1 및 제2박막트랜지스터의 드레인전극은 상기 제1 및 제2화소전극과 각각 연결되거나, 상기 제2 및 제1화소전극과 각각 연결되는 액정표시장치.

청구항 2

제 1 항에 있어서,

제3화소전극을 포함하며, 상기 제2서브픽셀 및 제2데이터배선 우측에 배치되는 제3서브픽셀과, 상기 제3서브픽셀 우측에 배치되는 제4서브픽셀;

상기 제1 및 제2게이트배선과 교차하고, 상기 제4서브픽셀 우측에 배치되는 제3데이터배선;

상기 제2게이트배선을 따라 상기 제2데이터배선에서 상기 제3서브픽셀 방향으로 연장되는 제3데이터연장배선과, 상기 제1게이트배선을 따라 상기 제3데이터배선에서 상기 제4서브픽셀 방향으로 연장되는 제4데이터연장배선; 및

게이트전극 및 소스전극이 상기 제2게이트배선 및 제3데이터연장배선과 각각 연결되는 제3박막트랜지스터와, 게이트전극 및 소스전극이 상기 제1게이트배선 및 제4데이터연장배선과 각각 연결되는 제4박막트랜지스터를 더 포함하고,

상기 제3 및 제4박막트랜지스터의 드레인전극은 상기 제3 및 제4화소전극과 각각 연결되거나, 상기 제4 및 제3화소전극과 각각 연결되는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 내지 제 4 서브픽셀은 1 도트 인버전 방식으로 구동되는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 내지 제4박막트랜지스터의 드레인전극은 각각 수직방향으로 연장되어 T자형을 이루는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 내지 제4박막트랜지스터의 드레인전극 하부에 배치되며, 상기 드레인전극과 중첩되는 보상패턴을 더 포함하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 보상패턴은 상기 제1 내지 제4박막트랜지스터의 게이트전극과 동일물질로 이루어지는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 서로 인접한 서브픽셀들의 기생 커패시턴스가 상이하게 되어 표시품질이 저하되는 것을 방지할 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0003] 최근, 반도체 기술의 급속한 진보에 의하여 각종 전자 장치의 저전압화 및 저전력화와 함께 전자 기기의 소형화, 박형화 및 경량화의 추세에 따라 새로운 환경에 적합한 전자 표시 장치로서 평판 패널형 표시 장치에 대한 요구가 급격히 증대되고 있다. 이에 따라 액정 표시 장치(LCD), 플라즈마 표시 장치(PDP), 유기 이엘 표시 장치(OELD) 등과 같은 평판 패널형 표시 장치가 개발되고 있으며, 이러한 평판 패널형 표시 장치 중에서 소형화, 경량화 및 박형화가 용이하며, 낮은 소비 전력 및 낮은 구동 전압을 갖는 액정 표시 장치가 특히 주목 받고 있다.

[0004] 액정 표시 장치는 공통 전극, 컬러 필터, 블랙 매트릭스 등이 형성되어 있는 상부 투명 절연 기관과 스위칭 소자, 화소 전극등이 형성되어 있는 하부 투명 절연 기관 사이에 이방성 유전율을 갖는 액정 물질을 주입해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에 형성되는 전기의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 투명 절연 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다. 이러한 액정 표시 장치는 박막 트랜지스터(Thin Film Transistor; TFT) 소자를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다.

[0005] 이러한 액정 표시 장치는 화상이 표시되는 액정 표시 패널을 포함하게 되는데, 액정 표시 패널을 구동할 때에는 내부 액정의 열화를 방지하고, 화상의 표시 품질을 향상시키기 위하여 일정한 단위로 극성을 반전하여 구동하는 인버전 구동 방법이 사용되는 것이 일반적이다.

[0006] 인버전 구동 방법은 극성이 반전되는 단위에 따라 프레임 인버전(Frame Inversion) 방식, 라인 인버전(Line Inversion) 방식, 도트 인버전 방식(Dot Inversion)으로 구분된다.

[0007] 액정표시장치는 게이트배선들을 구동하기 위한 게이트 구동부와 데이터배선들을 구동하기 위한 데이터 구동부를 포함하며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 구동부를 이루는 IC의 갯수는 증가하고 있다.

[0008] 그런데, 데이터 구동부의 IC는 타 소자에 비해 상대적으로 매우 고가이기 때문에, 최근에는 액정표시장치의 생산단가를 낮추기 IC 갯수를 줄이기 위한 여러 방법들이 연구 개발되고 있으며, 이 중 하나로써 기존 대비 게이트 배선들의 갯수는 2배로 늘리는 대신 데이터배선들의 갯수를 1/2배로 줄여 필요로 하는 IC의 갯수를 반으로 줄이면서도 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 방식이 제안되었다.

[0009] 도 1은 종래의 DRD 방식 액정표시장치를 도시한 도면이다.

- [0010] 도면에 도시한 바와 같이, 종래의 DRD 방식 액정표시장치는 3행 6열로 배열되는 제1 내지 제18서브픽셀(SP1~SP18)과, 제1 내지 제6게이트배선(GL1~GL6)과, 제1 내지 제4데이터배선(DL1~DL4)과, 제1 내지 제18박막트랜지스터(T1~T18)를 포함한다.
- [0011] 또한, 제1 내지 제18서브픽셀(SP1~SP18)은 적색(R), 녹색(G) 및 청색(B) 중 어느 하나의 색을 표시하며, 서로 인접한 적색(R), 녹색(G) 및 청색(B)을 표시하는 3개의 서브 픽셀이 모여 하나의 단위 픽셀을 이룬다.
- [0012] 한편, 도면에는 제1 내지 제18서브픽셀(SP1~SP18)이 3행 6열로 배열되는 것으로 도시하였지만, 더 많은 수의 서브픽셀들이 다수의 행과 열로 배열될 수 있다.
- [0013] 또한, 제1 및 제2게이트배선(GL1, GL2)은 1행에 배열되는 서브픽셀들(SP1~SP6)의 상측 및 하측에 각각 배치되고, 제3 및 제4게이트배선(GL3, GL4)은 2행에 배열되는 서브픽셀들(SP7~SP12)의 상측 및 하측에 각각 배치되고, 제5 및 제6게이트배선(GL5, GL6)은 3행에 배열되는 서브픽셀들(SP13~SP18)의 상측 및 하측에 각각 배치된다.
- [0014] 또한, 제1 내지 제4데이터배선(DL1~DL4)은 제1 내지 제6게이트배선(GL1~GL6)과 교차하는데, 제1데이터배선(DL1)은 1열에 배열되는 서브픽셀들(SP1, SP7, SP13)의 좌측에 배치되고, 제2데이터 배선(DL2)은 2열에 배치되는 서브픽셀들(SP2, SP8, SP14) 및 3열에 배치되는 서브픽셀들(SP3, SP9, SP15) 사이에 배치되고, 제3데이터배선(DL3)은 제4열에 배치되는 서브픽셀들(SP4, SP10, SP16) 및 5열에 배치되는 서브픽셀들(SP5, SP11, SP17) 사이에 배치되고, 제4데이터배선(DL4)은 6열에 배치되는 서브픽셀들(SP6, SP12, SP18) 우측에 배치된다.
- [0015] 또한, 제1박막트랜지스터(T1)는 제1게이트배선(GL1), 제1데이터배선(DL1) 및 제1서브픽셀(SP1)과 연결되고, 제2박막트랜지스터(T2)는 제2게이트배선(GL2) 및 제1데이터배선(DL1)과 연결되고, 제3박막트랜지스터(T3)는 제2게이트배선(GL2) 및 제2데이터배선(DL2)과 연결되고, 제4박막트랜지스터(T4)는 제1게이트배선(GL1) 및 제2데이터배선(DL2)과 연결되고, 제5박막트랜지스터(T5)는 제2게이트배선(GL2) 및 제3데이터배선(DL3)과 연결되고, 제6박막트랜지스터(T6)는 제1게이트배선(GL1) 및 제3데이터배선(DL3)과 연결된다.
- [0016] 또한, 제7박막트랜지스터(T7)는 제3게이트배선(GL3) 및 제2데이터배선(DL2)과 연결되고, 제8박막트랜지스터(T8)는 제4게이트배선(GL4) 및 제2데이터배선(DL2)과 연결되고, 제9박막트랜지스터(T9)는 제4게이트배선(GL4) 및 제3데이터배선(DL3)과 연결되고, 제10박막트랜지스터(T10)는 제3게이트배선(GL3) 및 제3데이터배선(DL3)과 연결되고, 제11박막트랜지스터(T11)는 제4게이트배선(GL4) 및 제4데이터배선(DL4)과 연결되고, 제12박막트랜지스터(T12)는 제3게이트배선(GL3) 및 제4데이터배선(DL4)과 연결된다.
- [0017] 또한, 제13박막트랜지스터(T13)는 제5게이트배선(GL5) 및 제1데이터배선(DL1)과 연결되고, 제14박막트랜지스터(T14)는 제6게이트배선(GL6) 및 제1데이터배선(DL1)과 연결되고, 제15박막트랜지스터(T15)는 제6게이트배선(GL6) 및 제2데이터배선(DL2)과 연결되고, 제16박막트랜지스터(T16)는 제5게이트배선(GL5) 및 제2데이터배선(DL2)과 연결되고, 제17박막트랜지스터(T17)는 제6게이트배선(GL6) 및 제3데이터배선(DL3)과 연결되고, 제18박막트랜지스터(T18)는 제5게이트배선(GL5) 및 제3데이터배선(DL3)과 연결된다.
- [0018] 여기서, 제1 및 제3데이터 배선(DL1, DL3)과 제2 및 제4데이터배선(DL2, DL4)은 서로 다른 극성을 갖는 데이터 전압을 일 프레임 동안 극성 반전 없이 공급하여 수평 2도트(dot) 인버전 방식으로 구동하기 때문에 소비전력을 저감시킬 수 있다.
- [0019] 그러나, 이와 같은 수평 2도트(dot) 인버전 방식으로 종래의 DRD 방식 액정표시장치를 구동함에 있어, 박막트랜지스터와 화소전극의 연결구조가 상이하게 되는 문제점이 있다.
- [0020] 이는, 일 데이터배선 양측에 위치한 서브픽셀들 중 일 데이터배선과 가까운 쪽 서브픽셀에만 데이터전압을 공급하거나, 먼 쪽 서브픽셀에만 데이터전압을 공급하는 것이 아니라, 가까운 쪽 서브픽셀과 먼 쪽 서브픽셀 모두에 데이터전압을 공급하기 때문이다.
- [0021] 도 2는 도1의 제1데이터배선과 제1 및 제2서브픽셀의 연결관계를 도시한 평면도이다.
- [0022] 도면에 도시한 바와 같이, 종래의 DRD방식 액정표시장치는 제1화소전극(11)을 포함하는 제1서브픽셀(SP1)과 제2화소전극(12)을 포함하며 제1서브픽셀(SP1) 우측에 배치되는 제2서브픽셀(SP2)과, 제1 및 제2서브픽셀(SP1, SP2) 상측 및 하측에 각각 배치되는 제1 및 제2게이트배선(GL1, GL2)과, 제1 및 제2게이트배선(GL1, GL2)과 교차하고 제1서브픽셀(SP1) 좌측에 배치되는 제1데이터배선(DL1)과, 제1 및 제2박막트랜지스터(T1, T2)를 포함한다.

- [0023] 여기서, 제1박막트랜지스터(T1)는 제1게이트배선(GL1)과 제1데이터배선(DL1)과 연결되고, 제2박막트랜지스터(T2)는 제2게이트배선(GL2)과 제1데이터배선(DL1)과 연결된다.
- [0024] 구체적으로, 제1박막트랜지스터(T1)의 게이트전극(16)은 제1게이트배선(GL1)과 연결되고, 소스전극(17)은 제1데이터배선(DL1)과 연결되고, 드레인전극(18)은 드레인콘택홀(DCH1)을 통해 제1화소전극(11)과 연결된다.
- [0025] 또한, 제2박막트랜지스터(T2)의 게이트전극(13)은 제2게이트배선(GL2)과 연결되고, 소스전극(14)은 제1데이터배선(DL1)과 연결되고, 드레인전극(15)은 드레인콘택홀(DCH2)을 통해 제2화소전극(12)과 연결된다.
- [0026] 또한, 제1데이터배선(DL1)은 동일 극성을 갖는 데이터전압을 일 프레임 동안 극성 반전 없이 공급하여 수평 2도트(dot) 인버전 방식으로 구동한다.
- [0027] 여기서, 제1데이터 배선(DL1)은 제1데이터 배선(DL1)에서 가까운 쪽 서브픽셀인 제1서브픽셀(SP1)과 먼 쪽 서브픽셀인 제2서브픽셀(SP2)에 데이터전압을 각각 공급한다.
- [0028] 특히, 종래의 DRD방식 액정표시장치는 제1 및 제2박막트랜지스터(T1, T2)는 제1데이터배선(DL1)과 인접한 위치에 각각 고정하고, 이와 각각 연결되는 제1 및 제2화소전극(11, 12)을 연장하여 제1 및 제2박막트랜지스터(T1, T2)의 드레인전극(18, 15)과 각각 연결한다.
- [0029] 이 때, 제1 및 제2화소전극(11, 12)의 연장 길이가 상이하기 때문에 제1 및 제2서브픽셀(SP1, SP2)의 기생 커패시턴스가 상이하게 되어 표시품질이 저하되고, 특히, 제1데이터 배선(DL1)에서 먼 쪽 서브픽셀인 제2서브픽셀(SP2)의 제2화소전극(12)은 제1화소전극(11) 보다 상대적으로 더 길게 연장해야 하기 때문에, 연장된 부분만큼 개구율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0031] 본 발명은 상기와 같은 종래의 문제를 해결하기 위한 것으로, 소비전력을 저감하고, 플리커 현상을 최소화하고, 표시품질 저하를 방지할 수 있는 액정표시장치를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0033] 진술한 바와 같은 목적을 달성하기 위해 본 발명은, 제2게이트배선을 따라 제1데이터배선에서 제1서브픽셀 방향으로 연장되는 제1데이터연장배선과, 제1게이트배선을 따라 제2데이터배선에서 제2서브픽셀 방향으로 연장되는 제2데이터연장배선과, 게이트전극 및 소스전극이 제1게이트배선 및 제2데이터연장배선과 각각 연결되는 제1박막트랜지스터와, 게이트전극 및 소스전극이 제2게이트배선 및 제1데이터연장배선과 각각 연결되는 제2박막트랜지스터를 포함하고, 제1 및 제2박막트랜지스터의 드레인전극은 제1 및 제2화소전극과 각각 연결되거나, 제2 및 제1화소전극과 각각 연결되는 액정표시장치를 제공한다.

발명의 효과

- [0035] 본 발명은 1도트(dot) 인버전 방식으로 구동함으로써 소비전력을 저감시킬 수 있고, 플리커 현상을 더 최소화할 수 있는 효과가 있다.
- [0036] 또한, 서로 인접한 서브픽셀들의 기생 커패시턴스가 상이하게 되어 표시품질이 저하되는 것을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- [0038] 도 1은 종래의 DRD 방식 액정표시장치를 도시한 도면이다.
- 도 2는 도1의 제1데이터배선과 제1 및 제2서브픽셀의 연결관계를 도시한 평면도이다.

도 3은 본 발명의 실시예에 따른 DRD 방식 액정표시장치를 도시한 도면이다.

도 4는 도3의 제1 및 제2데이터배선과 제1 및 제2서브픽셀의 연결관계를 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 설명하기로 한다.
- [0041] 도 3은 본 발명의 실시예에 따른 DRD 방식 액정표시장치를 도시한 도면이다.
- [0042] 도면에 도시한 바와 같이, 본 발명의 실시예에 따른 DRD 방식 액정표시장치는 3행 6열로 배열되는 제1 내지 제18서브픽셀(SP1~SP18)과, 제1 내지 제6게이트배선(GL1~GL6)과, 제1 내지 제4데이터배선(DL1~DL4)과, 제1 내지 제18박막트랜지스터(T1~T18)를 포함한다.
- [0043] 또한, 제1 내지 제18서브픽셀(SP1~SP18)은 적색(R), 녹색(G) 및 청색(B) 중 어느 하나의 색을 표시하며, 서로 인접한 적색(R), 녹색(G) 및 청색(B)을 표시하는 3개의 서브 픽셀이 모여 하나의 단위 픽셀을 이룬다.
- [0044] 한편, 도면에는 제1 내지 제18서브픽셀(SP1~SP18)이 3행 6열로 배열되는 것으로 도시하였지만, 더 많은 수의 서브픽셀들이 다수의 행과 열로 배열될 수 있다.
- [0045] 또한, 제1 및 제2게이트배선(GL1, GL2)은 1행에 배열되는 서브픽셀들(SP1~SP6)의 상측 및 하측에 각각 배치되고, 제3 및 제4게이트배선(GL3, GL4)은 2행에 배열되는 서브픽셀들(SP7~SP12)의 상측 및 하측에 각각 배치되고, 제5 및 제6게이트배선(GL5, GL6)은 3행에 배열되는 서브픽셀들(SP13~SP18)의 상측 및 하측에 각각 배치된다.
- [0046] 또한, 제1 내지 제4데이터배선(DL1~DL4)은 제1 내지 제6게이트배선(GL1~GL6)과 교차하는데, 제1데이터배선(DL1)은 1열에 배열되는 서브픽셀들(SP1, SP7, SP13)의 좌측에 배치되고, 제2데이터 배선(DL2)은 2열에 배치되는 서브픽셀들(SP2, SP8, SP14) 및 3열에 배치되는 서브픽셀들(SP3, SP9, SP15) 사이에 배치되고, 제3데이터배선(DL3)은 제4열에 배치되는 서브픽셀들(SP4, SP10, SP16) 및 5열에 배치되는 서브픽셀들(SP5, SP11, SP17) 사이에 배치되고, 제4데이터배선(DL4)은 6열에 배치되는 서브픽셀들(SP6, SP12, SP18) 우측에 배치된다.
- [0047] 또한, 제1박막트랜지스터(T1)는 제1게이트배선(GL1), 제2데이터배선(DL2) 및 제1서브픽셀(SP1)과 연결되고, 제2박막트랜지스터(T2)는 제2게이트배선(GL2) 및 제1데이터배선(DL1)과 연결되고, 제3박막트랜지스터(T3)는 제2게이트배선(GL2) 및 제2데이터배선(DL2)과 연결되고, 제4박막트랜지스터(T4)는 제1게이트배선(GL1) 및 제3데이터배선(DL3)과 연결되고, 제5박막트랜지스터(T5)는 제1게이트배선(GL1) 및 제4데이터배선(DL4)과 연결되고, 제6박막트랜지스터(T6)는 제2게이트배선(GL2) 및 제3데이터배선(DL3)과 연결된다.
- [0048] 또한, 제7박막트랜지스터(T7)는 제4게이트배선(GL4) 및 제1데이터배선(DL1)과 연결되고, 제8박막트랜지스터(T8)는 제3게이트배선(GL3) 및 제2데이터배선(DL2)과 연결되고, 제9박막트랜지스터(T9)는 제3게이트배선(GL3) 및 제3데이터배선(DL3)과 연결되고, 제10박막트랜지스터(T10)는 제4게이트배선(GL4) 및 제2데이터배선(DL2)과 연결되고, 제11박막트랜지스터(T11)는 제4게이트배선(GL4) 및 제3데이터배선(DL3)과 연결되고, 제12박막트랜지스터(T12)는 제3게이트배선(GL3) 및 제4데이터배선(DL4)과 연결된다.
- [0049] 또한, 제13박막트랜지스터(T13)는 제5게이트배선(GL5) 및 제2데이터배선(DL2)과 연결되고, 제14박막트랜지스터(T14)는 제6게이트배선(GL6) 및 제1데이터배선(DL1)과 연결되고, 제15박막트랜지스터(T15)는 제6게이트배선(GL6) 및 제2데이터배선(DL2)과 연결되고, 제16박막트랜지스터(T16)는 제5게이트배선(GL5) 및 제3데이터배선(DL3)과 연결되고, 제17박막트랜지스터(T17)는 제5게이트배선(GL5) 및 제4데이터배선(DL4)과 연결되고, 제18박막트랜지스터(T18)는 제6게이트배선(GL6) 및 제3데이터배선(DL3)과 연결된다.
- [0050] 이 때, 제2박막트랜지스터(T2)는 제2게이트배선(GL2)을 따라 제1데이터배선(DL1)에서 연장되어 그 끝단이 제1 및 제2서브픽셀(SP1, SP2) 사이에 대응하여 위치하는 제1데이터연장배선(E1)을 통해 제1데이터배선(DL1)과 연결되고, 제1박막트랜지스터(T1)는 제1게이트배선(GL1)을 따라 제2데이터배선(DL2)에서 연장되어 그 끝단이 제1 및 제2서브픽셀(SP1, SP2) 사이에 대응하여 위치하는 제2데이터연장배선(E2)을 통해 제2데이터배선(DL2)과 연결된다.
- [0051] 마찬가지로, 제3 내지 제18박막트랜지스터(T3~T18)는, 제3 내지 제18박막트랜지스터(T3~T18)와 각각 연결되는 데이터배선(DL1~DL4)으로부터 연장된 데이터연장배선을 통해 데이터배선(DL1~DL4)과 각각 연결된다.

- [0052] 여기서, 홀수 번째 데이터 배선(DL1, DL3)과 짝수 번째 데이터배선(DL2, DL4)이 서로 다른 극성을 갖는 데이터 전압을 일 프레임 동안 극성 반전 없이 공급함으로써, 1도트(dot) 인버전 방식으로 구동하기 때문에 소비전력을 저감시킬 수 있고, 수평 2도트(dot) 인버전 방식 보다 플리커 현상을 더 최소화할 수 있다.
- [0053] 또한, 본 발명의 실시예에 따른 DRD 방식 액정표시장치는 1도트(dot) 인버전 방식으로 구동함에 있어, 일 데이터 배선 양측에 위치한 서브픽셀들 중 가까운 쪽 서브픽셀과 먼 쪽 서브픽셀 모두에 데이터전압을 공급하더라도, 각 데이터배선에서 연장된 데이터연장배선을 통해 각 데이터배선과 박막트랜지스터를 연결시키기 때문에, 박막트랜지스터와 화소전극의 연결구조를 동일하게 할 수 있다.
- [0054] 도 4는 도3의 제1 및 제2데이터배선과 제1 및 제2서브픽셀의 연결관계를 도시한 평면도이다.
- [0055] 도면에 도시한 바와 같이, 본 발명의 실시예에 따른 DRD방식 액정표시장치는 제1화소전극(111)을 포함하는 제1 서브픽셀(SP1)과 제2화소전극(112)을 포함하며 제1서브픽셀(SP1) 우측에 배치되는 제2서브픽셀(SP2)과, 제1 및 제2서브픽셀(SP1, SP2) 상측 및 하측에 각각 배치되는 제1 및 제2게이트배선(GL1, GL2)과, 제1 및 제2게이트배선(GL1, GL2)과 교차하고 제1서브픽셀(SP1) 좌측 및 제2서브픽셀(SP2) 우측에 각각 배치되는 제1 및 제2데이터 배선(DL1, DL2)과, 제1 및 제2데이터연장배선(E1, E2)와, 제1 및 제2박막트랜지스터(T1, T2)를 포함한다.
- [0056] 여기서, 제1데이터연장배선(E1)은 제2게이트배선(GL2)을 따라 제1데이터배선(DL1)에서 제1서브픽셀(SP1) 방향으로 연장되어 그 끝단이 제1 및 제2서브픽셀(SP1, SP2) 사이에 대응하여 위치하고, 제2데이터연장배선(E2)은 제1 게이트배선(GL1)을 따라 제2데이터배선(DL2)에서 제2서브픽셀(SP2) 방향으로 연장되어 그 끝단이 제1 및 제2서브픽셀(SP1, SP2) 사이에 대응하여 위치한다.
- [0057] 또한, 제1박막트랜지스터(T1)는 제1게이트배선(GL1)과 제2데이터연장배선(E2) 끝단과 각각 연결되고, 제2박막트랜지스터(T2)는 제2게이트배선(GL2)과 제1데이터연장배선(E1)과 연결된다.
- [0058] 구체적으로, 제1박막트랜지스터(T1)의 게이트전극(116)은 제1게이트배선(GL1)과 연결되고, 소스전극(117)은 제2 데이터연장배선(E2)과 연결되고, 드레인전극(118)은 드레인콘택홀(DCH1)을 통해 제1화소전극(111)과 연결된다.
- [0059] 또한, 제2박막트랜지스터(T2)의 게이트전극(113)은 제2게이트배선(GL2)과 연결되고, 소스전극(114)은 제1데이터 연장배선(E1)과 연결되고, 드레인전극(115)은 드레인콘택홀(DCH2)을 통해 제2화소전극(112)과 연결된다.
- [0060] 한편, 도면과 달리, 제1박막트랜지스터(T1)의 게이트전극(116)은 제1게이트배선(GL1)과 연결되고, 소스전극(117)은 제2데이터연장배선(E2)과 연결되고, 드레인전극(118)은 드레인콘택홀을 통해 제2화소전극(112)과 연결 될 수 도 있다.
- [0061] 이 때, 제2박막트랜지스터(T2)의 게이트전극(113)은 제2게이트배선(GL2)과 연결되고, 소스전극(114)은 제1데이터 연장배선(E1)과 연결되고, 드레인전극(115)은 드레인콘택홀을 통해 제1화소전극(111)과 연결된다.
- [0062] 또한, 도면에는 도시하지 않았지만, 제3화소전극(미도시)을 포함하며 제2서브픽셀(SP2) 및 제2데이터배선(DL2) 우측에 배치되는 제3서브픽셀(SP3)과, 제4화소전극(미도시)을 포함하며 제3서브픽셀(SP3) 우측에 배치되는 제4 서브픽셀(SP4)과, 제1 및 제2게이트배선(GL1, GL2)과 교차하고, 제4서브픽셀(SP4) 우측에 배치되는 제3데이터 배선(DL3)을 포함할 수 있다.
- [0063] 여기서, 제3데이터연장배선(미도시)이 제2게이트배선(GL2)을 따라 제2데이터배선(DL2)에서 제3서브픽셀(SP3) 방향으로 연장되어 그 끝단이 제3 및 제4서브픽셀(SP3, SP4) 사이에 대응하여 위치하게 되고, 제4데이터연장배선(미도시)이 제1게이트배선(GL1)을 따라 제3데이터배선(DL3)에서 제4서브픽셀(SP4) 방향으로 연장되어 그 끝단이 제3 및 제4서브픽셀(SP3, SP4) 사이에 대응하여 위치할 수 있다.
- [0064] 또한, 제3박막트랜지스터(T3)의 게이트전극 및 소스전극은 제2게이트배선(GL2) 및 제3데이터연장배선(미도시) 끝단과 각각 연결되고, 제4박막트랜지스터(T4)의 게이트전극 및 소스전극은 제1게이트배선(GL1) 및 제4데이터연장배선(미도시) 끝단과 각각 연결될 수 있다.
- [0065] 이 때, 제3 및 제4박막트랜지스터(T3, T4)의 드레인전극은 제3 및 제4화소전극(미도시)과 각각 연결되거나, 제4 및 제3화소전극(미도시)과 각각 연결될 수 있다.
- [0066] 또한, 홀수 번째 데이터배선(DL1, DL3)과 짝수 번째 데이터배선(DL2, DL4)는 서로 다른 극성을 갖는 데이터전압 을 일 프레임 동안 극성 반전 없이 공급하여 1도트(dot) 인버전 방식으로 구동한다.
- [0067] 특히, 본 발명의 실시예에 따른 DRD방식 액정표시장치는 제1박막트랜지스터(T1)를 제2데이터연장배선(E2)을 통

해 제2데이터배선(DL2)과 연결함으로써 제1박막트랜지스터(T1)를 제1 및 제2서브픽셀(SP1, SP2)의 상측 사이에 대응하여 배치하고, 제2박막트랜지스터(T2)를 제1데이터연장배선(E1)을 통해 제1데이터배선(DL1)과 연결함으로써 제2박막트랜지스터(T2)를 제1 및 제2서브픽셀(SP1, SP2)의 하측 사이에 대응하여 배치할 수 있다.

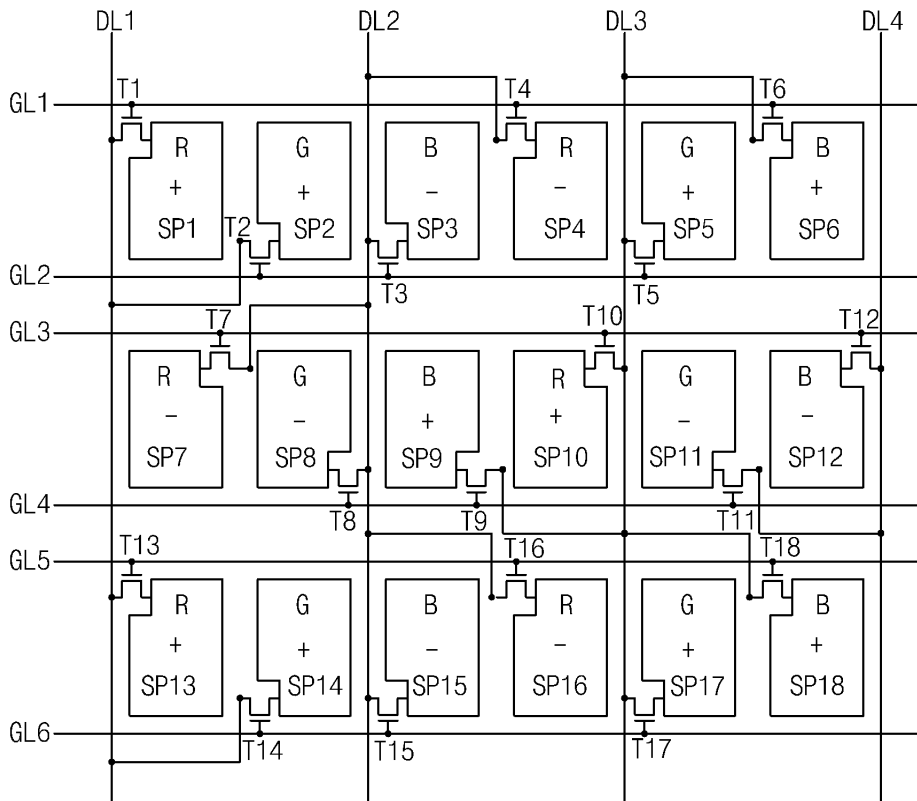
- [0068] 이 때, 제1 및 제2화소전극(111, 112)을 연장하여 제1 및 제2박막트랜지스터(T1, T2)의 드레인전극(118, 115)과 각각 연결하는데, 여기서, 제1 및 제2화소전극(111, 112)의 연장 길이는 서로 동일하기 때문에 제1 및 제2서브픽셀(SP1, SP2)의 기생 커패시턴스가 상이하게 되어 표시품질이 저하되는 것을 방지할 수 있다.
- [0069] 또한, 제1 및 제2박막트랜지스터(T1, T2)와 제1 및 제2서브픽셀(SP1, SP2)까지의 거리가 서로 동일하기 때문에, 제1 및 제2박막트랜지스터(T1, T2)에서 어느 일 서브픽셀의 화소전극(111)을 상대적으로 더 길게 연장할 필요 없어, 연장된 부분만큼 개구율이 저하되는 것을 방지할 수 있다.
- [0070] 한편, 하나의 데이터배선을 공유하는 서브픽셀 각각의 박막트랜지스터는 게이트배선과 연결되는 방향이 서로 반대(상하)로 되어 있으므로, 게이트 배선 형성용 마스크와 데이터 배선 형성용 마스크가 상하로 틀어질 경우, 서로 다른 크기의 기생 커패시턴스를 갖게 된다. 이로 인하여, 인접한 서브 픽셀간의 효율전압이 서로 다르게 되어 표시품질을 저하시킬 수 있다
- [0071] 이러한 문제점을 해결하기 위해, 본 발명의 실시예에 따른 DRD방식 액정표시장치는 제1 내지 제3박막트랜지스터(T1~T3)의 드레인전극(118, 115, 미도시) 하부에 배치되는 보상패턴(119, 120)을 더 포함한다.
- [0072] 이 때, 보상패턴(119, 120)은 드레인전극(118, 115, 미도시)과 중첩되어 배치되며, 제1 내지 제3박막트랜지스터(T1~T3)의 드레인전극(118, 115, 미도시)은 각각 수직방향으로 연장되어 T자형을 이룬다
- [0073] 또한, 보상패턴(119, 120)은 제1 내지 제3박막트랜지스터(T1~T3)의 게이트전극(116, 113, 미도시)과 동일물질로 이루어진다.
- [0074] 이에 따라, 데이터배선 형성용 마스크와 게이트배선 형성용 마스크가 서로 틀어지더라도, 기생 커패시턴스가 감소되는 서브픽셀에는 드레인전극(118, 115, 미도시)과 보상패턴(119, 120)의 중첩되는 면적이 넓어지고, 기생 커패시턴스가 증가되는 서브픽셀에는 드레인전극(118, 115, 미도시)과 보상패턴(119, 120)의 중첩되는 면적이 좁아져서 기생 커패시턴스를 보상할 수 있다.
- [0076] 본 발명은 전술한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

부호의 설명

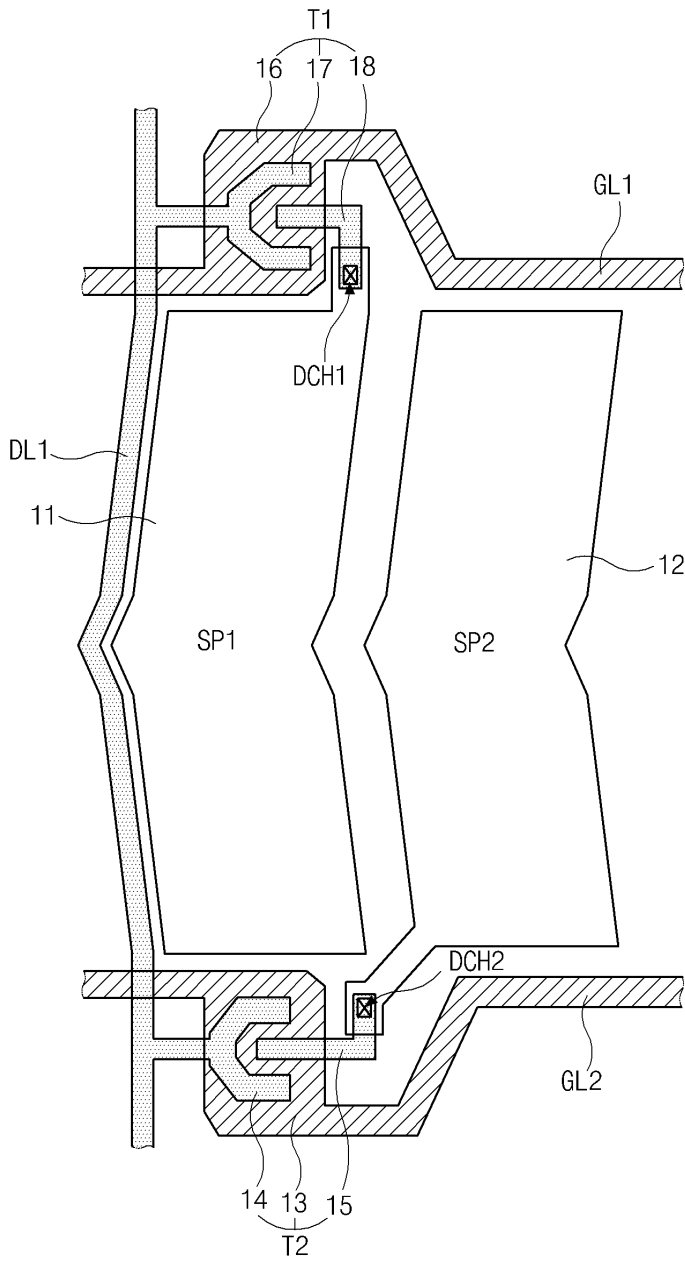
- [0078] GL1 ~ GL6 : 게이트배선 DL1 ~ DL4 : 데이터배선
- SP1 ~ SP18 : 서브픽셀 T1 ~ T18 : 박막트랜지스터
- E1, E2 : 데이터연장배선 119 : 보상패턴

도면

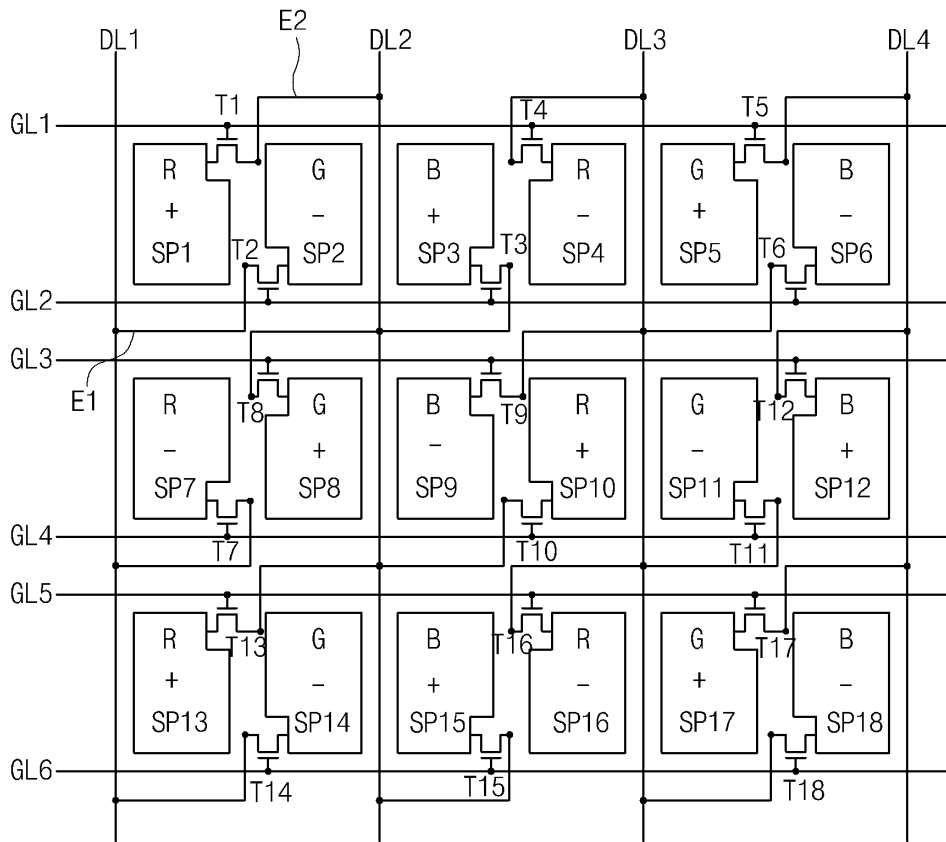
도면1



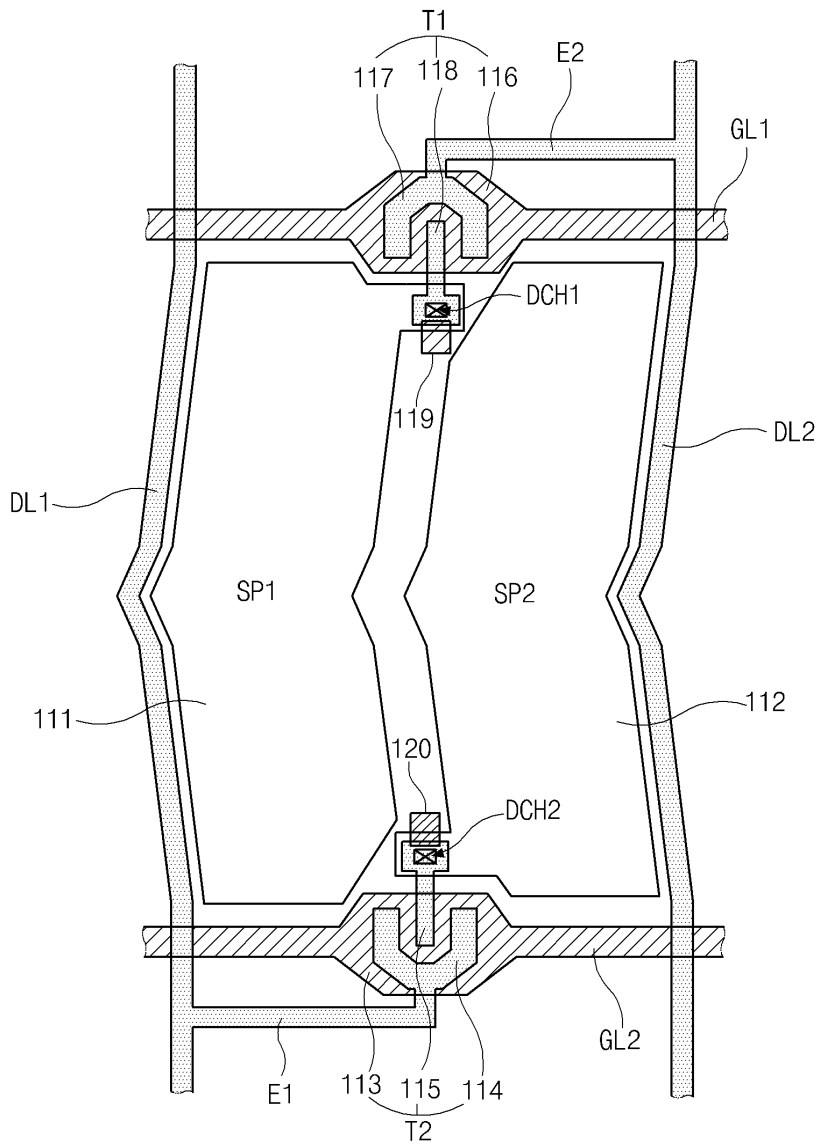
도면2



도면3



도면4



专利名称(译)	液晶显示器		
公开(公告)号	KR1020170035403A	公开(公告)日	2017-03-31
申请号	KR1020150134040	申请日	2015-09-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN HYUN GI 신현기		
发明人	신현기		
IPC分类号	G09G3/36 G02F1/1368 G02F1/1362		
CPC分类号	G09G3/3648 G02F1/1368 G02F1/136286 G09G2320/0247 G09G2330/021		
外部链接	Espacenet		

摘要(译)

沿着第二栅极线从第一数据线延伸到第一子像素的第一数据延伸线和沿着第二栅极线从第一数据线延伸到第一子像素的第二数据延伸线，以防止相邻子像素的寄生电容彼此不同，从第二数据布线沿第一栅极布线延伸到第二子像素方向的第二数据延伸布线，栅电极和源电极，连接到第一栅极布线和第二数据延伸布线的第二薄膜晶体管，并且，第二薄膜晶体管，其中栅电极和源电极分别连接到第二栅极线和第一数据延伸线，并且第一薄膜晶体管和第二薄膜晶体管的漏电极连接到第一和第二像素电极，或者分别连接到第二和第一像素电极。

