



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0015028
(43) 공개일자 2017년02월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/1368 (2006.01) *G02F 1/1343* (2006.01)

(52) CPC특허분류

G02F 1/1368 (2013.01)

G02F 1/134309 (2013.01)

(21) 출원번호 10-2015-0109233

(22) 출원일자 2015년07월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

홍재선

경기도 고양시 일산서구 가좌3로 45 (가좌동, 가좌마을2단지아파트) 212동 2003호

(74) 대리인

김은구, 송해보

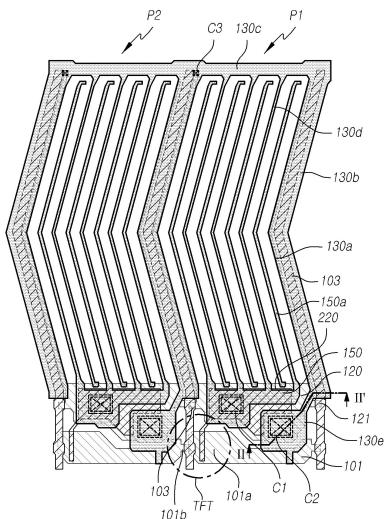
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치

(57) 요 약

본 발명은 액정표시장치를 개시한다. 개시된 본 발명의 액정표시장치는, 화소 영역을 정의하기 위해 교차배열된 게이트 라인과 데이터 라인, 상기 게이트 라인과 데이터 라인의 교차 영역에 배치되어 있는 박막 트랜지스터, 상기 게이트 라인과 평행하게 배치된 공통라인, 상기 화소 영역에 배치된 화소전극 및 공통전극을 포함하고, 상기 박막 트랜지스터는 게이트 전극과, 상기 게이트 전극 상부에 상기 게이트 전극의 가장자리 일부와 중첩되는 데이터 라인과 상기 데이터 라인과 마주하는 드레인 전극을 구비함으로써, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화하여, 게이트 구동 신호의 지연 및 왜곡을 방지한 효과가 있다.

대 표 도 - 도1



(52) CPC특허분류

G09G 2320/0223 (2013.01)

G09G 2320/0247 (2013.01)

G09G 2320/0252 (2013.01)

명세서

청구범위

청구항 1

화소 영역을 정의하기 위해 교차배열된 게이트 라인과 데이터 라인;

상기 게이트 라인과 데이터 라인의 교차 영역에 배치되어 있는 박막 트랜지스터;

상기 게이트 라인과 평행하게 배치된 공통라인;

상기 화소 영역에 배치된 화소전극 및 공통전극을 포함하고,

상기 박막 트랜지스터는 게이트 전극과, 상기 게이트 전극의 가장자리 일부와 중첩되는 데이터 라인과 상기 데이터 라인과 마주하는 제1전극과 제2전극으로 구성된 드레인 전극을 포함하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 게이트 전극의 가장자리와 중첩되는 상기 데이터 라인 영역은 상기 박막 트랜지스터의 소스 전극인 액정표시장치.

청구항 3

제1항에 있어서, 상기 게이트 라인은 상기 박막 트랜지스터 영역에서 제1폭을 갖는 게이트 전극과 상기 게이트 전극과 인접한 화소 영역의 게이트 라인과 연결되는 제2폭을 갖는 게이트 연결부를 더 포함하는 액정표시장치.

청구항 4

제3항에 있어서, 상기 제1폭은 상기 게이트 라인의 폭보다 크고, 상기 제2폭은 상기 게이트 라인의 폭보다 작은 액정표시장치.

청구항 5

제3항에 있어서, 상기 게이트 연결부는 상기 데이터 라인과 교차 배치된 액정표시장치.

청구항 6

제1항에 있어서, 상기 화소 영역에는 상기 공통라인과 일체로된 제1 스토리지 전극과 상기 제1 스토리지 전극과 중첩되고 상기 드레인 전극과 일체로된 제2 스토리지 전극을 더 포함하는 액정표시장치.

청구항 7

제6항에 있어서, 상기 제1전극은 상기 제2 스토리지 전극으로부터 상기 데이터 라인 방향으로 소정 각도로 인출되고, 상기 제2전극은 상기 제1전극의 끝단에서 상기 데이터 라인과 평행하게 위치하는 액정표시장치.

청구항 8

제6항에 있어서, 상기 공통 전극은 상기 공통라인과 일체로 형성되고, 상기 화소 영역의 가장자리를 따라 상기 데이터 라인과 평행하게 분기된 제1 공통전극을 더 포함하는 액정표시장치.

청구항 9

제8항에 있어서, 상기 공통전극은 상기 데이터 라인과 제1 공통전극과 중첩되는 제2 공통전극과, 상기 제1 스토리전극과 화소 영역을 마주하며 배치된 제3 공통전극과, 상기 제3 공통전극으로부터 상기 화소 영역으로 분기된 제4 공통전극과 상기 제2 공통전극으로부터 분기되어 상기 제1스토리지 전극과 전기적으로 연결된 공통전극연장부를 더 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 각 화소 영역에 배치되는 박막 트랜지스터(TFT: Thin Film Transistor)의 기생 캐패시턴스(Parasitic capacitance)를 줄여 구동 특성 및 투과율 특성을 향상시킨 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 저소비 전력으로 구동될 뿐만 아니라 박형화의 가능으로 최근 디스플레이 산업분야에서 널리 이용되고 있다.

[0003] 이와 같은 액정표시장치는 이격되어 서로 마주하며 합착된 제1 및 제2 기판과 제1 및 제2 기판 사이에 개재되어 광학적 이방성과 복굴절 특성을 이용하여 화상을 표시하는 액정을 포함할 수 있다.

[0004] 상기 제1 기판에는 다수의 화소에 대응하는 다수의 구동소자가 매트릭스 형태로 형성된다. 상기 구동소자는 소스전극과 드레인전극 및 게이트전극으로 구성되는 일반적인 박막트랜지스터를 예로 들 수 있으며, 이때 각 상기 게이트전극과 소스전극에 각각 게이트신호를 인가하기 위한 게이트라인과 데이터신호를 인가하기 위한 데이터라인이 형성되고, 상기 게이트라인과 데이터라인은 절연막을 사이에 두고 서로 교차되어 형성된다.

[0005] 또한, 상기 제1기판에는 각 화소마다 상기 드레인전극과 접촉되는 화소전극이 형성되어 있다. 이때, 각 화소전극은 상기 게이트라인과 상기 게이트라인과의 사이에 개재된 절연층과 스토리지캐패시터(storage capacitor)를 이루게 된다.

[0006] 한편, 상기 제2판에는 투명도전성금속을 증착하여 공통전극을 형성한다. 이때, 상기 액정표시장치가 컬러표시수단일 경우에는, 상기 제2기판에는 컬러필터층과 공통전극이 형성된다.

[0007] 전술한 바와 같이 각각 구성된 액정표시장치의 제1기판과 제2기판은 액정층을 사이에 두고 합착되어 액정표시패널을 구성하게 된다.

[0008] 상기 액정표시장치는 상기 액정표시패널의 제1기판에 형성된 각 신호라인들에 신호를 인가하는 수단이 되는 구동회로들이 다양한 방식으로 탑재된다.

[0009] 또한, 액정표시장치는 게이트 전극에 인가되는 주사신호에 의해 데이터라인을 통해 액정층에 전달되는 신호 전압의 크기가 제어되며, 이와 같은 가변적인 데이터전압은 액정의 분극 상태를 단계적으로 바꾸기 때문에 액정표시장치에서의 그레이(Gray) 레벨을 다양하게 표현할 수 있다.

[0010] 전술한 바와 같이, 박막트랜지스터 액정표시장치는 다수의 신호 라인들이 매트릭스 형태로 복잡하게 배치되는 구조이기 때문에 필수적으로 기생저항(parastic resistance)과 기생캐패시턴스(parasitic capacitance)가 존재한다.

[0011] 이들 저항과 캐패시터 성분에 의해 실제 액정표시패널에 공급되는 구동신호들은 RC 지연(Delay) 등으로 인해 신호가 왜곡되는 문제가 있다.

- [0012] 특히, 대면적 액정표시장치의 경우에는 게이트 구동회로로부터 게이트 전압이 게이트 라인들에 공급되면, 박막 트랜지스터의 게이트 전극과 데이터 라인 사이에 생성되는 기생 커패시턴스(Cgd)에 의해 신호 지연(RC Delay)이 발생된다.
- [0013] 또한, 화소를 구동하기 위해 필요한 전압인 Vp 역시, 박막 트랜지스터에서 생성되는 기생 커패시턴스에 의해 화소 전압이 킥백전압(Kickback Voltage: ΔVp) 만큼 쉬프트되는 왜곡이 발생된다.
- [0014] 상기 ΔVp 는 아래 식으로 표현된다.
- [0015]
$$\Delta Vp = Cgs / (Cgs + Clc + Cst) \times \Delta Vg \quad \text{----- (수학식 1)}$$
- [0016] (여기서, Cgs는 게이트 전극과 소스 전극 사이의 기생커패시터, Clc는 화소캐퍼시터, Cst는 스토리지 커패시터이다.)
- [0017] 수학식 1에서와 같이, 게이트 전극과 소스 전극 사이의 기생커패시터(Cgs)가 커지면 ΔVp 값도 커지기 때문에 각각의 화소 영역에 공급되는 화소 전압(Vp)의 쉬프트도 커지게 되어 플리커 발생 등으로 화면 품위가 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

- [0018] 본 발명은, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화하여, 게이트 구동 신호의 지연 및 왜곡을 방지한 액정표시장치를 제공하는데 그 목적이 있다.
- [0019] 또한, 본 발명은 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화함으로써, 게이트 전극과 소스 전극 사이의 기생커패시턴스를 줄여 화면 품위를 개선한 액정표시장치를 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0020] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 액정표시장치는, 화소 영역을 정의하기 위해 교차배열된 게이트 라인과 데이터 라인, 상기 게이트 라인과 데이터 라인의 교차 영역에 배치되어 있는 박막 트랜지스터, 상기 게이트 라인과 평행하게 배치된 공통라인, 상기 화소 영역에 배치된 화소전극 및 공통전극을 포함하고, 상기 박막 트랜지스터는 게이트 전극과, 상기 게이트 전극의 가장자리 일부와 중첩되는 데이터 라인과 상기 데이터 라인과 마주하며 제1전극과 제2전극으로 구성된 드레인 전극을 포함한다.
- [0021] 아울러, 상기 게이트 전극의 가장자리와 중첩되는 상기 데이터 라인 영역은 상기 박막 트랜지스터의 소스 전극이고, 상기 게이트 라인은 상기 박막 트랜지스터 영역에서 제1폭을 갖는 게이트 전극과 상기 게이트 전극과 인접한 화소 영역의 게이트 라인과 연결되는 제2폭을 갖는 게이트 연결부를 더 포함하며, 상기 제1폭은 상기 게이트 라인의 폭보다 크고, 상기 제2폭은 상기 게이트 라인의 폭보다 작고, 상기 게이트 연결부는 상기 데이터 라인과 교차 배치되며, 상기 화소 영역에는 상기 공통라인과 일체로된 제1 스토리지 전극과 상기 제1 스토리 전극과 중첩되고 상기 드레인 전극과 일체로된 제2 스토리지 전극을 더 포함하며, 상기 제1전극은 상기 제2 스토리지 전극으로부터 상기 데이터 라인 방향으로 소정 각도로 인출되고, 상기 제2전극은 상기 제1전극의 끝단에서 상기 데이터 라인과 평행하게 위치하고, 상기 공통 전극은 상기 공통라인과 일체로 형성되고, 상기 화소 영역의 가장자리를 따라 상기 데이터 라인과 평행하게 분기된 제1 공통전극을 더 포함하며, 상기 공통전극은 상기 데이터 라인과 제1 공통전극과 중첩되는 제2 공통전극과, 상기 제1 스토리전극과 화소 영역을 마주하며 배치된 제3 공통전극과, 상기 제3 공통전극으로부터 상기 화소 영역으로 분기된 제4 공통전극과 상기 제2 공통전극으로부터 분기되어 상기 제1스토리지 전극과 전기적으로 연결된 공통전극연장부를 더 포함함으로써, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화하여, 게이트 구동 신호의 지연 및 왜곡을 방지한 효과가 있다.

발명의 효과

- [0022] 본 발명에 따른 액정표시장치는, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화하여, 게이트 구동 신호의 지연 및 왜곡을 방지한 효과가 있다.
- [0023] 또한, 본 발명에 따른 액정표시장치는, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화함으로써, 게이트 전극과 소스 전극 사이의 기생커패시턴스를 줄여 화면 품위를 개선한 효과가 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명에 따른 액정표시장치의 화소 구조를 도시한 도면이다.
 도 2는 상기 도 1의 박막 트랜지스터 영역을 확대한 도면이다.
 도 3a 내지 도 3d는 본 발명에 따른 액정표시장치의 제조 공정을 도시한 도면이다.
 도 4는 본 발명에 따른 박막 트랜지스터와 종래기술에 따른 박막 트랜지스터의 게이트 전극과 소스전극 사이의 기생커패시턴스를 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0026] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등을 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 헤릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0027] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0028] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0030] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0031] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이를 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0032] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0033] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [0034] 도 1은 본 발명에 따른 액정표시장치의 화소 구조를 도시한 도면이고, 도 2는 상기 도 1의 박막 트랜지스터 영역을 확대한 도면이다.
- [0035] 도 1 및 도 2를 참조하면, 본 발명의 액정표시장치는, 복수의 화소들이 배치된 표시영역과 표시영역 둘레를 따라 패드 영역으로 구성된 비표시영역으로 구분된다.
- [0036] 상기 표시영역의 화소(P1)는 게이트 라인(101)과 데이터 라인(103)이 교차배열되어 정의되는데, 도면에서는 수평선 상을 기준으로 두 개의 화소들(P1, P2)이 도시되어 있다.
- [0037] 상기 화소(P1)의 게이트 라인(101)과 데이터 라인(103)의 교차 영역에는 박막트랜지스터(TFT: Thin Film Transistor)가 배치되고, 상기 게이트 라인(101)과 인접한 영역에는 공통라인(121)과 상기 공통라인(121)과 일체로 형성된 제1스토리지 전극(120)이 배치되어 있다.
- [0038] 상기 게이트 라인(101)은 각 화소(P1) 영역에 배치되는데, 상기 박막트랜지스터(TFT)와 대응되는 영역에는 상기 게이트 라인(101)의 폭보다 넓은 게이트 전극(101a), 상기 화소(P1)의 게이트 전극(101a)과 인접한 화소(P2)의 게이트 라인과 연결된 게이트 연결부(101b)를 포함한다. 상기 게이트 연결부(101b)는 상기 데이터 라인(103)과 교차 영역에 위치하고, 인접한 상기 게이트 라인(101) 또는 상기 게이트 전극(101a)의 폭보다 좁은 폭으로 형성된다.
- [0039] 상기 공통라인(121)은 화소(P1) 영역을 기준으로 상기 게이트 라인(101)과 인접하게 배치된 제1스토리지전극(120)과 상기 제1스토리지 전극(120)과 일체로 형성되며 상기 데이터 라인(103)과 인접한 화소(P1) 영역 가장자리에 배치된 제1공통전극(130a)을 포함한다.
- [0040] 또한, 상기 데이터 라인(103)과 제1공통전극(130a)에 중첩되도록 투명성 도전물질로 형성된 제2공통전극(130b), 상기 제2공통전극(130b)과 일체로 형성되며 화소(P1)를 사이에 두고 상기 제1스토리지 전극(120)과 마주하는 제3공통전극(130c), 상기 제3공통전극(130c)으로부터 화소(P1) 영역으로 분기되는 복수의 제4공통전극(130d) 및 상기 제2공통전극(130b)으로부터 연장되어 상기 제1 스토리지 전극(120)과 연결되는 제5공통전극(130e)은 서로 일체로 형성되어 있다.
- [0041] 특히, 상기 제1공통전극(130a)은 상기 데이터 라인(103)과 평행하게 배치되면서, 제3콘택홀(C3)을 통해 상부에 중첩되도록 배치된 제2공통전극(130b)과 전기적으로 연결된다.
- [0042] 따라서, 상기 공통라인(121)은 일체로 형성된 제1스토리지전극(120) 및 제1공통전극(130a)과 상기 제3콘택홀(C3)을 통해 연결된 제2 내지 제5 공통전극들(130b, 130c, 130d, 130e)과 전기적으로 모두 연결된 구조를 갖는다.
- [0043] 상기 제1스토리지전극(120) 상부에는 상기 박막트랜지스터(TFT)의 드레인 전극(107b)과 일체로 형성되고, 상기 제1스토리지전극(120)과 중첩되는 제2스토리지전극(220)이 배치된다.
- [0044] 상기 제2스토리지전극(220) 상부에는 투명성 도전물질로 형성된 제1화소전극(150)이 상기 게이트 라인(101)과 평행한 방향으로 배치되고, 제1콘택홀(C1)을 통하여 상기 제2스토리지전극(220)과 전기적으로 연결된다.
- [0045] 또한, 상기 화소(P1) 영역에는 상기 제1화소전극(150)으로부터 분기되는 복수의 제2화소전극(150a)이 배치되고, 상기 제2화소전극(150a)은 상기 제4공통전극(130d)과 화소(P1) 영역에서 일정한 간격을 두고 서로 교대로 배치된다.
- [0046] 또한, 상기 제2공통전극(130b)의 가장자리 영역에는 상기 제1스토리지 전극(120)과 중첩되도록 연장된 공통전극 연장부(130e)가 형성되어 있고, 상기 공통전극연장부(130e)는 상기 제1스토리지 전극(120)과 중첩되면서 제2콘택홀(C2)을 통하여 하부에 배치된 제1스토리지 전극(120)과 전기적으로 연결된다.
- [0047] 이는 상기 제2 내지 제4 공통전극들(130b, 130c, 130d)이 모두 투명성 도전물질로 형성되기 때문에 불투명 금속으로 형성된 공통라인(121), 제1스토리지전극(120) 및 제1공통전극(130a)들의 저항보다 높아 상기 제2공통전극(130b)으로부터 연장된 공통전극연장부(130e)를 제1스토리지전극(120)과 연결함으로써, 상기 제2 내지 제4 공통전극들(130b, 130c, 130d)의 저항을 낮추었다.
- [0048] 따라서, 투명성 도전물질로 형성되는 상기 제2 내지 제4 공통전극들(130b, 130c, 130d)에 공통전압이 인가되더라도 신호 왜곡(공통전압 강하 등)을 줄일 수 있다.

- [0049] 또한, 본 발명에서는 화소(P1) 영역에 배치된 게이트 라인(101)과 게이트 전극(101a)을 기준으로 인접한 화소(P2)에 배치된 게이트 라인(101) 사이에 상기 데이터 라인(103)의 폭보다 좁은 폭의 게이트 연결부(101b)를 배치하여, 상기 게이트 연결부(101b)와 데이터 라인(103) 사이의 기생 커패시턴스를 낮추었다.
- [0050] 또한, 본 발명에서는 상기 게이트 연결부(101b)와 데이터 라인(103)이 교차하는 영역에 상기 데이터 라인(103)과 일체로 형성된 소스 전극(107a)을 형성하고, 상기 소스 전극(107a)의 길이(데이터 라인 방향)는 상기 게이트 전극(101a)의 두께보다 짧게 형성하여, 상기 소스 전극(107a)과 게이트 전극(101a) 사이에 발생되는 기생 커패시턴스(Ggs)를 최소화하였다.
- [0051] 특히, 본 발명에서는 소스 전극(107a)을 상기 데이터 라인(103)으로부터 돌출되도록 형성하였으나, 실질적으로 상기 데이터 라인(103)이 소스 전극(107a) 역할을 하도록 하여 소스 전극(107a)과 게이트 전극(101a)의 중첩으로 인한 기생 커패시턴스를 최소화 하였다.
- [0052] 도 2를 참조하여 구체적으로 살펴보면, 상기 데이터 라인(103)의 폭(D1)은 상기 소스 전극(107a)이 형성된 영역의 데이터 라인(103)의 폭(D2)보다 좁은 폭을 갖는 것으로 도시하였으나, 상기 D1과 D2는 동일할 수 있다.
- [0053] 또한, 상기 소스 전극(107a)은 상기 데이터 라인(103)으로부터 일부 돌출된 구조로 도시하였으나, 실질적으로 데이터 라인(103)이 상기 게이트 전극(101a)과 중첩되는 영역에서만 소스 전극(107a)으로 기능하는 것으로 볼 수 있다.
- [0054] 따라서, 본 발명에서는 박막트랜지스터(TFT)의 소스 전극(107a)이 상기 데이터 라인(103)으로 대체되고, 상기 데이터 라인(103)의 일부와 상기 게이트 전극(101a)과 중첩되기 때문에 종래 소스 전극과 게이트 전극의 중첩 면적보다 훨씬 줄일 수 있어, 상기 소스 전극(107a)과 게이트 전극(101a) 사이의 기생 커패시턴스(Cgs)를 줄인 효과가 있다. 또한, 본 발명에서는 데이터 라인(103)이 소스 전극(107a) 역할을 하도록 게이트 전극(101a)의 가장자리 영역과 중첩되어야 하기 때문에 게이트 전극(101a)과 인접한 화소 영역의 게이트 라인(101)을 연결하는 게이트 연결부(101b)의 길이가 종래보다 짧게 형성된다. 따라서, 상기 게이트 연결부(101b)는 상기 데이터 라인(103)과 중첩되면서, 일부가 상기 게이트 전극(101a)의 가장자리 일부와 중첩된다.
- [0055] 상기와 같이, 박막 트랜지스터의 소스 전극(107a)과 게이트 전극(101a) 사이의 기생 커패시턴스가 낮아지면, 수평 방향의 각 화소들에 공통으로 배치되는 게이트 라인에 인가되는 게이트 전압의 RC 지연(Delay)을 줄일 수 있는 효과가 있다.
- [0056] 또한, 본 발명에서와 같이 박막 트랜지스터의 소스 전극(107a)과 게이트 전극(101a) 사이의 기생 커패시턴스(Cgs)가 낮아지면, 각 화소 영역에서 생성되는 쥙백전압(ΔV_p)을 줄일 수 있어 화소 전압의 왜곡을 방지하고, 화면 품의를 개선할 수 있는 효과가 있다.
- [0057] 또한, 본 발명에서는 게이트 라인과 소스 전극 사이의 기생 커패시턴스가 줄어들기 때문에 게이트 라인의 로드(Load)가 줄어들어, GIP(Gate In Panel) 구조인 경우에는 GIP 영역의 발열을 줄일 수 있는 효과가 있다.
- [0058] 또한, 본 발명의 화소 영역에 배치되는 박막트랜지스터는 소스 전극(107a: 데이터 라인)과 드레인 전극(107b)이 상기 게이트 전극(101a) 상에서 상기 데이터 라인(103)과 평행한 방향으로 이격 배치되도록 하였다. 보다 구체적으로, 상기 드레인 전극(107b)은 제1전극(107b-1)과 제2전극(107b-2)을 포함하는데, 상기 제1전극(107b-1)은 상기 제2 스토리지 전극(220)으로부터 상기 데이터 라인(103) 방향으로 소정의 각도로 인출되어 있다. 또한, 상기 제2전극(107b-2)은 상기 제1전극(107b-1)의 끝단에서 상기 데이터 라인(103)과 평행하게 상기 게이트 전극(101a) 상에 배치된다.
- [0059] 이는, 상기 게이트 전극(101a)과 소스 전극(107a) 사이의 기생 커패시턴스(Cgs)를 줄였지만, 박막 트랜지스터의 채널 영역은 충분히 확보할 수 있도록 하기 위함이다.
- [0060] 즉, 상기 드레인 전극(107b)의 제2전극(107b-2)과 마주하는 상기 데이터 라인(103)을 중심으로 채널 영역이 형성되어, 박막 트랜지스터의 소자 성능이 저하되는 것을 방지하였다. 또한, 본 발명에서는 소스 전극(107a)이 실질적으로 상기 게이트 전극(101a)과 게이트 연결부(101b)의 경계 영역에 중첩되는 데이터 라인(103)이므로 상기 드레인 전극(107b)의 제2전극(107b-2)은 상기 데이터 라인(103)과 인접한 영역에 위치해야 한다. 이를 위해 상기 드레인 전극(107b)의 제1전극(107b-1)은 소정의 각도(데이터 라인과 평행하고 게이트 라인에 수직한 기준선을 기준)를 가지면서 상기 데이터 라인(103) 방향으로 경사져있다. 따라서, 상기 제1전극(107b-1)과 일체로 형성된 상기 제2전극(107b-2)은 상기 게이트 전극(101a)과 중첩되는 상기 데이터 라인(103)과 마주하게 배치된다.

- [0061] 도 3a 내지 도 3d는 본 발명에 따른 액정표시장치의 제조 공정을 도시한 도면이다.
- [0062] 도 1 및 도 2와 함께, 도 3a 내지 도 3d를 참조하면, 본 발명의 액정표시장치의 제조방법은, 투명성 절연물질로 된 기판(100)상에 금속막을 스퍼터링 공정으로 증착한 다음, 마스크 공정에 따라 식각 공정을 진행한다.
- [0063] 마스크 공정에서는 기판(100) 상에 증착된 게이트 금속막 상에 감광성 물질인 포토레지스트를 형성한 다음, 투과 영역과 비투과 영역을 갖는 마스크를 이용하여 노광 및 현상 공정을 진행하여 포토레지스트 패턴을 형성한다.
- [0064] 그런 다음, 상기 포토레지스트 패턴을 마스크로 이용하여 금속막을 식각하여, 기판(100) 상에 게이트 전극(101a), 게이트 연결부(101b) 및 게이트 라인(101)을 형성한다.
- [0065] 이때, 각 화소(P1, P2) 영역에는 게이트 라인(101)과 마주하는 제1스토리지전극(120), 공통라인(121) 및 제1공통전극(130a)이 동시에 형성된다.
- [0066] 상기 게이트 금속막은, 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 또는 투명성 도전물질인 ITO, IZO 및 ITZO 중 적어도 하나 이상을 적층하여 형성할 수 있다.
- [0067] 상기와 같이, 게이트 전극(101) 등이 기판(100) 상에 형성되면, 게이트 절연막(112), 반도체막 및 소스/드레인 금속막을 연속으로 형성한 다음, 마스크 공정에 따라 박막 트랜지스터(TFT)가 형성될 게이트 절연막(112) 상에 채널층(114) 및 소스/드레인 전극들(107a, 107b)을 형성한다. 여기서, 상기 드레인 전극(107b)은 도 2에서 도시한 제1전극(107b-1)과 제2전극(107b-2)을 포함한다.
- [0068] 이때, 상기 게이트 라인(101)과 교차하는 데이터 라인(103)과 상기 제1스토리지전극(120)과 중첩되는 제2스토리지전극(150)이 동시에 형성된다.
- [0069] 본 발명에서는 박막 트랜지스터의 소스 전극(107a)을 데이터 라인(103)과 거의 동일한 폭으로 형성하기 때문에 실질적으로 데이터 라인(103)이 소스 전극(107a) 역할을 한다.
- [0070] 이와 같이, 본 발명에서는 상기 데이터 라인(103)이 상기 게이트 전극(101a)을 교차하는 영역에서 소스 전극(107a) 역할을 하도록 하였기 때문에 소스 전극(107a)과 게이트 전극(101a) 사이의 중첩 면적을 줄일 수 있는 효과가 있다.
- [0071] 도 2에서는 소스 전극(107a) 형성 영역의 폭을 D2로 하고, 상기 소스 전극(107a)이 형성되지 않은 데이터 라인(103)의 폭을 D1으로 하였으나, 상기 데이터 라인(103)의 폭은 하부에 교차하는 신호 라인이 존재할 경우, 단선 방지를 위해 다소 넓은 폭으로 형성하기 때문에 상기 소스 전극(107a)은 실질적으로 상기 데이터 라인(103)과 동일하다.
- [0072] 즉, 상기 게이트 전극(101a)과 중첩되는 데이터 라인(103)을 소스 전극(107a)으로 명명할 수 있는데, 소스 전극(107a) 영역과 데이터 라인(103)의 폭이 다를 경우에도 소스 전극(107a)은 상기 데이터 라인(103)과 평행하게 $1\mu\text{m}$ 내외에서 드레인 전극(107b) 방향으로 돌출될 수 있다. 보다 정확하게는 도 2에 도시한 바와 같이, 드레인 전극(107b)의 제2전극(107b-2)과 마주하는 방향으로 돌출될 수 있다.
- [0073] 상기 소스 전극(107a)이 데이터 라인(103)으로부터 돌출되게 형성할 경우에도 화소 영역의 게이트 전극(101a) 가장자리 모서리와 중첩되는 범위에서 기생 커페시턴스를 최소화하는 범위에서 돌출 정도가 정해진다.
- [0074] 상기 반도체막은 비정질 실리콘막 및 도핑된 비정질 실리콘막(n⁺ 또는 p⁺)일 수 있고, 산화물 반도체로 형성될 수 있다.
- [0075] 상기 반도체막이 산화물 반도체일 경우에는 인듐(In), 아연(Zn), 갈륨(Ga) 또는 하프늄(Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다. 예컨대 스퍼터링 (Sputtering) 공정으로 Ga-In-Zn-O 산화물 반도체를 형성할 경우, In2O3, Ga2O3 및 ZnO로 형성된 각각의 타겟을 이용하거나, Ga-In-Zn 산화물의 단일 타겟을 이용할 수 있다. 또한, 스퍼터링 (Sputtering) 공정으로 haf-In-Zn-O 산화물 반도체를 형성할 경우, HfO₂, In2O₃ 및 ZnO로 형성된 각각의 타겟을 이용하거나, Hf-In-Zn 산화물의 단일 타겟(Target)을 이용할 수 있다.
- [0076] 상기 소스/드레인 금속막은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 중 어느 하나를 이용할 수 있다. 또한, ITO(Indium Tin Oxide)와 같은 투명성 도전물질을 사용할 수 있다. 또한, 도면에서는 단일 금속막으로 형성되어 있지만 경우에 따라서는 적

어도 2개 이상의 금속막들을 적층하여 형성할 수 있다.

[0077] 또한, 본 발명에서는 반도체막과 소스/드레인 금속막을 연속 층착한 후, 하프톤 마스크 또는 회절 마스크를 이용하여 채널층(114)과 소스/드레인 전극(107a, 107b) 및 데이터 라인(103)을 동시에 형성하기 때문에 도면에 도시된 바와 같이, 상기 제1스토리지전극(120)과 대응되는 제2스토리지전극(220) 하부에는 반도체패턴(114a)이 형성된다.

[0078] 마찬가지로, 상기 데이터 라인(103) 하부에도 반도체패턴(114a)이 형성된다.

[0079] 상기와 같이, 소스/드레인 전극(107a, 107b)이 기판(100) 상에 형성되면, 상기 기판(100) 전면에 보호막(109)을 형성한 다음, 마스크 공정에 따라 상기 드레인 전극(107b)과 일체로 형성된 제2스토리지전극(220)의 일부를 노출하는 제1콘택홀(C1)과, 상기 제1스토리지전극(220)과 대응되는 영역에 상기 게이트 절연막(112)과 보호막(109)이 일부 제거된 제2콘택홀(C2)을 형성한다.

[0080] 도면에는 도시하지 않았지만, 도 1의 제1공통전극(130a) 가장자리 영역에서도 상기 게이트 절연막(112)과 보호막(109)의 일부를 제거하여 제3콘택홀(C3)을 형성한다.

[0081] 상기와 같이, 기판(100) 상에 형성된 보호막(109)에 콘택홀들(C1, C2, C3)이 형성되면, 상기 기판(100)의 전면에 투명성 도전물질(ITO, IZO, ITZO)로된 금속막을 형성한다.

[0082] 상기와 같이, 기판(100) 전면에 투명성 도전물질로된 금속막이 형성되면, 마스크 공정을 진행하여 상기 제1콘택홀(C1)을 통하여 제2스토리지전극(220)과 연결되는 제1화소전극(150)과 상기 제1화소전극(150)으로부터 화소(P1, P2) 영역 방향으로 분기된 복수의 제2화소전극(150a)들을 형성한다.

[0083] 또한, 도 1에 도시한 바와 같이, 상기 데이터 라인(103) 및 제1공통전극(130a)과 중첩되는 제2공통전극(130b), 상기 제1화소전극(150) 또는 제2스토리지전극(220)과 화소(P1) 영역을 사이에 두고 평행하게 배치된 제3공통전극(130c), 상기 제3공통전극(130c)으로부터 화소(P1) 영역으로 분기된 제4공통전극(130d)들을 형성한다.

[0084] 이때, 상기 제2공통전극(130b)의 가장자리에서 상기 제1스토리지전극(120) 영역으로 분기된 공통전극연장부(130e)가 형성되고, 상기 공통전극연장부(130e)는 제2콘택홀(C2)을 통해 하부의 제1스토리지전극(120)과 전기적으로 연결된다.

[0085] 이와 같이, 본 발명에 따른 액정표시장치는, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화하여, 게이트 구동 신호의 지연 및 왜곡을 방지한 효과가 있다.

[0086] 또한, 본 발명에 따른 액정표시장치는, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화함으로써, 게이트 전극과 소스 전극 사이의 기생커패시턴스를 줄여 화면 품위를 개선한 효과가 있다.

[0087] 도 4는 본 발명에 따른 박막 트랜지스터와 종래기술에 따른 박막 트랜지스터의 게이트 전극과 소스전극 사이의 기생커패시턴스를 비교한 도면이다.

[0088] 도 4에 도시된 바와 같이, 종래 기술과 본 발명의 게이트 전극 영역에서 발생되는 기생 커패시턴스(Gate Cap: Cgs) 값과 게이트 전극(게이트 라인) 영역에서 발생되는 RC 딜레이를 비교하였다.

[0089] 종래 기술은 도면에는 도시하지 않았지만, 일반적으로 디스플레이 또는 반도체 기술에서 형성하는 바와 같이, 데이터 라인(신호라인)으로부터 게이트 전극 방향으로 인출된 소스 전극과 상기 소스 전극과 채널층을 사이에 두고 마주하는 드레인 전극이 형성된 구조이다.

[0090] 본 발명의 박막 트랜지스터는 데이터 라인과 거의 일체로 소스 전극을 형성하고, 이와 대응되도록 게이트 전극 상부에 드레인 전극을 배치함으로써, 상기 소스 전극과 게이트 전극을 중첩 영역을 최소화한 도 2의 구조이다.

[0091] 도면에 도시된 바와 같이, 종래 기술의 박막 트랜지스터 영역에서 생성되는 기생 커패시턴스(Gate Cap: Cgs)는 $5.93 \times 10^{-10} [F]$ 이고, 게이트 RC는 3.08×10^{-10} 이다.

[0092] 반면, 본 발명에서는 기생 커패시턴스(Gate Cap: Cgs)는 $4.46 \times 10^{-10} [F]$ 으로 종래 기술보다 감소하는 것을 볼 수 있다. 또한, 게이트 RC는 2.32×10^{-06} 으로 증가하여 신호 지연이 줄어드는 것을 볼 수 있다.

[0093] 본 발명에 따른 액정표시장치는, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화하여, 게이트 구동 신호의 지연 및 왜곡을 방지한 효과가 있다.

[0094]

또한, 본 발명에 따른 액정표시장치는, 각 화소 영역에 배치되는 박막 트랜지스터의 소스전극과 게이트 전극의 중첩 영역을 최소화함으로써, 게이트 전극과 소스 전극 사이의 기생커패시턴스를 줄여 화면 품위를 개선한 효과가 있다.

부호의 설명

[0095]

101: 게이트 라인

101a: 게이트 전극

101b: 게이트 연결부

103: 데이터 라인

120: 제1스토리지전극

121: 공통라인

130a: 제1공통전극

130b: 제2공통전극

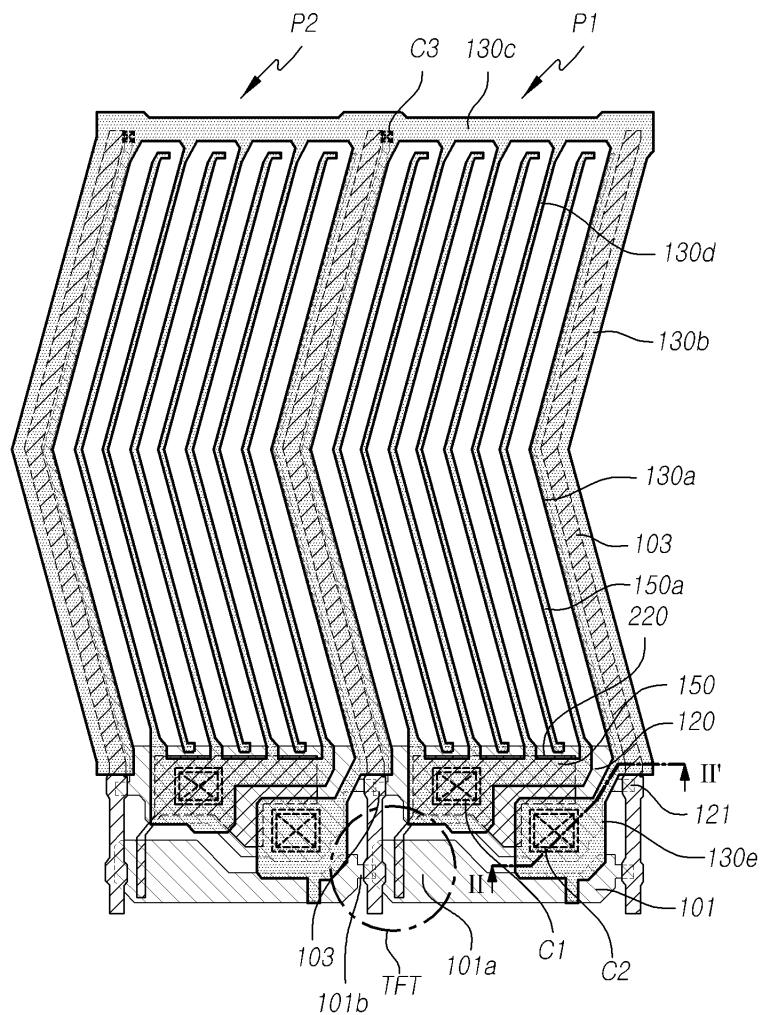
130c: 제3공통전극

130d: 제4공통전극

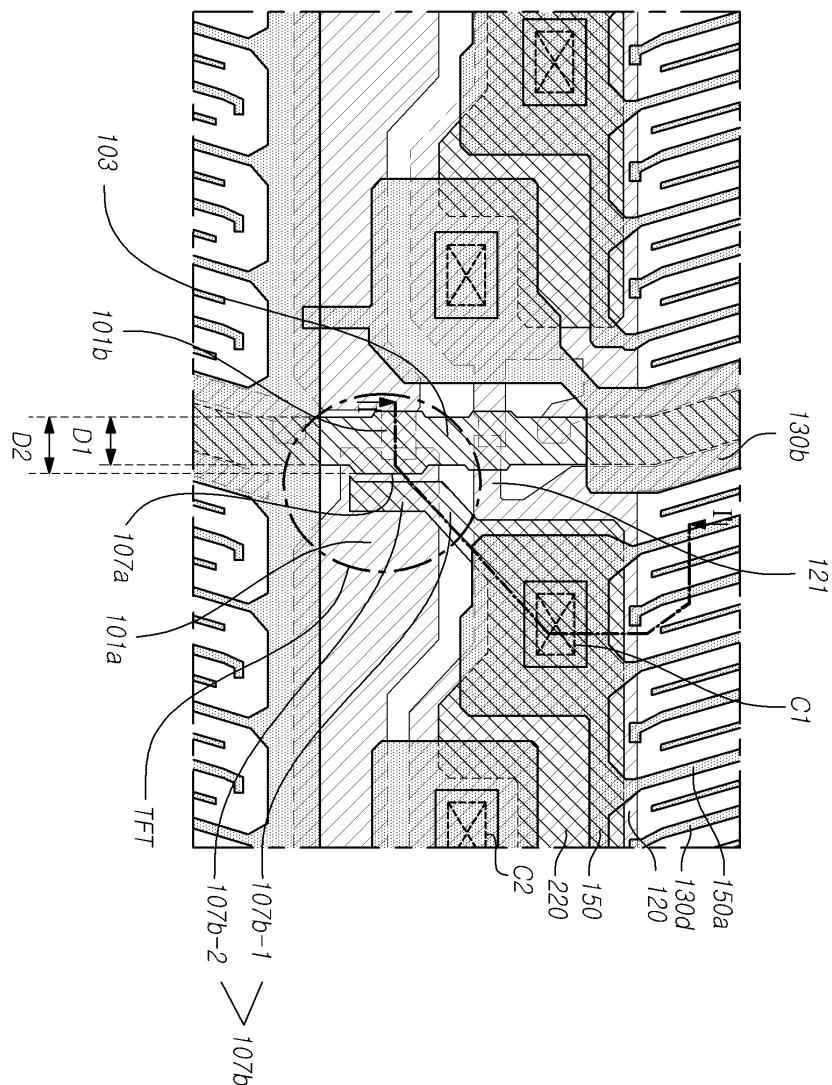
130e: 공통전극연장부

도면

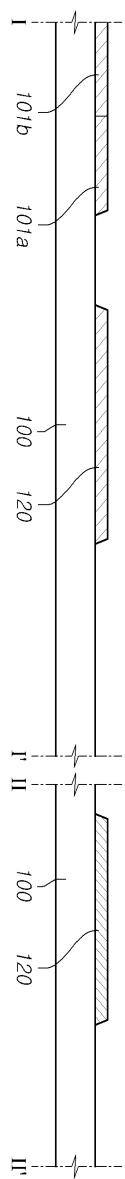
도면1



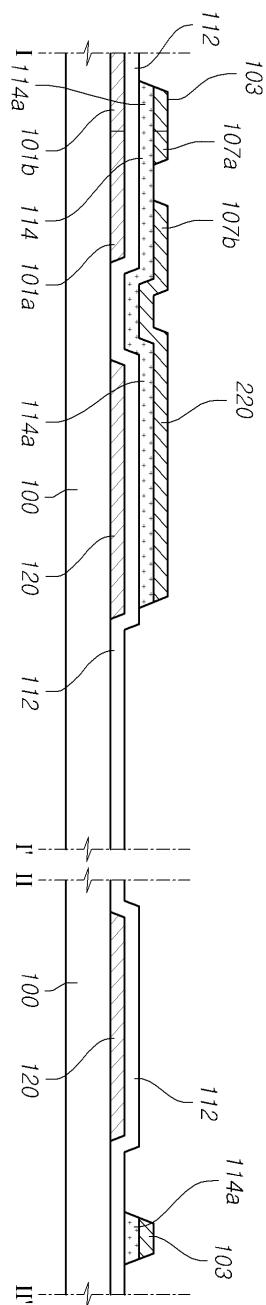
도면2



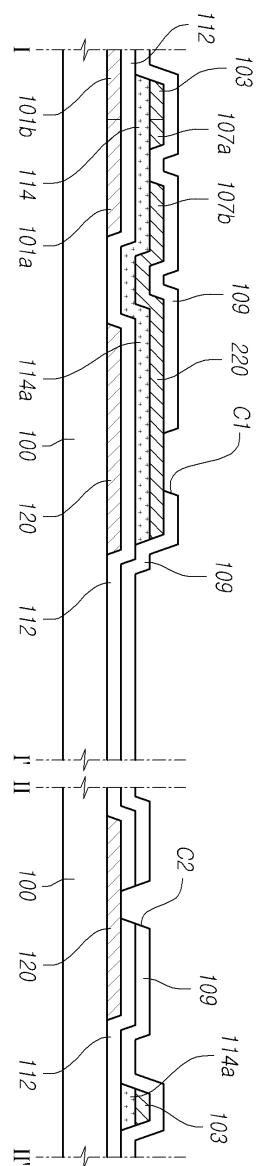
도면3a



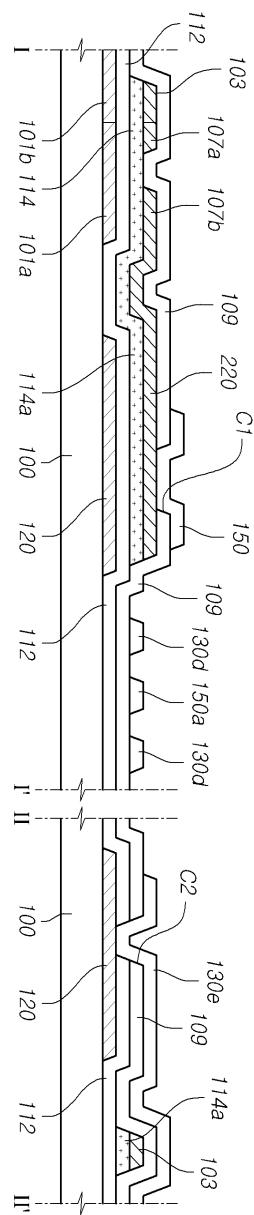
도면3b



도면3c



도면3d



도면4

	종래기술	본 발명	비고
Gate Cap.	$5.9E-10 F$	$4.46E-10 F$	종래 대비 본발명에서는 25% 이상 감소
Gate RC	$3.08E-10$	$2.32E-06$	

专利名称(译)	液晶显示器		
公开(公告)号	KR1020170015028A	公开(公告)日	2017-02-08
申请号	KR1020150109233	申请日	2015-07-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG JAE SEON 홍재선		
发明人	홍재선		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/1368 G02F1/134309 G09G2320/0247 G09G2320/0252 G09G2320/0223		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置。本发明的液晶显示装置包括：栅极线和数据线，彼此交叉以限定像素区域；薄膜晶体管，设置在栅极线和数据线的交叉区域，公共线像素电极和设置在像素区域中的公共电极，其中薄膜晶体管包括栅电极，与栅电极边缘的一部分重叠的数据线，以及面向数据线的漏电极，可以使布置在每个像素区域中的薄膜晶体管的源电极和栅电极之间的重叠区域最小化，从而防止栅极驱动信号的延迟和失真。

