



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0116823
(43) 공개일자 2016년10월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1339 (2006.01)
G02F 1/136 (2006.01) G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/1339 (2013.01)
(21) 출원번호 10-2015-0045116
(22) 출원일자 2015년03월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정호진
대전광역시 유성구 봉명로 93(봉명동, 도안휴먼시아6단지 센트럴시티) 601동 702호
(74) 대리인
특허법인인벤투스

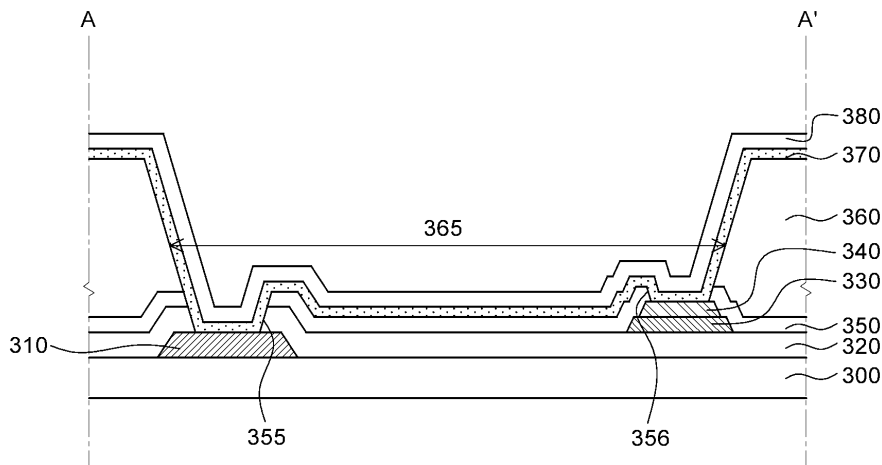
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 실시예에 따른 어레이 기판은 게이트 배선과 게이트 배선 상에 위치하는 게이트 절연층과 게이트 절연층 상에 위치하는 소스 드레인 배선과 소스 드레인 배선 상에 위치하는 제 1 보호층과 제 1 보호층 상에 위치하고 제 1 보호층의 일부를 노출하는 평탄화층 홀을 구비한 평탄화층과 평탄화층 홀 내에 위치하고 게이트 절연층, 제 1 보호층을 관통하여 게이트 배선의 일부를 노출시키는 제 1 콘택홀과 평탄화층 홀 내에 위치하고 제 1 보호층을 관통하여 소스 드레인 배선의 일부를 노출시키는 제 2 콘택홀과 제 1 콘택홀을 통해 게이트 배선과 접촉하고, 제 2 콘택홀을 통해 소스 드레인 배선과 접촉하여 게이트 배선과 소스 드레인 배선을 전기적으로 연결하는 연결 패턴 및 연결 패턴 상에 위치하는 제 2 보호층을 포함하는 어레이 기판인 것을 특징으로 한다.

대표도 - 도6



(52) CPC특허분류

G02F 1/136 (2013.01)

G02F 1/1368 (2013.01)

G02F 2001/134372 (2013.01)

명세서

청구범위

청구항 1

표시 영역에 배치된 프린지 필드 스위칭 방식의 박막 트랜지스터를 포함하는 어레이 기판에 있어서,
 상기 어레이 기판의 비표시 영역에 위치하고, 화소 전극으로 형성되지 않으며, 게이트 배선과 소스 드레인 배선을 전기적으로 연결하도록 구성된 공통 전극; 및
 상기 공통 전극의 상부에 위치하고, 상기 공통 전극을 외부 충격으로부터 보호하는 보호층을 포함하는 어레이 기판.

청구항 2

제 1 항에 있어서,
 상기 보호층은 상기 어레이 기판에 대향하는 컬러필터 기판에 배치된 컬럼 스페이서에 의해 상기 공통 전극이 손상되는 것을 방지하는 충분한 두께를 갖도록 구성된 어레이 기판.

청구항 3

제 2 항에 있어서,
 상기 보호층은 상기 표시 영역의 패시베이션층과 함께 동일한 증착 공정으로 형성되어 상기 패시베이션층과 동일한 층에 배치되고 동일한 물질로 이루어진 어레이 기판.

청구항 4

제 2 항에 있어서,
 상기 공통 전극은 상기 비표시 영역의 GIP(Gate driver In Panel) 영역에 배치된 어레이 기판.

청구항 5

제 1 항에 있어서,
 상기 게이트 배선과 상기 소스 드레인 배선은 상기 게이트 배선 상에 위치하는 절연층의 제 1 콘택홀 및 상기 소스 드레인 배선 상에 위치하는 절연층의 제 2 콘택홀을 통해 전기적으로 연결된 어레이 기판.

청구항 6

제 5 항에 있어서,
 상기 제 1 콘택홀과 상기 제 2 콘택홀 사이에 위치하는 평탄화층 패턴을 더욱 포함하는 어레이 기판.

청구항 7

제 1 항에 있어서,
 상기 공통 전극은 ITO(Indium Tin Oxide)로 이루어진 어레이 기판.

청구항 8

제 3 항에 있어서,
 상기 소스 드레인 배선의 하부에 위치하는 반도체 배선을 더욱 포함하는 어레이 기판.

청구항 9

게이트 배선;

상기 게이트 배선 상에 위치하는 게이트 절연층;

상기 게이트 절연층 상에 위치하는 소스 드레인 배선;

상기 소스 드레인 배선 상에 위치하는 제 1 보호층;

상기 제 1 보호층 상에 위치하고 상기 제 1 보호층의 일부를 노출하는 평탄화층 홀을 구비한 평탄화층;

상기 평탄화층 홀 내에 위치하고 상기 게이트 절연층, 제 1 보호층을 관통하여 상기 게이트 배선의 일부를 노출시키는 제 1 컨택홀;

상기 평탄화층 홀 내에 위치하고 상기 제 1 보호층을 관통하여 상기 소스 드레인 배선의 일부를 노출시키는 제 2 컨택홀;

상기 제 1 컨택홀을 통해 상기 게이트 배선과 접촉하고, 상기 제 2 컨택홀을 통해 상기 소스 드레인 배선과 접촉하여 상기 게이트 배선과 상기 소스 드레인 배선을 전기적으로 연결하는 연결 패턴; 및

상기 연결 패턴 상에 위치하는 제 2 보호층을 포함하는 어레이 기판.

청구항 10

제 9 항에 있어서,

상기 기판은 표시 영역 및 비표시 영역을 포함하고,

상기 기판의 표시 영역 내 위치하는 박막 트랜지스터를 더욱 포함하며,

상기 연결 패턴은 상기 박막 트랜지스터의 공통 전극과 동일한 물질로 이루어진 어레이 기판.

청구항 11

제 10 항에 있어서,

상기 보호층은 상기 표시 영역의 패시베이션층과 함께 동일한 증착 공정으로 형성되어 상기 패시베이션층과 동일한 층에 배치되고 동일한 물질로 이루어진 어레이 기판.

청구항 12

제 10 항에 있어서,

상기 게이트 절연층과 상기 소스 드레인 배선 사이에 개재된 반도체 배선을 더욱 포함하는 어레이 기판.

청구항 13

제 10 항에 있어서,

상기 제 1 컨택홀 및 상기 제 2 컨택홀의 사이에 위치하고, 상기 제 1 보호층과 상기 연결 패턴 사이에 개재된 평탄화층 패턴을 더욱 포함하는 어레이 기판.

청구항 14

제 13 항에 있어서,

상기 평탄화층 패턴의 두께는 상기 평탄화층의 두께보다 작은 어레이 기판.

청구항 15

제 11 항에 있어서,

상기 박막 트랜지스터는 상기 제 2 보호층의 상부에 위치하는 화소 전극을 더욱 포함하는 어레이 기판.

청구항 16

제 11 항에 있어서,

상기 연결 패턴은 상기 비표시 영역에 배치된 어레이 기판.

청구항 17

표시 영역 및 상기 표시 영역 외곽의 비표시 영역을 포함하는 제 1 기관;
 상기 제 1 기관에 대항하여 위치하며 컬럼 스페이서를 구비한 제 2 기관;
 상기 제 1 기관의 상기 표시 영역에 배치된 박막 트랜지스터;
 상기 제 1 기관의 비표시 영역에 배치되며 게이트 절연층을 사이에 두고 서로 다른 층에 위치하는 게이트 배선 및 소스 드레인 배선;
 상기 게이트 배선 및 소스 드레인 배선 상에 위치하는 제 1 보호층;
 상기 게이트 배선과 상기 소스 드레인 배선을 전기적으로 연결하는 연결부;
 상기 연결부의 제 1 컨택홀 내의 상기 게이트 배선의 상부 및 상기 제 2 컨택홀 내의 상기 소스 드레인 배선의 상부에 위치하여 상기 게이트 배선과 상기 소스 드레인 배선을 전기적으로 연결하는 연결 패턴; 및
 상기 연결 패턴 상에 위치하는 제 2 보호층을 포함하며,
 상기 비표시 영역에서 상기 제 2 기관의 컬럼 스페이서는 상기 제 1 기관의 상기 제 2 보호층에 대항하여 위치하는 액정 표시 장치.

청구항 18

제 17 항에 있어서,
 상기 박막 트랜지스터는 게이트 전극, 반도체층, 소스 드레인 전극, 공통 전극 및 화소 전극을 포함하여 구성되고,
 상기 연결 패턴은 상기 박막 트랜지스터의 공통 전극과 동일한 물질로 이루어진 액정 표시 장치.

청구항 19

제 18 항에 있어서,
 상기 연결 패턴은 ITO(Indium Tin Oxide)로 이루어진 액정 표시 장치.

청구항 20

제 17 항에 있어서,
 상기 비표시 영역에서 상기 컬럼 스페이서가 상기 제 1 기관의 상기 제 2 보호층과 접촉하도록 구성된 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 게이트 배선과 소스 드레인 배선을 연결하는 공통 전극 연결 패턴 및 연결 패턴을 보호하는 보호층을 구비한 어레이 기관 및 이를 포함하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 본격적인 정보화 시대가 도래함에 따라, 전기적 정보 신호를 시각적으로 표시하는 디스플레이(display) 분야가 급속도로 발전하고 있다. 이에 여러 가지 다양한 평판 표시 장치(Flat Display Device)에 대해 박형화, 경량화 및 저 소비전력화 등의 성능을 개선시키기 위한 연구가 계속되고 있다.

[0003] 이와 같은 평판 표시 장치의 대표적인 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 플라즈마 표시 장치(Plasma Display Panel device: PDP), 전계 방출 표시 장치(Field Emission Display device: FED) 및 유기 발광 표시 장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다. 이와 같은 평판 표시 장치들은 공통적으로, 영상을 구현하기 위한 평판 표시 패널을 필수적으로 포함한다. 평판 표시 패널은 고유의

발광 물질 또는 편광 물질을 사이에 둔 한 쌍의 기관이 대면하여 합착된 구조를 갖는다.

- [0004] 일반적으로 능동 매트릭스 구동 방식(Active Matrix Driving Mode)의 평판 표시 장치는 복수 개의 화소 영역 각각을 독립적으로 구동시키는 셀 어레이를 포함한 박막트랜지스터 어레이 기관을 포함한다.
- [0005] 셀 어레이는 복수 개의 화소 영역을 정의하도록 상호 교차하는 방향으로 나열된 게이트 라인과 데이터 라인, 게이트 라인과 데이터 라인의 교차 영역에 복수 개의 화소 영역에 대응하여 형성된 복수 개의 스위치 소자 및 복수 개의 화소 영역에 대응하여 형성되고 복수 개의 스위치 소자와 연결되는 복수의 화소 전극을 포함한다.
- [0006] 이 중에서 수평 전계 방식의 액정 표시 장치는 하부 기관에 평행하게 배치된 화소 전극과 공통 전극 사이에 수평 전계를 형성하여 인 플레인 스위칭(In Plane Switching: IPS) 방식으로 액정을 구동한다. 이러한 IPS 방식의 액정 표시 장치는 시야각이 160도 정도로 넓은 장점이 있으나, 개구율 및 투과율이 낮은 단점을 가진다.
- [0007] 이러한 IPS 모드의 액정 표시 장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정 표시 장치가 제안되었다. 프린지 필드 스위칭 방식의 액정 표시 장치는 각 화소 영역에 절연층을 사이에 두고 위치하는 공통 전극과 화소 전극을 구비하고, 그 공통 전극과 화소 전극의 간격을 상부 및 하부 기관의 간격보다 좁게 형성하여 공통 전극과 화소 전극 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상부 및 하부 기관 사이에 개재된 액정 분자들이 모두 동작하게 함으로써 IPS 방식의 액정 표시 장치 대비 개구율 및 투과율이 향상된 결과를 얻을 수 있다.
- [0008] 프린지 필드 스위칭 방식의 액정 표시 장치에 구성되는 박막 트랜지스터 어레이 기관에 있어서 게이트 라인은 게이트 드라이버에 연결되어 복수의 화소 영역 각각의 게이트 신호를 공급하고, 데이터 라인은 데이터 드라이버에 연결되어 복수의 화소 영역 각각의 데이터 신호를 공급한다.
- [0009] 이 때, 게이트 드라이버는 복수의 게이트 라인 중 적어도 하나에 순차적으로 게이트 신호를 출력하는 회로이므로 데이터 드라이버보다 그 구성이 간단할 수 있다. 그러므로, 공정 수의 감소, 공정 시간 단축 및 재료비 절감을 위해 게이트 드라이버를 박막트랜지스터 어레이 기관의 일부로 형성할 수 있다. 이와 같이, 박막 트랜지스터 어레이 기관의 일부로 형성된 게이트 드라이버는 GIP(Gate Driver In Panel)라 지칭된다. 일반적으로, GIP는 한정된 개수의 도전층으로 구현되어야 하므로, 배선 간 합선을 방지하기 위한 목적으로 적어도 하나의 연결부를 포함할 수 있다.
- [0010] 즉, 액정 표시 장치를 제조 시 서로 다른 층에 이웃하여 위치하는 금속 배선들을 전기적으로 연결하기 위해서는 금속 배선들을 덮고 있는 유기 또는 무기 절연층에 콘택홀을 형성하고 콘택홀을 통해 노출된 금속 배선들과 접촉하도록 연결 전극을 형성하였다.
- [0011] 종래의 액정 표시 장치의 경우 어레이 기관의 비표시 영역에 형성되는 GIP 영역에서 게이트 배선과 소스 드레인 배선을 연결하는 연결 전극을 박막 트랜지스터의 화소 전극과 동일한 공정으로 동일한 층에 형성하였다.
- [0012] 이와 같은 박막 트랜지스터를 포함하는 어레이 기관의 비표시 영역에 형성되는 GIP 영역에서 게이트 배선과 소스 드레인 배선을 전기적으로 접속시키는 연결 전극을 화소 전극으로 형성하는 경우 하부 적층 구조에 따라 높은 테이퍼(taper) 형상이 나타날 수 있으며 이에 의해서 연결 전극의 형성 공정에 있어서 연결 전극의 단선 불량 문제가 발생하고 있다.
- [0013] 또한 상기와 같은 어레이 기관을 포함하는 액정 표시 장치에 있어서 외부로부터 액정 표시 장치의 상부 기관에 가해지는 외력에 의해 비표시 영역에 형성되는 GIP의 연결부에서 연결 패턴과 상부 기관에 형성된 컬럼 스페이서가 서로 직접 접촉하게 되는 경우에 외부 충격에 의해 연결부의 연결 패턴이 끊어지는 단선 불량이 발생하고 있다.

발명의 내용

해결하려는 과제

- [0014] 이에 본 발명의 발명자는 어레이 기관의 비표시 영역에 형성되는 GIP 영역에서 게이트 배선과 소스 드레인 배선을 연결하는 연결 패턴으로 공통 전극을 적용하고 상기 연결 패턴을 보호하는 보호층을 구비한 어레이 기관 및 이를 포함하는 액정 표시 장치를 발명하였다.
- [0015] 본 발명은 어레이 기관 및 액정 표시 장치에 있어 하부 적층 구조에서 보다 양호한 테이퍼(taper) 형상을 갖도록 함으로써 GIP 내 게이트 배선과 소스 드레인 배선 연결부에서 연결 패턴의 단선 불량 발생을 최소화 할 수

있는 어레이 기관 및 액정 표시 장치를 제공하기 위한 것이다.

[0016] 또한 GIP 내 연결부에서 게이트 배선 및 소스 드레인 배선을 연결하는 연결 패턴의 상부에 보호층을 배치함으로써 외력에 의한 연결 패턴의 단선 불량을 방지할 수 있어, GIP의 신뢰도가 향상된 어레이 기관 및 액정 표시 장치를 제공하기 위한 것이다.

[0017] 본 발명의 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0018] 본 발명의 실시예에 따라 게이트 배선과 소스 드레인 배선을 연결하는 연결 패턴을 외부 충격으로부터 보호함으로써 연결 패턴의 단선 불량의 발생을 최소화할 수 있는 어레이 기관 및 이를 포함하는 액정 표시 장치가 제공된다.

[0019] 표시 영역에 배치된 프린지 필드 스위칭 방식의 박막 트랜지스터를 포함하는 본 발명의 실시예에 따른 어레이 기관은 어레이 기관의 비표시 영역에 위치하고, 화소 전극으로 형성되지 않으며, 게이트 배선과 소스 드레인 배선을 전기적으로 연결하도록 구성된 공통 전극 및 공통 전극의 상부에 위치하고, 공통 전극을 외부 충격으로부터 보호하는 보호층을 포함하는 것을 특징으로 한다.

[0020] 보호층은 어레이 기관에 대항하는 컬러필터 기관에 배치된 컬럼 스페이서에 의해 공통 전극이 손상되는 것을 방지하는 충분한 두께를 갖도록 구성될 수 있다.

[0021] 보호층은 표시 영역의 패시베이션층과 함께 동일한 증착 공정으로 형성되어 패시베이션층과 동일한 층에 배치되고 또한 동일한 물질로 이루어질 수 있다.

[0022] 공통 전극은 비표시 영역의 GIP(Gate driver In Panel) 영역에 배치될 수 있다.

[0023] 게이트 배선과 소스 드레인 배선은 게이트 배선 상에 위치하는 절연층의 제 1 콘택홀 및 소스 드레인 배선 상에 위치하는 절연층의 제 2 콘택홀을 통해 전기적으로 연결될 수 있다.

[0024] 제 1 콘택홀과 제 2 콘택홀 사이에 위치하는 평탄화층 패턴을 더욱 포함할 수 있다.

[0025] 공통 전극은 ITO(Indium Tin Oxide)로 이루어질 수 있다.

[0026] 소스 드레인 배선의 하부에 위치하는 반도체 배선을 더욱 포함할 수 있다.

[0027] 또한 다른 측면에서 본 발명의 실시예에 따른 어레이 기관은 게이트 배선과 게이트 배선 상에 위치하는 게이트 절연층과 게이트 절연층 상에 위치하는 소스 드레인 배선과 소스 드레인 배선 상에 위치하는 제 1 보호층과 제 1 보호층 상에 위치하고 제 1 보호층의 일부를 노출하는 평탄화층 홀을 구비한 평탄화층과 평탄화층 홀 내에 위치하고 게이트 절연층, 제 1 보호층을 관통하여 게이트 배선의 일부를 노출시키는 제 1 콘택홀과 평탄화층 홀 내에 위치하고 제 1 보호층을 관통하여 소스 드레인 배선의 일부를 노출시키는 제 2 콘택홀과 제 1 콘택홀을 통해 게이트 배선과 접촉하고, 제 2 콘택홀을 통해 소스 드레인 배선과 접촉하여 게이트 배선과 소스 드레인 배선을 전기적으로 연결하는 연결 패턴 및 연결 패턴 상에 위치하는 제 2 보호층을 포함하는 어레이 기관인 것을 특징으로 한다.

[0028] 기관은 표시 영역 및 비표시 영역을 포함하고, 기관의 표시 영역 내 위치하는 박막 트랜지스터를 더욱 포함하며, 연결 패턴은 박막 트랜지스터의 공통 전극과 동일한 물질로 이루어질 수 있다.

[0029] 보호층은 표시 영역의 패시베이션층과 함께 동일한 증착 공정으로 형성되어 패시베이션층과 동일한 층에 배치되고 동일한 물질로 이루어질 수 있다.

[0030] 게이트 절연층과 소스 드레인 배선 사이에 개재된 반도체 배선을 더욱 포함할 수 있다.

[0031] 제 1 콘택홀 및 제 2 콘택홀의 사이에 위치하고, 제 1 보호층과 연결 패턴 사이에 개재된 평탄화층 패턴을 더욱 포함할 수 있다.

[0032] 평탄화층 패턴의 두께는 평탄화층의 두께보다 작을 수 있다.

[0033] 박막 트랜지스터는 제 2 보호층의 상부에 위치하는 화소 전극을 더욱 포함할 수 있다.

[0034] 연결 패턴은 비표시 영역에 배치될 수 있다.

[0035] 또한 또 다른 측면에서 본 발명의 실시예에 따른 액정 표시 장치는 표시 영역 및 표시 영역 외곽의 비표시 영역을 포함하는 제 1 기판과 제 1 기판에 대향하여 위치하며 컬럼 스페이서를 구비한 제 2 기판과 제 1 기판의 표시 영역에 배치된 박막 트랜지스터와 제 1 기판의 비표시 영역에 배치되며 게이트 절연층을 사이에 두고 서로 다른 층에 위치하는 게이트 배선 및 소스 드레인 배선과 게이트 배선 및 소스 드레인 배선 상에 위치하는 제 1 보호층과 게이트 배선과 소스 드레인 배선을 전기적으로 연결하는 연결부와 연결부의 제 1 컨택홀 내의 게이트 배선의 상부 및 제 2 컨택홀 내의 소스 드레인 배선의 상부에 위치하여 게이트 배선과 소스 드레인 배선을 전기적으로 연결하는 연결 패턴 및 연결 패턴 상에 위치하는 제 2 보호층을 포함하며, 비표시 영역에서 제 2 기판의 컬럼 스페이서는 제 1 기판의 제 2 보호층에 대향하여 위치하는 액정 표시 장치인 것을 특징으로 한다.

[0036] 박막 트랜지스터는 게이트 전극, 반도체층, 소스 드레인 전극, 공통 전극 및 화소 전극을 포함하여 구성되고, 연결 패턴은 상기 박막 트랜지스터의 공통 전극과 동일한 물질로 이루어질 수 있다.

[0037] 연결 패턴은 ITO(Indium Tin Oxide)로 이루어질 수 있다.

[0038] 비표시 영역에서 컬럼 스페이서는 제 1 기판의 상기 제 2 보호층과 접촉하도록 구성될 수 있다.

발명의 효과

[0039] 본 발명의 실시예에 따른 어레이 기판을 포함하는 액정 표시 장치의 경우, GIP 내 게이트 배선 및 소스 드레인 배선 연결부에 있어 게이트 배선 및 소스 드레인 배선을 연결하는 연결 패턴을 표시 영역의 박막 트랜지스터의 공통 전극과 함께 동일한 공정으로 동일한 층에 동일한 물질로 형성함으로써 종래의 화소 전극과 동일한 공정으로 동일한 층에 동일한 물질로 형성하는 경우와 대비할 때 하부 적층 구조에서 보다 양호한 테이퍼(taper) 형상을 가질 수 있도록 함으로써 연결부에서 상기 연결 패턴의 단선 불량률의 발생의 가능성을 최소화 할 수 있다.

[0040] 또한 GIP 내 연결부에서 게이트 배선 및 소스 드레인 배선을 연결하는 연결 패턴의 상부에 보호층을 구성함으로써 외력에 의해서 연결 패턴이 상부 기판의 컬럼 스페이서와 직접 접촉하여 발생할 수 있는 외부 충격으로부터 연결 패턴을 보호함으로써 연결 패턴의 단선 불량률 방지하고 GIP의 신뢰도를 향상시킬 수 있다.

[0041] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

[0042] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0043] 도 1은 본 발명의 실시예에 따른 어레이 기판의 개략적인 평면 구조를 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 어레이 기판의 박막트랜지스터의 평면 구조를 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 어레이 기판의 박막 트랜지스터의 단면 구조를 나타내는 도면이다.

도 4는 본 발명의 실시예에 따른 어레이 기판의 비표시 영역 내 GIP 영역 및 연결부를 나타내는 도면이다.

도 5는 본 발명의 실시예에 따른 어레이 기판 내 GIP 영역의 게이트 배선과 소스 드레인 배선의 연결부를 나타내는 평면도이다.

도 6은 본 발명의 실시예에 따른 어레이 기판 내 GIP 영역의 게이트 배선과 소스 드레인 배선의 연결부의 단면을 나타내는 도면이다.

도 7은 본 발명의 다른 실시예에 따른 어레이 기판 내 GIP 영역의 게이트 배선과 소스 드레인 배선의 연결부를 나타내는 평면도이다.

도 8은 본 발명의 다른 실시예에 따른 어레이 기판 내 GIP 영역의 게이트 배선과 소스 드레인 배선의 연결부의 단면을 나타내는 도면이다.

도 9는 본 발명의 실시예에 따른 액정 표시 장치의 단면을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0044] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시

예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0045] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0046] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0047] 또한 제 1, 제 2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성 요소는 본 발명의 기술적 사상 내에서 제 2 구성 요소일 수도 있다.
- [0048] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0049] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 어레이 기관 및 액정 표시 장치에 대해 상세히 설명하기로 한다.
- [0050] 도 1은 본 발명의 실시예에 따른 어레이 기관의 개략적인 평면 구조를 나타내는 도면이다.
- [0051] 도 1에 도시한 바와 같이, 본 발명의 실시예에 따른 어레이 기관(100)은 표시 영역(110)에 대응한 화소부 및 표시 영역(110)의 외곽에 위치하는 비표시 영역(120)을 포함하여 구성되며, 비표시 영역(120) 중 일부에 대응하여 형성되는 GIP(Gate driver In Panel, 130)를 포함하여 이루어진다.
- [0052] 화소부는 표시 영역(110)에 대응하여 복수 개의 화소 영역을 정의하도록 상호 교차하는 방향으로 형성된 게이트 라인(GL, 140)과 데이터 라인(DL, 150), 복수 개의 화소 영역에 대응하여 게이트 라인(140)과 데이터 라인(150)의 교차 영역에 형성되는 복수 개의 박막 트랜지스터(Thin Film Transistor: TFT) 및 복수 개의 화소 영역에 대응하여 형성되고, 복수 개의 박막트랜지스터(TFT)에 연결되는 복수 개의 화소 전극(PX, 160)을 포함한다.
- [0053] 또한 게이트 라인(140)은 어레이 기관(100)의 일부로 형성된 게이트 드라이버인 GIP(130)에 연결되어, 복수 개의 박막트랜지스터(TFT)에 각각의 게이트 신호를 공급한다.
- [0054] 또한 데이터 라인(150)은 데이터 드라이버(D-Dr, 170)에 연결되어, 복수 개의 박막 트랜지스터(TFT)에 각각의 데이터 신호를 공급한다.
- [0055] 도 2는 본 발명의 실시예에 따른 어레이 기관의 박막 트랜지스터의 평면 구조를 개략적으로 나타내는 도면이다. 또한 도 3은 본 발명의 실시예에 따른 어레이 기관의 박막 트랜지스터의 단면 구조를 나타내는 도면이다. 도 2와 도 3을 참조하여 본 발명의 실시예에 따른 어레이 기관의 구조에 대해서 상세히 설명한다.
- [0056] 본 발명의 실시예에 따른 프린지 필드 스위칭 방식의 액정 표시 장치는 액정 분자를 정밀하게 제어할 수 있으므로 상, 하, 좌, 우 180° 광시야각을 구현하며 대각선 방향에서도 색상변이가 없고 높은 명암비를 얻을 수 있다. 또한, 데이터 라인 위에 공통 전극을 덮는 구조로 블랙 매트릭스의 선폭을 감소시켜 개구율을 향상시킬 수 있다.
- [0057] 본 발명의 실시예에 따른 어레이 기관에 포함된 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 박막 트랜지스터는 게이트 라인(GL)의 스캔 신호에 응답하여 데이터 라인(DL)의 데이터 신호를 화소 전극에 공급한다. 그리고, 데이터 신호가 공급된 화소 전극과 공통 전압이 공급된 공통 전극 사이에 프린지 필드(Fringe Field)가 형성되어 화소 단위로 액정을 제어함으로써 화상을 표시한다.

- [0058] 본 발명의 실시예에 따른 어레이 기판의 화소부는 복수 개의 게이트 라인(GL)과 데이터 라인(DL)이 수직으로 교차하여 매트릭스 형태로 화소 영역이 정의되며, 게이트 라인(GL)과 데이터 라인(DL)의 교차 영역에 박막 트랜지스터(TFT)가 형성된다.
- [0059] 도 2에 도시한 바와 같이, 본 발명의 실시예에 따른 어레이 기판의 표시 영역에 위치하는 복수 개의 프린지 필드 스위칭 방식의 박막 트랜지스터(TFT) 각각은 기판(200) 상에 형성되는 게이트 전극(210), 기판(200) 상의 전면에 게이트 전극(210)을 덮도록 형성되는 게이트 절연층(220), 게이트 절연막(220) 상에 게이트 전극(210)의 적어도 일부와 오버랩하도록 반도체 물질로 형성되는 반도체층(230)과 반도체층(230)의 양측 상에 각각 오버랩하도록 서로 이격하여 형성되는 소스 전극(240a) 및 드레인 전극(240b)을 포함하여 구성된다.
- [0060] 또한 게이트 전극(210)은 기판 상에 제 1 방향으로 배열된 게이트 라인(GL)으로부터 각 화소 영역에 대응하도록 분기된 형태로 형성된다. 그리고, 소스 전극(240a)은 게이트 절연층(120) 상에 제 1 방향에 수직하여 교차하는 제 2 방향으로 배열된 데이터 라인(DL)으로부터 각 화소 영역에 대응하도록 분기된 형태로 형성된다.
- [0061] 그리고, 소스 전극(240a) 드레인 전극(240b)은 하프톤(half tone) 마스크를 이용하여 게이트 절연층(120) 상에 순차적으로 적층되어 형성된 반도체층(230)과 함께 패터닝됨으로써 하나의 마스크 공정으로 형성될 수 있다.
- [0062] 또한 도 2 및 도 3을 참조하면, 본 발명의 실시예에 따른 어레이 기판의 표시 영역에 위치하는 복수 개의 프린지 필드 스위칭 방식의 박막 트랜지스터(TFT)는 게이트 절연막(220) 상의 전면에 반도체층(230)과 소스 전극(240a)과 드레인 전극(240b) 각각을 덮도록 형성되고, 하부 드레인 전극(240b)의 일부를 노출하도록 제 1 패시베이션층 컨택홀(255)을 구비한 제 1 패시베이션층(250)을 포함하여 구성된다.
- [0063] 제 1 패시베이션층(250) 상에 형성되고 포토 아크릴(photo-acryl)과 같은 평탄한 표면을 갖는 유기 절연 물질로 이루어진 평탄화층(260)을 포함하여 구성된다. 평탄화층(260)은 하부 드레인 전극(240b)의 일부를 노출하도록 평탄화층 컨택홀(265)를 포함하여 구성된다.
- [0064] 공통 전극(270)은 평탄화층(260)의 상부에 형성되며, 공통 전극(270)은 기판의 전면에 대응되도록 인듐 틴 옥사이드(Indium Tin Oxide; ITO)와 같은 투명 도전성 물질로 형성된다.
- [0065] 제 2 패시베이션층(280)은 공통 전극(270)의 상부에 형성된다. 또한 제 2 패시베이션층(280)은 드레인 전극(240b)의 일부를 노출시키는 제 2 패시베이션층 컨택홀(285)을 구비한다.
- [0066] 화소 전극(290)은 제 2 패시베이션층(280) 상에 형성된다. 화소 전극(290)은 드레인 전극(240b)의 일부를 노출하도록 제 1 패시베이션층(250), 평탄화층(260) 및 제 2 패시베이션층(280)을 관통하여 형성된 컨택홀을 통해 드레인 전극(240b)과 연결된다.
- [0067] 도 4는 본 발명의 실시예에 따른 어레이 기판의 비표시 영역 내 형성되는 GIP 및 연결부를 개략적으로 나타내는 도면이다.
- [0068] 즉 도 4는 앞서 도 1을 참조하여 서술한 어레이 기판(100)의 비표시 영역(120)의 일부 영역에 형성되는 GIP(130) 중 게이트 배선 및 소스 드레인 배선을 전기적으로 연결하는 연결부를 개략적으로 나타내는 평면도이다.
- [0069] 도 4에서 도시한 것과 같이 본 발명의 실시예에 따른 어레이 기판은 비표시 영역의 GIP에서 게이트 배선(310)과 소스 드레인 배선(340) 및 게이트 배선(310)과 소스 드레인 배선(340)을 제 3의 도전층을 이용하여 접속시키는 연결부(jumping)를 복수 개 포함할 수 있다.
- [0070] 상기와 같이, 본 발명의 실시예에 따른 어레이 기판의 경우 비표시 영역에 형성되는 GIP에 복수 개의 박막 트랜지스터로 구성되는 게이트 구동 IC(Integrated Circuit)를 아모퍼스 실리콘(amorphous silicon)을 이용한 박막 트랜지스터 어레이 기판에 내장할 수 있다. 게이트 구동 IC, 즉 GIP는 박막 트랜지스터 어레이 기판의 화상 표시부와 함께 다수의 마스크 공정으로 형성되므로 적어도 3개의 도전층이 각 절연막을 사이에 두고 적층된 구조를 갖게 된다. 그리고 GIP에는 서로 다른 도전층이 또 다른 제 3의 도전층을 통해 접속되는 연결부가 다수 존재한다.
- [0071] 보다 구체적으로, 본 발명의 실시예에 따른 어레이 기판의 경우 GIP에서 적은 수의 도전층을 이용하여 여러 가지 신호를 어레이 기판에 인가해야 하는데, 동일한 층에 게이트 배선(310)과 소스 드레인 배선(340)을 교차하여 형성하는 것이 불가능하다. 따라서, 본 발명의 실시예에 따른 어레이 기판은 게이트 배선(310)과 소스 드레인 배선(340) 상에 형성된 보호층 또는 평탄화층에 컨택홀(355, 365)을 형성하고, 위와 같은 컨택홀(355, 365)을

따라 형성된 제 3의 도전층을 이용하여 게이트 배선(310)과 소스 드레인 배선(340)을 접속시키는 연결부를 복수 개 포함하여 형성될 수 있다.

- [0072] 본 발명의 실시예에 따른 어레이 기판에 있어, 연결부는 복수 개의 박막 트랜지스터로부터 돌출된 제 1 도전층인 게이트 배선(310)과 제 2 도전층인 소스 드레인 배선(340) 및 게이트 배선(310)과 소스 드레인 배선(340)을 접속시키는 제 3 도전층인 연결 패턴(160)을 포함한다. 이 경우, 연결부는 복수 개의 박막 트랜지스터와 접속된 것으로 한정되지 않으며, 박막 트랜지스터 어레이 기판 상에서 제 1 도전층과 제 2 도전층이 제 3 도전층을 통해 접속되는 모든 구조에 적용될 수 있다.
- [0073] 도 5는 본 발명의 실시예에 따른 어레이 기판 내 GIP의 게이트 배선과 소스 드레인 배선의 연결부를 개략적으로 나타내는 평면도이다. 또한 도 6은 본 발명의 실시예에 따른 어레이 기판의 GIP 영역에 있어 도 5의 A-A'에 따른 게이트 배선과 소스 드레인 배선의 연결부의 단면을 나타내는 도면이다.
- [0074] 도 5 및 도 6을 참조하여 본 발명의 실시예에 따른 어레이 기판 내 GIP의 게이트 배선과 소스 드레인 배선의 연결부에 대해서 보다 상세하게 설명한다.
- [0075] 도 5 및 도 6을 참조하면 본 발명의 실시예에 따른 어레이 기판의 게이트 배선과 소스 드레인 배선 연결부는 게이트 배선(310)과 게이트 배선 상에 위치하는 게이트 절연층(320)과 게이트 절연층(320) 상에 위치하는 소스 드레인 배선(340)과 소스 드레인 배선(340) 상에 위치하는 제 1 보호층(350)과 제 1 보호층(350) 상에 위치하고 제 1 보호층(350)의 일부를 노출하는 평탄화층 홀(365)을 구비한 평탄화(360)층과 평탄화층 홀(365) 내에 위치하고 게이트 절연층(320)과 제 1 보호층(350)을 관통하여 게이트 배선(310)의 일부를 노출시키는 제 1 컨택홀(355)과 평탄화층 홀(365) 내에 위치하고 제 1 보호층(350)을 관통하여 소스 드레인 배선(340)의 일부를 노출시키는 제 2 컨택홀(356)과 제 1 컨택홀(355)을 통해 게이트 배선(310)과 접촉하고, 제 2 컨택홀(356)을 통해 소스 드레인 배선(340)과 접촉하여 게이트 배선(310)과 소스 드레인 배선(340)을 전기적으로 연결하는 연결 패턴(370) 및 연결 패턴(370) 상에 위치하는 제 2 보호층(380)을 포함하여 구성된다.
- [0076] 우선 게이트 배선(310)은 기판(300) 상에 형성된다. 게이트 절연층(320)은 게이트 배선(310) 상에 위치하고 게이트 배선(310)의 전체를 덮도록 형성된다. 상기 연결부의 게이트 배선(310) 및 게이트 절연층(320)은 표시 영역의 박막 트랜지스터에서 형성되는 게이트 전극(210) 및 게이트 절연층(220)과 동일한 공정으로 동일한 층에 배치되고 또한 동일한 물질로 이루어질 수 있다.
- [0077] 소스 드레인 배선(340)은 게이트 절연층(320) 상에 위치하며, 평면에서 볼 때 게이트 배선(310)과 서로 오버랩되지 않고 소정의 거리를 가지도록 배치될 수 있다. 또한 도 6을 참조하면 반도체 특성을 갖는 물질로 이루어지는 반도체 배선(330)이 게이트 절연층(320) 및 소스 드레인 배선(330)의 사이에 개재되어 위치하고 소스 드레인 배선(340) 배선과 동일한 패턴으로 형성되어 배치될 수 있다. 상기 연결부의 반도체 배선(330) 및 소스 드레인 배선(340)은 표시 영역에 형성되는 박막 트랜지스터에서 형성되는 반도체층(230) 및 소스 드레인 전극(240a, 240b)과 동일한 공정으로 동일한 층에 배치되고, 또한 동일한 물질로 이루어질 수 있다.
- [0078] 본 실시예에서는 어레이 기판의 연결부에 있어 게이트 배선(310)과 소스 드레인 배선(340)이 평면 상 오버랩되지 않는 경우에 대해서 구체적으로 서술하고 있으나 반드시 이에 한정되는 것은 아니며, 어레이 기판의 연결부에 있어 게이트 배선(310)과 소스 드레인 배선(340)이 평면 상 일부 오버랩되어 형성될 수도 있다.
- [0079] 제 1 보호층(350)은 소스 드레인 배선(340)의 상부에 위치하도록 형성될 수 있다. 제 1 보호층(350)은 표시 영역의 박막 트랜지스터에 형성되는 제 1 패시베이션층(250)과 동일한 공정으로 동일한 층에 배치되고 또한 동일한 물질로 이루어질 수 있다.
- [0080] 평탄화층(360)은 제 1 보호층(350) 상부에 위치하도록 형성될 수 있다. 평탄화층(360)은 평면 상 게이트 배선(310) 및 소스 드레인 배선(340)의 일부에 대응되도록 위치하며, 게이트 배선(310) 및 소스 드레인 배선(340)의 상부에 위치하는 제 1 보호층(350)의 일부를 노출하는 평탄화층 홀(365)을 포함하여 형성될 수 있다.
- [0081] 제 1 컨택홀(355)은 평면 상 게이트 배선(310)의 일부에 대응되도록 평탄화층 홀(365) 내에 위치하며, 게이트 절연층(320)과 제 1 보호층(350)을 관통하여 게이트 배선(310)의 일부를 노출시키도록 형성될 수 있다.
- [0082] 또한 제 2 컨택홀(356)은 평면 상 소스 드레인 배선(340)의 일부에 대응되도록 평탄화층 홀(365) 내에 위치하며, 제 1 보호층(350)을 관통하여 소스 드레인 배선(340)의 일부를 노출시키도록 형성될 수 있다.
- [0083] 연결 패턴(370)은 평탄화층(360)의 상부에 형성되며, 평면 상 게이트 배선(310)에 대응하여 형성된 평탄화층 홀(365) 및 게이트 절연층(320)과 제 1 보호층(350)을 관통하여 형성된 제 1 컨택홀(355)을 통해 게이트 배선

(310)의 상부에 위치하여 게이트 배선(310)과 접촉하도록 형성된다.

- [0084] 또한 연결 패턴(370)은 게이트 배선(310)과 접촉함과 동시에 평면 상 소스 드레인 배선(340)에 대응하여 형성된 평탄화층 홀(365) 및 제 1 보호층(350)을 관통하여 형성된 제 2 콘택홀(356)을 통해 소스 드레인 배선(340)의 상부에 위치하여 접촉하여 소스 드레인 배선(340)과 접촉하도록 형성된다. 이와 같이 연결 패턴(370)은 본 발명의 실시예에 따른 어레이 기판에 있어서 비표시 영역에 배치되는 GIP 연결부에서 게이트 배선(310)과 소스 드레인 배선(340)을 전기적으로 연결하도록 구성된다.
- [0085] 상기 GIP 내 연결부의 연결 패턴(370)은 어레이 기판의 표시 영역에 형성되는 박막 트랜지스터에서의 공통 전극(270)과 동일한 공정으로 동일한 층에 배치되고, 또한 동일한 물질로 이루어질 수 있다.
- [0086] 상기 연결 패턴(370) 및 공통 전극(270)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO)로 이루어질 수 있으며, 또한 인듐 징크 옥사이드(Indium Zinc Oxide; IZO), 틴 옥사이드(Tin Oxide; TO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide; ITZO) 등과 같은 투명 도전 물질로 형성될 수도 있다.
- [0087] 제 2 보호층(380)은 연결 패턴(370)의 상부에 형성된다. 제 2 보호층(380)은 하부에 위치하는 연결 패턴(370)을 외력 등과 같은 외부 충격으로부터 보호하는 역할을 할 수 있다. 상기 연결부의 제 2 보호층(380)은 표시 영역에 형성되는 박막 트랜지스터에서의 제 2 패시베이션층(280)과 동일한 공정으로 동일한 층에 배치되고, 또한 동일한 물질로 이루어질 수 있다.
- [0088] 또한 상기 제 2 보호층(380)은 상기 어레이 기판에 대항하는 제 2 기판, 즉 컬러 필터 기판 상에 형성되어 배치된 컬럼 스페이서가 외력에 의해 어레이 기판의 연결 패턴(370)과 접촉하게 되면서 연결 패턴(370)이 손상되는 것을 방지할 수 있도록 충분한 두께를 갖도록 구성될 수 있다.
- [0089] 종래의 어레이 기판의 경우와 같이 비표시 영역의 연결부에서 표시 영역의 박막 트랜지스터에 형성되는 화소 전극과 동일한 층에 연결 패턴을 형성하는 경우, 즉, 제 1 기판인 어레이 기판의 최상층에 위치하는 화소 전극과 동일한 층에 연결 패턴을 형성하는 경우, 연결 패턴의 하부에 형성되는 제 2 패시베이션층과 콘택홀 영역에서 큰 단차에 의해서 높은 테이퍼(taper) 형상을 나타내어 제 2 패시베이션층의 상부에 배치되는 연결 패턴의 단선 불량 발생하였다.
- [0090] 또한, 어레이 기판에 대항하여 함착되는 제 2 기판, 즉 컬러 필터 기판에 형성되어 배치된 컬럼 스페이서가 외력에 의해 어레이 기판의 연결 패턴(370)과 접촉하게 되면서 연결 패턴(370)이 손상되어 연결 패턴(370)이 단선되는 불량의 문제가 발생하였다.
- [0091] 반면에 본 발명의 실시예에 따른 어레이 기판의 경우에서와 같이 어레이 기판의 비표시 영역에 형성되는 GIP 영역에서의 연결부에서 게이트 배선(310) 및 소스 드레인 배선(340)을 연결하는 연결 패턴(370)을 표시 영역의 박막 트랜지스터의 공통 전극과 동일한 공정으로 동일한 층에 또한 동일한 물질로 형성하는 경우, 종래 연결 패턴을 화소 전극과 동일한 공정으로 동일한 층에 또한 동일한 물질로 형성하는 경우와 대비할 때, 하부 적층 구조에 있어 보다 양호한 테이퍼(taper) 형상을 가질 수 있도록 함으로써 연결 패턴(370) 형성에 있어서 하부 적층 구조의 큰 단차에 의한 연결 패턴(370)의 단선 불량 발생의 가능성을 낮출 수 있다.
- [0092] 또한 GIP 내 연결부에서 게이트 배선(310) 및 소스 드레인 배선(310)을 연결하는 연결 패턴(370)의 상부에 보호층(380)이 구비됨으로써 외력에 의해서 상부 기판의 컬럼 스페이서와의 접촉에 의한 연결 패턴(370)의 단선 불량을 방지할 수 있어, 외부 충격으로부터 GIP 내 게이트 배선과 소스 드레인 배선 연결부의 신뢰도를 향상시킬 수 있다.
- [0093] 도 7은 본 발명의 다른 실시예에 따른 어레이 기판 내 GIP 영역에 있어 게이트 배선과 소스 드레인 배선의 연결부를 개략적으로 나타내는 평면도이다. 또한 도 8은 본 발명의 다른 실시예에 따른 어레이 기판 내 GIP 영역에 있어 도 7의 B-B'에 따른 게이트 배선과 소스 드레인 배선의 연결부의 단면을 나타내는 도면이다.
- [0094] 본 발명의 다른 실시예에 따른 어레이 기판에 있어서, 앞서 도 5, 6을 참조하여 설명한 실시예와 다른 구성은 제 1 콘택홀 및 제 2 콘택홀 사이에 위치하고, 제 1 보호층과 연결 패턴 사이에 개재된 평탄화층 패턴(368)이므로, 이전 설명한 실시예에서와 동일 또는 대응되는 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- [0095] 도 7 및 도 8을 참조하면 본 발명의 다른 실시예에 따른 어레이 기판의 게이트 배선과 소스 드레인 배선 연결부는 게이트 배선(310)과 게이트 배선 상에 위치하는 게이트 절연층(320)과 게이트 절연층(320) 상에 위치하는 소스 드레인 배선(340)과 소스 드레인 배선(340) 상에 위치하는 제 1 보호층(350)과 제 1 보호층(350) 상에 위치하고 제 1 보호층(350)의 일부를 노출하는 제 1 평탄화층 홀(366) 및 제 2 평탄화층 홀(367)을 구비한 평탄화층

(360)과 제 1 평탄화층 홀(366) 내에 위치하고 게이트 절연층(320)과 제 1 보호층(350)을 관통하여 게이트 배선(310)의 일부를 노출시키는 제 1 컨택홀(355)과 제 2 평탄화층 홀(367) 내에 위치하고 제 1 보호층(350)을 관통하여 소스 드레인 배선(340)의 일부를 노출시키는 제 2 컨택홀(356)과 제 1 컨택홀(355)을 통해 게이트 배선(310)과 접촉하고, 제 2 컨택홀(356)을 통해 소스 드레인 배선(340)과 접촉하여 게이트 배선(310)과 소스 드레인 배선(340)을 전기적으로 연결하는 연결 패턴(370) 및 연결 패턴(370) 상에 위치하는 제 2 보호층(380)을 포함하여 구성된다.

- [0096] 또한 본 실시예에 따른 어레이 기판의 GIP 내 연결부의 경우, 제 1 컨택홀(355) 및 제 2 컨택홀(356)의 사이에 위치하고, 제 1 보호층(350)과 연결 패턴(370) 사이에 개재된 평탄화층 패턴(368)을 더욱 포함하여 구성된다.
- [0097] 도 8을 참조하면, 평탄화층 패턴(368)은 소스 드레인 배선(340) 및 소스 드레인 배선(340)의 하부에 위치하는 반도체 배선(330) 패터닝 공정 시 게이트 절연막(320) 및 이후 형성되는 제 1 보호층(350)에서 발생할 수 있는 언더컷(under-cut) 현상을 방지하는 역할을 한다. 이와 같이 평탄화층 패턴(368)을 형성하여 반도체 배선(330) 및 소스 드레인 배선(340) 일 측면을 덮도록 함으로써 언더컷 발생에 의한 연결 패턴(370)의 단선 불량 발생을 낮출 수 있다.
- [0098] 평탄화층 패턴(368)은 평탄화층(360)과 동일한 공정으로 동일한 층에 배치되고, 또한 동일한 물질로 이루어질 수 있으며, 평탄화층 패턴(368)은 평탄화층(360)의 상부에 연결 패턴(370)의 형성에 있어서 하부 적층 구조에 따른 단차에 의한 영향을 받지 않도록 하프톤(half tone) 마스크를 적용하여 평탄화층(360)의 두께보다 작은 두께를 가지도록 형성할 수 있다. 예를 들어서 평탄화층(360)의 경우 약 2 μ m의 두께를 가지도록 형성할 수 있으며, 평탄화층 패턴(368)의 경우에는 상기 평탄화층(360)의 두께보다 작은 1 μ m 내지 1.5 μ m 범위의 두께를 가지도록 형성할 수 있다.
- [0099] 이와 같이 본 발명의 다른 실시예에 따른 어레이 기판의 경우에 있어서도 연결 패턴(370)의 하부 적층 구조에 있어 보다 양호한 테이퍼(taper) 형상을 가질 수 있도록 함으로써 하부 적층 구조의 큰 단차에 의한 연결 패턴(370)의 단선 불량 발생의 가능성을 낮출 수 있다.
- [0100] 또한 GIP 내 연결부에서 게이트 배선(310) 및 소스 드레인 배선(340)을 연결하는 연결 패턴(370)의 상부에 보호층(380)이 구비됨으로써 외력에 의해서 상부 기판의 컬럼 스페이서와의 접촉에 의한 연결 패턴(370)의 단선 불량을 방지할 수 있다.
- [0101] 도 9는 본 발명의 실시예에 따른 어레이 기판을 포함하는 액정 표시 장치의 단면을 나타내는 도면이다.
- [0102] 본 발명의 실시예에 따른 액정 표시 장치를 설명함에 있어서, 이전 설명한 실시예에서와 동일 또는 대응되는 구성 요소에 대한 중복되는 설명은 생략하기로 한다.
- [0103] 도 9를 참조하면, 본 발명의 실시예에 따른 어레이 기판을 포함하는 액정 표시 장치(500)는 표시 영역(DA) 및 표시 영역 외곽에 위치하는 비표시 영역(NDA)을 포함하는 어레이 기판인 제 1 기판(200)과 제 1 기판(200)에 대향하여 위치하고 제 1 기판(200) 및 제 2 기판(400)과 접촉하여 두 기판 사이의 셀 갭(cell gap)을 유지하는 컬럼 스페이서(440)를 구비한 컬러 필터(color filter) 기판인 제 2 기판(400)을 포함하여 구성된다.
- [0104] 도 9를 참조하면, 제 1 기판(200)의 표시 영역(DA)은 프린지 필드 스위칭 방식의 박막 트랜지스터를 포함하여 형성될 수 있다. 표시 영역에 형성되는 프린지 필드 스위칭 방식의 박막 트랜지스터는 게이트 전극(210), 게이트 절연층(220), 반도체층(230), 소스 전극(240a), 드레인 전극(240b), 제 1 패시베이션층(250) 및 평탄화층(260)을 포함한다. 또한 평탄화층(260)의 상부에 형성되는 공통 전극(270), 제 2 패시베이션층(280) 및 화소 전극(290)을 포함하여 구성될 수 있다.
- [0105] 또한 도 9를 참조하면, 제 1 기판(200)의 비표시 영역(NDA)은 GIP 영역에 배치되고 게이트 절연층(220)을 사이에 두고 서로 다른 층에 위치하는 게이트 배선(210), 소스 드레인 배선(240), 게이트 배선(210)과 소스 드레인 배선(240)을 전기적으로 연결하는 연결부를 포함하여 구성될 수 있다.
- [0106] 또한 상기 연결부는 게이트 배선(210) 및 소스 드레인 배선(240) 상에 위치하는 제 1 보호층(250)과 제 1 컨택홀(355) 내의 게이트 배선(310)의 상부 및 제 2 컨택홀(356) 내의 소스 드레인 배선(340)의 상부에 위치하여 게이트 배선(310)과 소스 드레인 배선(340)을 전기적으로 연결하는 연결 패턴(370) 및 연결 패턴(370)의 상부를 덮도록 배치되는 제 2 보호층(380)을 포함하여 구성될 수 있다.
- [0107] 또한 본 발명의 실시예에 따른 액정 표시 장치(500)에 있어서 제 2 기판(400)은 제 1 기판(200)에 대향하여 위치하는 컬러 필터 기판으로서 블랙 매트릭스(BM, 410), 컬러 필터(color filter, 420), 오버코트(overcoat,

430) 및 제 1 기관(200)과 접촉하여 제 1 기관(200)과 제 2 기관(400) 사이의 셀 갭을 유지하는 역할을 하는 컬럼 스페이서(440)를 포함하여 구성된다.

[0108] 종래의 액정 표시 장치에 있어 비표시 영역의 GIP 내 연결부에 외력이 인가되는 경우, 어레이 기관에 대하여 합착되는 제 2 기관(400), 즉 컬러 필터 기관에 배치된 컬럼 스페이서(440)가 외력에 의해 어레이 기관의 비표시 영역의 연결부에 배치된 연결 패턴(370)과 접촉하는 경우가 발생할 수 있다. 이러한 경우 컬럼 스페이서(440)가 연결 패턴(370)에 직접 접촉하여 충격을 가함으로써 연결 패턴(370)을 손상시킬 수 있으며 그 결과 연결 패턴(370)이 단선되는 불량률의 문제가 발생할 수 있다.

[0109] 본 발명의 실시예에 따른 액정 표시 장치(500)의 경우, GIP 내 연결부에서 게이트 배선(310) 및 소스 드레인 배선(340)을 연결하는 연결 패턴(370)의 상부에 형성된 제 2 보호층(380)이 외부 충격으로부터 연결 패턴(370)을 보호함으로써 외력에 의해서 제 2 기관(400)의 컬럼 스페이서(440)와의 접촉에 의한 연결 패턴(370)의 단선 불량을 방지할 수 있으며, 따라서 GIP 내 게이트 배선(310)과 소스 드레인 배선(340) 연결부의 신뢰도를 향상시킬 수 있다.

[0110] 지금까지 살펴본 바와 같이 본 발명의 실시예에 따른 어레이 기관을 포함하는 액정 표시 장치의 경우, GIP 내 게이트 배선 및 소스 드레인 배선 연결부에 있어 게이트 배선 및 소스 드레인 배선을 연결하는 연결 패턴을 표시 영역의 박막 트랜지스터의 공통 전극과 함께 동일한 공정으로 동일한 층 및 동일한 물질로 형성함으로써 종래의 화소 전극과 동일한 공정으로 동일한 층 및 동일한 물질로 형성하는 경우와 대비할 때 하부 적층 구조에서 보다 양호한 테이퍼(taper) 형상을 가질 수 있도록 함으로써 연결부에서 상기 연결 패턴의 단선 불량률의 발생의 가능성을 최소화 할 수 있다.

[0111] 또한 GIP 내 연결부에서 게이트 배선 및 소스 드레인 배선을 연결하는 연결 패턴의 상부에 보호층을 배치함으로써 외력에 의해서 연결 패턴이 상부 기관의 컬럼 스페이서와 직접 접촉하여 발생할 수 있는 외부 충격으로부터 연결 패턴을 보호함으로써 연결 패턴의 단선 불량을 방지하고 GIP의 신뢰도를 향상시킬 수 있다.

[0112] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술 사상을 벗어나지 않는 범위 내에서 다양하게 변형되어 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

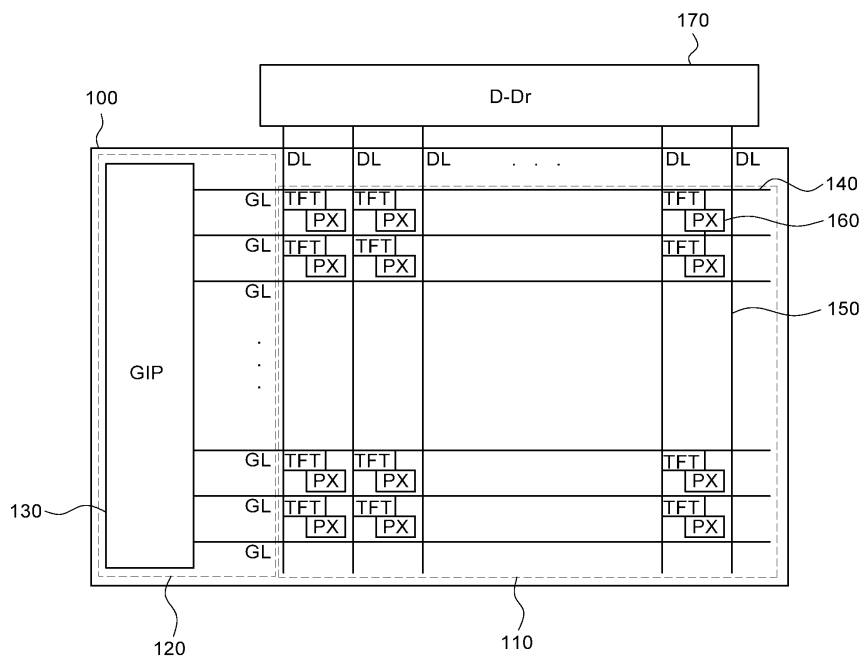
부호의 설명

- [0113] 110 : 표시 영역
- 120 : 비표시 영역
- 130 : GIP
- 300 : 기관
- 310 : 게이트 배선
- 320 : 게이트 절연층
- 330 : 반도체 배선
- 340 : 소스 드레인 배선
- 350 : 제 1 보호층
- 355 : 제 1 콘택홀
- 356 : 제 2 콘택홀
- 360 : 평탄화층
- 365 : 평탄화층 홀

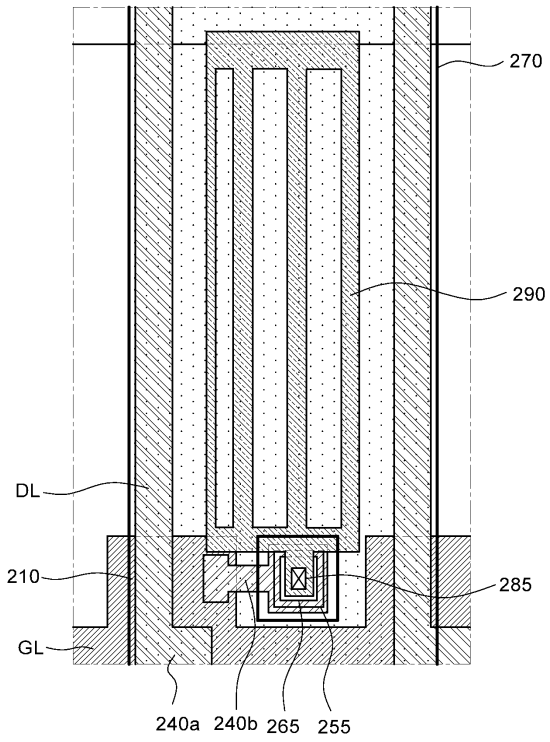
- 370 : 연결 패턴
- 380 : 제 2 보호층
- 400 : 제 2 기관
- 410 : 블랙 매트릭스
- 420 : 컬러 필터
- 430 : 오버코트
- 440 : 컬럼 스페이서

도면

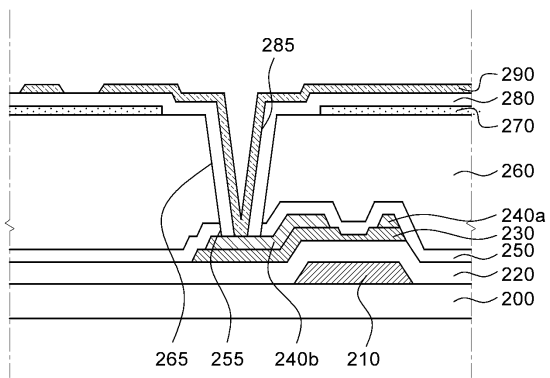
도면1



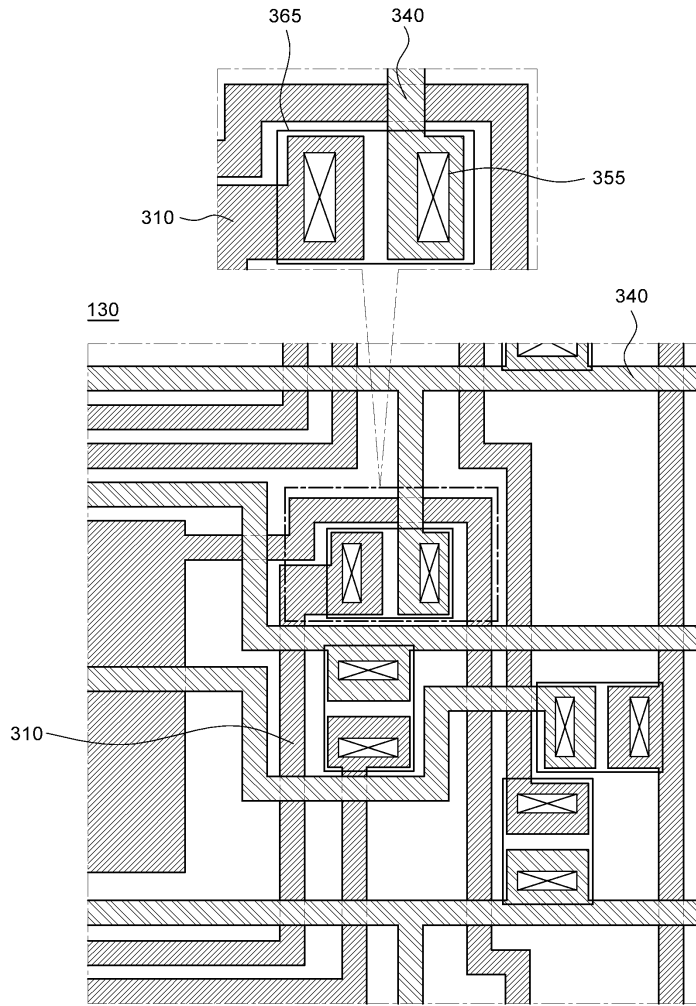
도면2



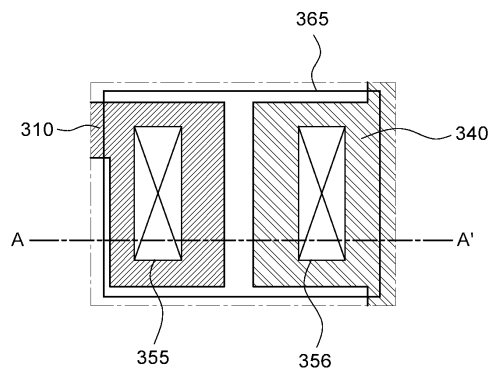
도면3



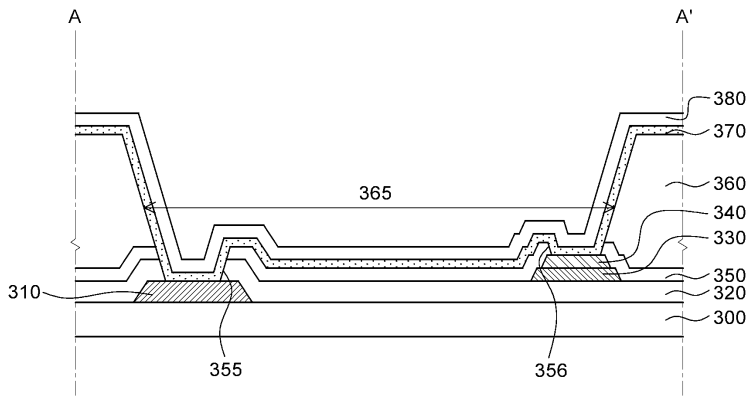
도면4



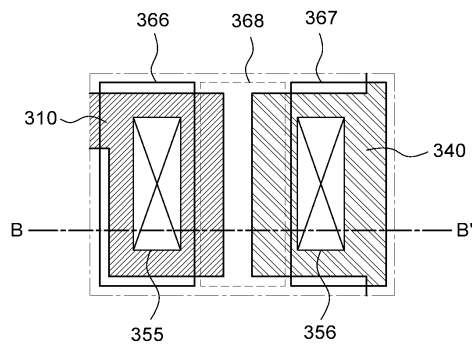
도면5



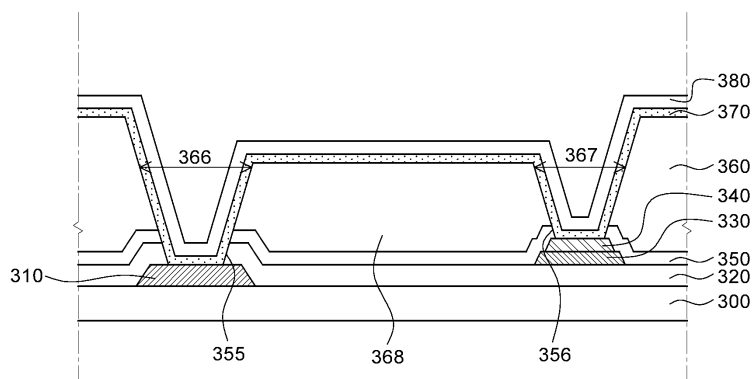
도면6



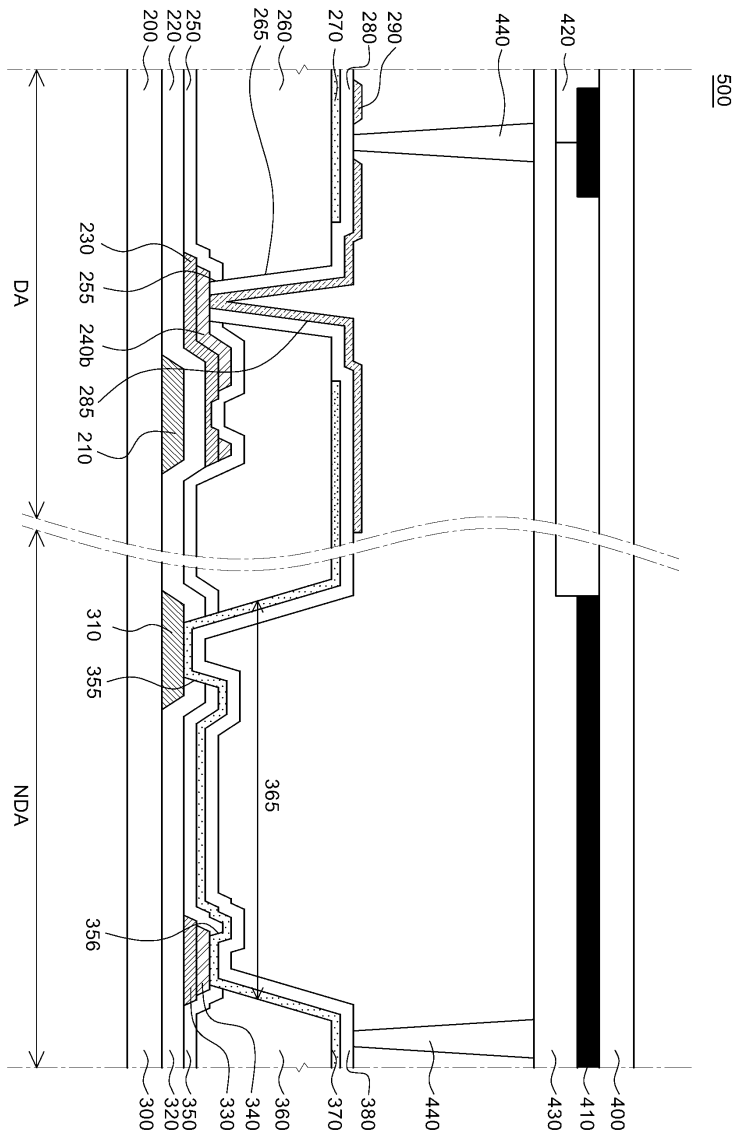
도면7



도면8



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160116823A	公开(公告)日	2016-10-10
申请号	KR1020150045116	申请日	2015-03-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG HO JIN 정호진		
发明人	정호진		
IPC分类号	G02F1/1343 G02F1/1339 G02F1/136 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/136 G02F1/1339 G02F1/1368 G02F2001/134372		
外部链接	Espacenet		

摘要(译)

它通过平坦化层与栅极布线接触，其中根据本发明优选实施例的阵列面板包括栅极布线，栅极绝缘层，位于栅极布线表面上的源极漏极布线位于栅极绝缘层的表面上层第一保护层，位于源极漏极布线和平坦化层孔的表面上，所述平坦化层孔位于第一保护层的表面上并且暴露第一保护层的一部分的第一接触孔，所述第一接触孔位于平坦化层孔内并暴露栅极布线通过栅极绝缘层的部分，第一保护层，第二接触孔和第一接触孔位于平坦化层孔内，并通过第一保护层暴露部分源极漏极布线是包括栅极布线的阵列面板，电连接源d的连接图案雨布线和位于表面上的第二保护层通过与源极漏极布线接触的第二接触孔连接图案。

