



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0072316
(43) 공개일자 2016년06월23일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1368 (2006.01)
(21) 출원번호 10-2014-0179167
(22) 출원일자 2014년12월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최정민
경북 구미시 수출대로 337, A동 219호 (임수동,
LG디스플레이동락원기숙사)
진혜정
부산 금정구 금강로 502, 211동 102호 (구서동,
롯데캐슬골드1단지)
(74) 대리인
김기문

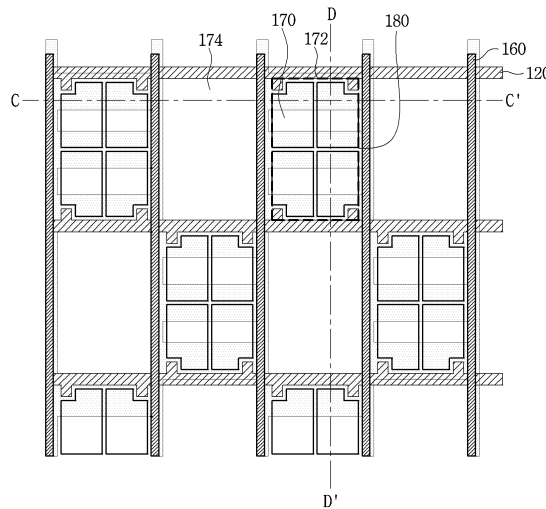
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **횡전계 액정표시장치 및 그 제조 방법**

(57) 요약

본 발명은 개구율이 향상된 IPS 모드 액정표시장치 및 그 제조 방법에 관한 것으로, 상기 본 발명에 따른 IPS 모드 액정표시장치는, 서로 수직하게 교차되는 제1게이트 라인과 제1데이터 라인, 상기 제1게이트 라인과 제1데이터 라인의 교차 영역에 구비되는 제1화소 영역, 상기 제1화소 영역 상에 구비되는 제1공통 전극을 포함하는 상부 기관과, 서로 수직하게 교차되는 제2게이트 라인과 제2데이터 라인, 상기 제2게이트 라인과 제2데이터 라인의 교차 영역에 구비되는 제2화소 영역, 상기 제2화소 영역 상에 구비되는 제2공통 전극을 포함하는 하부 기관과, 상기 상부 기관과 하부 기관 사이에 협지되는 액정층을 포함한다. 이때, 상기 제1화소 영역 및 제2화소 영역은 서로 중첩되지 않도록 구비된다.

대표도 - 도5



명세서

청구범위

청구항 1

서로 수직하게 교차되는 제1게이트 라인과 제1데이터 라인, 상기 제1게이트 라인과 제1데이터 라인의 교차 영역에 구비되는 제1화소 영역, 상기 제1화소 영역 상에 구비되는 제1공통 전극을 포함하는 상부 기관;

서로 수직하게 교차되는 제2게이트 라인과 제2데이터 라인, 상기 제2게이트 라인과 제2데이터 라인의 교차 영역에 구비되는 제2화소 영역, 상기 제2화소 영역 상에 구비되는 제2공통 전극을 포함하는 하부 기관;

상기 상부 기관과 하부 기관 사이에 협지되는 액정층을 포함하며,

상기 제1화소 영역 및 제2화소 영역은 서로 중첩되지 않도록 구비되는 IPS 모드 액정표시장치.

청구항 2

제1항에 있어서,

상기 상부 기관은 상기 제1데이터 라인과 인접하는 데이터 라인과 상기 제1게이트 라인의 교차 영역에 화소가 구비되지 않는 제1비화소영역을 포함하며,

상기 하부 기관은 상기 제2데이터 라인과 인접한 데이터 라인과 상기 제2게이트 라인의 교차 영역에 화소가 구비되지 않는 제2비화소영역을 포함하는 IPS 모드 액정표시장치.

청구항 3

제2항에 있어서,

상기 제1비화소 영역과 제2비화소 영역은 서로 중첩되지 않도록 구비되는 IPS 모드 액정표시장치.

청구항 4

제1항에 있어서,

상기 제1게이트 라인과 제2게이트 라인이 서로 중첩되도록 구비되는 IPS 모드 액정표시장치.

청구항 5

제1항에 있어서,

상기 제1데이터 라인과 제2데이터 라인이 서로 중첩되도록 구비되는 IPS 모드 액정표시장치.

청구항 6

제1항에 있어서,

상기 제1화소 영역 및 제2화소 영역은 복수개의 화소를 포함하는 것인 IPS 모드 액정표시장치.

청구항 7

제6항에 있어서,

상기 각각의 화소는, 박막 트랜지스터 및 상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극을 포함하는 것인 IPS 모드 액정표시장치.

청구항 8

제1항에 있어서,

상기 제1공통 전극 및 제2공통 전극은 슬릿 형상인 IPS 모드 액정표시장치.

청구항 9

제1항에 있어서,

상기 IPS 모드 액정표시장치는 개구율이 70% 이상인 IPS 모드 액정표시장치.

청구항 10

서로 수직하게 교차되는 제1게이트 라인과 제1데이터 라인, 상기 제1게이트 라인과 제1데이터 라인의 교차 영역에 구비되는 제1화소 영역, 상기 제1화소 영역 상에 구비되는 제1공통 전극을 포함하는 상부 기판을 형성하는 단계;

서로 수직하게 교차되는 제2게이트 라인과 제2데이터 라인, 상기 제2게이트 라인과 제2데이터 라인의 교차 영역에 구비되는 제2화소 영역, 상기 제2화소 영역 상에 구비되는 제2공통 전극을 포함하는 하부 기판을 형성하는 단계; 및

상기 상부 기판과 하부 기판을 합착한 후 액정을 주입하여 액정층을 형성하는 단계를 포함하며,

상기 제1화소 영역 및 제2화소 영역이 서로 중첩되지 않도록 형성되는 것인 IPS 모드 액정표시장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 제1게이트 라인과 제2게이트 라인은 상부 기판과 하부 기판 합착 후에 중첩되도록 형성되는 것인 IPS 모드 액정표시장치의 제조 방법.

청구항 12

제10항에 있어서,

상기 제1데이터 라인과 제2데이터 라인은 상부 기판과 하부 기판 합착 후에 중첩되도록 형성되는 것인 IPS 모드 액정표시장치의 제조 방법.

청구항 13

제10항에 있어서,

상기 상부 기판을 형성하는 단계 및 상기 하부 기판을 형성하는 단계는,

기판 상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 라인과 데이터 라인의 교차 영역에서 화소 영역과 비화소 영역이 교대로 형성되도록 데이터 라인 및 화소 영역을 형성하는 단계; 및

상기 화소 전극 상부에 공통 전극을 형성하는 단계를 포함하는 것인 IPS 모드 액정표시 장치의 제조 방법.

청구항 14

제13항에 있어서,

상기 화소 영역 하나에 복수개의 화소들을 형성하는 IPS 모드 액정표시장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 횡전계 액정표시장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는, 높은 개구율을 갖는 고해상도 횡전계 액정표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가되고 있다. 종래의 음극선관 표시장치(CRT)에 비해 박형, 경량화된 액정표시장치(LCD), 플라즈마표시장치(PDP) 또는 유기전계 발광소자(OLED)를 포함하는 평판표시장치가 활발하게 연구 및 제품화되고 있다. 이 중에서 액정표시장치는 소형화, 경량화, 박형화 및 저전력 구동의 장점이 있어 현재 널리 사용되고 있다.

[0003] 종래에 주로 사용되었는 액정표시장치 중 하나로 트위스트 네마틱(TN: twisted nematic) 방식의 액정표시장치를 들 수 있다. 상기 트위스트 네마틱 방식은 두 기관에 각각 전극을 설치하고 액정 방향자가 90° 트위스트 되도록 배열한 다음 전극에 전압을 가하여 액정 방향자를 구동하는 방식이다. 그러나 상기 TN방식 액정표시장치는 시야각이 좁다는 큰 단점이 있다.

[0004] 상기 TN방식의 액정표시장치의 시야각이 좁다는 단점을 해결하기 위하여 새로운 방식을 채용한 액정표시장치에 대한 연구가 활발하게 진행되고 있는데, 상기 방식으로 IPS방식(in-plane switching) 및 FFS방식(fringe field switching) 등이 있다. 도 1 내지 도 4에는 종래의 IPS 방식의 액정표시장치의 구성이 도시되어 있다. 구체적으로는, 도 1은 종래의 IPS 방식의 액정표시장치의 하부 기관의 평면도가, 도 2에는 상부 기관의 평면도가 도시되어 있다. 도 3에는 상부 기관과 하부 기관이 합지된 액정표시장치를 도 1 및 2의 A-A'선을 따라 절개한 단면도가 도시되어 있으며, 도 4에는 도 1 및 도 2의 B-B'선을 따라 절개한 단면도가 도시되어 있다.

[0005] 도 1 내지 도 4에 도시된 바와 같이, 종래의 IPS 방식의 액정표시장치는 상부 기관(20), 하부 기관(10) 및 액정층(L)을 포함한다. 상기 상부 기관(20)과 하부 기관(10)은 서로 대향되어 배치되고, 상기 상부 기관(20) 및 하부 기관(10) 사이에는 액정들로 구성된 액정층(L)이 게재된다.

[0006] 한편, 상기 하부 기관(10)에는, 도 1에 도시된 바와 같이, 게이트 라인(12)과 데이터 라인(16)이 형성되며, 상기 게이트 라인(12)과 데이터 라인(16)의 교차 영역에 화소 전극을 포함하는 화소 영역(17)이 형성되고, 상기 화소 영역(17)의 상부에 공통 전극(18)이 형성된다. 상기 화소 전극과 공통 전극 사이에 인가되는 전계에 의해 액정층이 변위하여 화상을 표시한다.

[0007] 한편, 상기 상부 기관(20)에는, 도 2에 도시된 바와 같이 게이트 라인과 데이터 라인을 가리기 위한 블랙 매트릭스(22)가 형성된다. 이때, 상기 블랙 매트릭스(22)는 일반적으로 상부 기관(20)과 하부 기관(10)의 합착 시의 합착 마진을 고려하여 게이트 라인과 데이터 라인보다 넓게 형성된다.

[0008] 이와 같이 종래의 IPS 방식의 액정표시장치는 블랙 매트릭스가 넓게 형성되어, 개구율이 떨어지고, 표시장치의 품위가 저하된다는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 블랙 매트릭스를 형성하지 않아도 되는 IPS방식 액정표시장치를 제공하고자 한다.

과제의 해결 수단

[0010] 일 구현예에 따르면, 본 발명은 IPS 모드 액정표시장치를 제공하며, 상기 본 발명에 따른 IPS 모드 액정표시장치는, 서로 수직하게 교차되는 제1게이트 라인과 제1데이터 라인, 상기 제1게이트 라인과 제1데이터 라인의 교차 영역에 구비되는 제1화소 영역, 상기 제1화소 영역 상에 구비되는 제1공통 전극을 포함하는 상부 기판과, 서로 수직하게 교차되는 제2게이트 라인과 제2데이터 라인, 상기 제2게이트 라인과 제2데이터 라인의 교차 영역에 구비되는 제2화소 영역, 상기 제2화소 영역 상에 구비되는 제2공통 전극을 포함하는 하부 기판과, 상기 상부 기판과 하부 기판 사이에 협지되는 액정층을 포함한다. 이때, 상기 제1화소 영역 및 제2화소 영역은 서로 중첩되지 않도록 구비된다.

[0011] 다른 구현예에 따르면, 본 발명은 상기한 IPS 모드 액정표시장치의 제조 방법을 제공하며, 상기 본 발명에 따른 IPS모드 액정표시장치의 제조 방법은, 상부 기판을 제조하는 단계와, 하부 기판을 제조하는 단계 및 액정층을 형성하는 단계를 포함한다. 이때, 상기 상부 기판은 서로 수직하게 교차되는 제1게이트 라인과 제1데이터 라인, 상기 제1게이트 라인과 제1데이터 라인의 교차 영역에 구비되는 제1화소 영역, 상기 제1화소 영역 상에 구비되는 제1공통 전극을 포함한다. 또한, 상기 하부 기판은 서로 수직하게 교차되는 제2게이트 라인과 제2데이터 라인, 상기 제2게이트 라인과 제2데이터 라인의 교차 영역에 구비되는 제2화소 영역, 상기 제2화소 영역 상에 구비되는 제2공통 전극을 포함한다. 이때, 상기 제1화소 영역 및 제2화소 영역은 서로 중첩되지 않도록 형성된다.

발명의 효과

[0012] 본 발명에 따른 IPS 모드 액정표시장치는 상부 기판과 하부 기판에 형성되는 불투명 재질의 게이트 라인과 데이터 라인이 블랙 매트릭스를 대신하기 때문에 블랙 매트릭스를 형성하지 않아도 된다.

[0013] 또한, 본 발명에 따른 IPS 모드 액정표시장치는 상부 기판에 형성되는 게이트 라인 및 데이터 라인과 하부 기판에 형성되는 게이트 라인 및 데이터 라인을 동일 위치에 형성함으로써 배선 영역을 최소화함으로써, 종래의 IPS 모드 액정표시장치에 비해 20% 이상 개선된 개구율을 갖는다.

도면의 간단한 설명

- [0014] 도 1은 종래의 IPS 방식 액정표시장치의 하부 기판을 도시한 평면도이다.
- 도 2는 종래의 IPS 방식 액정표시장치의 상부 기판을 도시한 평면도이다.
- 도 3은 상부 기판과 하부 기판이 합지된 종래의 IPS 방식 액정표시장치를 도 1 및 2의 A-A'선을 따라 절개한 단면도이다.
- 도 4는 상부 기판과 하부 기판이 합지된 종래의 IPS 방식 액정표시장치를 도 1 및 2의 B-B'선을 따라 절개한 단면도이다.
- 도 5는 본 발명에 따른 액정표시장치의 상부 기판의 일 구현예를 도시한 평면도이다.
- 도 6은 본 발명에 따른 액정표시장치의 하부 기판의 일 구현예를 도시한 평면도이다.
- 도 7은 본 발명에 따른 액정표시장치를 도 5 및 도 6의 C-C'선을 따라 절개한 단면도이다.
- 도 8은 본 발명에 따른 액정표시장치를 도 5 및 도 6의 D-D'선을 따라 절개한 단면도이다.
- 도 9a 내지 도 9c는 본 발명에 따른 액정표시장치의 기판을 제조하는 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 도면을 참조하여 본 발명의 구현예들을 보다 자세히 설명한다. 다만, 하기 도면 및 구현예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위한 예시일 뿐, 본 발명이 하기 도면 및 구현예에 의해 한정되는 것은 아니다.
- [0016] 하기 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0017] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0018] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0020] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함한다.
- [0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0022] 본 발명의 여러 구현예들 각각의 특징적인 부분들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 구현예들은 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0023] 도 5 내지 도 8에는 본 발명에 따른 IPS 모드 액정표시장치의 구성을 설명하기 위한 도면들이 도시되어 있다. 구체적으로는, 도 5에는 상부 기관의 평면도가 도시되어 있으며, 도 6에는 하부 기관의 평면도가 도시되어 있다. 또한, 도 7에는 본 발명에 따른 액정표시장치를 C-C'선을 따라 절개한 단면도가 도시되어 있으며, 도 8에는 본 발명에 따른 액정표시장치를 D-D'선을 따라 절개한 단면도가 도시되어 있다.
- [0024] 도 5 내지 도 8에 도시된 바와 같이, 본 발명의 IPS 모드 액정표시장치는, 상부 기관(100) 및 하부 기관(200), 상기 상부 기관(100) 및 하부 기관(200) 사이에 협지된 액정셀(L)을 포함한다. 한편, 본 발명의 IPS 모드 액정표시장치는 종래의 액정표시장치들과 달리, 상부 기관(100)과 하부 기관(200) 모두에 게이트 라인, 데이터 라인 및 화소 영역을 형성하는 것을 그 특징으로 한다.
- [0025] 보다 구체적으로는, 상기 상부 기관(100)은, 도 5에 도시된 바와 같이, 기관(110) 상에 제1게이트 라인(120), 제1데이터 라인(160), 제1화소 영역(172) 및 제1공통 전극(180)을 포함한다.
- [0026] 상기 제1게이트 라인(120)과 제1데이터 라인(160)은 서로 수직으로 교차하도록 형성되며, 상기 제1게이트 라인(120)과 제1데이터 라인(160)의 교차 영역에는 제1화소 영역(172)이 형성된다.
- [0027] 이때, 상기 제1화소 영역(172)은, 도 5에 도시된 바와 같이, 복수개의 화소(170)들을 포함한다. 이때, 상기 각각의 화소(170)는, 상부 기관 상에 형성되는 박막 트랜지스터와 상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극으로 구성될 수 있다. 상기 박막 트랜지스터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극으로 구성되며, 이때, 상기 게이트 전극(122)은 상기 제1게이트 라인(120)으로부터 연장되어 형성된다. 한편, 상기 반도체층은 게이트 절연막을 개재하여 상기 게이트 전극 상에 형성되며, 상기 소스 전극 및 드레인 전극은 반도체층의 양 말단에 각각 형성된다. 한편, 상기 소스 전극은 상기한 제1데이터 라인으로부터 연장되어 형성될 수

있으며, 상기 드레인 전극은 콘택홀을 통해 상기 화소 전극과 전기적으로 연결된다.

- [0028] 한편, 상기와 같은 화소(170) 들로 구성된 제1화소 영역(172)의 상부에는 공통 전극(180)이 형성된다. 도 5에는 제1데이터 라인(160)과 평행하게 형성된 공통 라인에서 연장된 슬릿 형태의 공통 전극(180)들이 도시되어 있으나, 본 발명의 공통 전극(180)이 상기 도시된 사항으로 한정되는 것은 아니다. 즉, 상기 공통 전극(180)은 도시되지 않은 다양한 형태 및 배열을 가질 수 있다.
- [0029] 본 발명에 있어서, 상기 제1게이트 라인 및 제1데이터 라인은 다수의 금속선들이 서로 평행하게 배열된 형태로 형성되는데, 이때, 상기 제1게이트 라인들 사이의 간격 및 제1데이터 라인들 사이의 간격은, 동일 크기의 화소를 갖는 종래의 IPS 모드 액정표시장치에 형성되는 게이트 라인 및 데이터 라인들의 간격보다 넓게 형성된다. 종래 장치의 경우, 게이트 라인과 데이터 라인의 교차 영역에 하나의 화소를 형성하였으나, 본 발명의 경우 상기한 바와 같이 게이트 라인과 데이터 라인의 교차 영역에 2개 이상, 바람직하게는 4개의 화소를 형성하기 때문에 게이트 라인과 데이터 라인의 간격을 넓게 형성할 수 있다. 이와 같이 게이트 라인과 데이터 라인의 간격을 넓게 형성할 경우, 배선에 의한 개구율 저하를 최소화할 수 있다는 장점이 있다.
- [0030] 또한, 본 발명의 상부 기관은 게이트 라인과 데이터 라인이 교차되어 형성되는 영역에 화소가 형성되지 않은 제1비화소 영역(174)을 포함한다. 이때, 상기 제1비화소 영역(174)은 상기 제1화소 영역(172)과 교대로 형성된다. 이를 위해, 상기 제1비화소 영역(174)은, 상기 제1화소 영역(172)을 구획하는 제1데이터 라인과 인접하는 데이터 라인과 제1게이트 라인이 교차하면서 구획되는 영역에 형성된다. 이때, 상기 제1데이터 라인과 인접하는 데이터 라인은, 제1화소 영역(172)을 감싸는 데이터 라인과 이웃하게 배치된 데이터 라인을 의미한다. 일반적으로 종래의 TFT 기관의 경우 표시부에 존재하는 게이트 라인과 데이터 라인의 교차부에는 모두 화소가 형성되었던 것에 비해, 본 발명의 액정표시장치는 상부 기관과 하부 기관 모두에 화소가 형성되기 때문에, 화소 영역(172)과 비화소 영역(174)이 번갈아 가면서 형성함으로써, 상부 기관의 화소 영역과 하부 기관의 화소 영역이 중첩되지 않도록 한다.
- [0031] 다음으로, 상기 하부 기관(200)은, 도 6에 도시된 바와 같이, 기관(210) 상에 제2게이트 라인들(220), 제2데이터 라인들(260), 제2화소 영역(272) 및 제2공통 전극(280)을 포함한다.
- [0032] 상기 제2게이트 라인(220)과 제2데이터 라인(260)은 서로 수직으로 교차하도록 형성되며, 상기 제2게이트 라인(220)과 제2데이터 라인(260)의 교차 영역에는 제2화소 영역(272)이 형성된다.
- [0033] 이때, 상기 제2화소 영역(272)은, 상부 기관의 제1화소 영역(172)와 중첩되지 않도록 형성된다. 보다 구체적으로는, 상기 제2화소 영역(272)은 상기 제1비화소 영역(174)에 대응되는 위치에 형성된다.
- [0034] 상기 제2화소 영역(272)은 제1화소 영역(172)과 마찬가지로, 복수개의 화소들(270)을 포함할 수 있으며, 이에 따라, 제2게이트 라인(220)들 사이의 간격 및 제2데이터 라인(260)들 사이의 간격을, 동일 크기의 화소를 갖는 종래의 IPS 모드 액정표시장치에 형성되는 게이트 라인 및 데이터 라인들의 간격보다 넓게 형성함으로써 개구율을 향상시킬 수 있다.
- [0035] 한편, 상기 각각의 화소(270)은 하부 기관 상에 형성되는 박막 트랜지스터와, 상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극으로 구성될 수 있다. 한편, 상기와 같은 화소(270) 들로 구성된 제2화소 영역(272)의 상부에는 제2공통 전극(280)이 형성된다. 박막 트랜지스터와 화소 전극 및 공통 전극들은 상기 상부 기관에서 설명한 것과 동일하므로, 구체적인 설명은 생략한다.
- [0036] 한편, 상기 제2게이트 라인(220) 및 제2데이터 라인(260)은 다수의 금속선들이 서로 평행하게 배열된 형태로 형성되며, 바람직하게는, 상기 제1게이트 라인(120) 및 제1데이터 라인(160)과 중첩되도록 형성되며, 더 바람직하게는 상기 제1게이트 라인(120) 및 제1데이터 라인(160)과 동일한 위치에 형성된다. 이와 같이 형성할 경우, 전

체 표시 패널에서 게이트 라인과 데이터 라인이 차지하는 면적을 최소화할 수 있어 개구율을 보다 향상시킬 수 있기 때문이다. 또한, 상부 기관에 형성된 제1게이트 라인과 제1데이터 라인이 블랙 매트릭스와 같은 역할을 수행하게 되어 블랙 매트릭스를 형성하지 않아도 된다는 장점이 있다.

[0037] 또한, 본 발명의 하부 기관은 게이트 라인과 데이터 라인이 교차되어 형성되는 영역에 화소가 형성되지 않은 제2비화소 영역(274)을 포함한다. 이때, 상기 제2비화소 영역(274)은 상기 제2화소 영역(272)과 교대로 형성된다. 이를 위해, 상기 제2비화소 영역(274)은, 상기 제2화소 영역(272)을 구획하는 제2데이터 라인과 인접하는 데이터 라인과 제2게이트 라인이 교차하면서 구획되는 영역에 형성된다. 이때, 상기 제2데이터 라인과 인접하는 데이터 라인은, 상기 제2화소 영역을 감싸는 데이터 라인과 이웃하게 배치된 데이터 라인을 의미한다. 상기한 바와 같이, 화소 영역과 비화소 영역이 번갈아 가면서 형성함으로써, 상부 기관의 화소 영역과 하부 기관의 화소 영역이 중첩되지 않도록 할 수 있다. 이를 위해, 상기 제2비화소 영역(274)은 상기 제1비화소 영역(272)과 중첩되지 않도록 형성된다.

[0038] 다음으로, 상기 액정층(L)은 상부 기관(100)과 하부 기관(200) 사이에 협지되며 액정들로 구성된다. 한편, 상기 상부 기관(100)과 액정층(L) 사이 및/또는 상기 하부 기관(200)과 액정층(L) 사이에는 액정을 배향하기 위한 배향막(150, 250)이 형성된다. 본 발명에 있어서, 상기 액정층(L)은 공통 전극과 화소 전극 사이에 인가되는 수평 전계에 의해 구동되는 횡전계 방식의 액정층이다.

[0039] 상기와 같은 구조를 갖는 본 발명의 액정표시장치는, 상부 기관과 하부 기관에 화소를 번갈아 가면서 형성하고, 상부 기관과 하부 기관에 게이트 라인과 데이터 라인을 중첩되게 형성함으로써 블랙 매트릭스를 형성할 필요가 없을 뿐 아니라, 배선 형성 면적도 종래에 비해 작게 형성할 수 있다. 그 결과, 본 발명에 따른 액정표시장치는, 종래의 액정표시장치들에 비해 매우 우수한 투과율을 갖는다. 구체적으로는, 본 발명의 액정표시장치는 70% 이상의 개구율, 바람직하게는 80% 이상의 개구율을 갖는다. 종래의 IPS 모드 액정표시장치들의 개구율이 50~60% 수준이었음을 감안할 때, 개구율이 20% 이상 향상됨을 알 수 있다.

[0040] 다음으로, 본 발명의 IPS 모드 액정표시장치의 제조 방법에 대해 설명한다.

[0041] 본 발명의 IPS 모드 액정표시장치의 제조 방법은 상부 기관을 형성하는 단계, 하부 기관을 형성하는 단계 및 상기 상부 기관과 하부 기관을 합착한 후 액정을 주입하여 액정층을 형성하는 단계를 포함한다.

[0042] 이때, 상기 상부 기관과 하부 기관은 상기에서 설명한 바와 동일하다. 즉, 상기 상부 기관은 서로 수직하게 교차되는 제1게이트 라인과 제1데이터 라인, 상기 제1게이트 라인과 제1데이터 라인의 교차 영역에 구비되는 제1화소 영역, 상기 제1화소 영역 상에 구비되는 제1공통 전극을 포함하고, 상기 하부 기관은, 서로 수직하게 교차되는 제2게이트 라인과 제2데이터 라인, 상기 제2게이트 라인과 제2데이터 라인의 교차 영역에 구비되는 제2화소 영역, 상기 제2화소 영역 상에 구비되는 제2공통 전극을 포함한다.

[0043] 도 9a 내지 도 9c에는 상기와 같은 상부 기관 및 하부 기관을 형성하는 과정이 도시되어 있다.

[0044] 먼저, 도 9a에 도시된 바와 같이, 기관 상에 게이트 라인(120) 및 게이트 전극(122)을 형성한다. 이때, 상기 게이트 라인(120) 및 게이트 전극(122)은, 티타늄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 또는 몰리브덴(Mo) 등과 같은 불투명 재료의 금속으로 형성될 수 있다.

[0045] 다음으로, 도 9b에 도시된 바와 같이, 데이터 라인(160)과 화소 영역(172)을 형성한다. 이때, 상기 데이터 라인(160)은 게이트 라인(120)과 수직으로 교차되도록 형성되며, 상기 게이트 라인(120)과 데이터 라인(160)의 교차 영역에 화소 영역(172)과 비화소 영역(174)이 교대로 존재하도록 화소 영역을 형성한다.

- [0046] 또한, 상기 화소 영역(172)은 복수개의 화소(170)들을 포함하도록 형성된다.
- [0047] 한편, 상기 각각의 화소(170)는 당해 기술 분야에 일반적으로 알려져 있는 화소 형성방법을 이용해 형성될 수 있다. 예를 들면, 상기 화소(170)는 상기 게이트 전극(122) 상에 박막 트랜지스터 및 화소 전극을 형성하는 방법으로 형성될 수 있다. 보다 구체적으로는, 상기 게이트 전극 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 위에 반도체층을 형성한다. 상기 반도체층 상에 금속층을 증착한 후 이를 식각하여 소스 전극, 드레인 및 데이터 라인을 형성한다. 이때, 상기 소스 전극, 드레인 전극 및 데이터 라인은 티타늄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 또는 몰리브덴(Mo) 등과 같은 불투명 재질의 금속으로 형성될 수 있다. 그런 다음, 상기 데이터 라인, 소스 전극, 드레인 전극의 상부에 층간 절연막을 형성한다. 이때, 상기 층간 절연막은 실리콘 질화물(SiNx)이나 실리콘 산화물(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질로 형성될 수 있다.
- [0048] 다음으로, 상기 층간 절연막에 화소 콘택홀을 형성하여 드레인 전극의 일부를 노출시키고, 상기 화소 콘택홀과 층간 절연막의 상부에 화소 전극을 형성하여 화소(170)를 형성한다. 이때, 상기 화소 전극은 ITO 또는 ITZO와 같은 투명 도전 물질로 형성될 수 있다.
- [0049] 다음으로, 도 9c에 도시된 바와 같이, 화소 영역(172) 상부에 ITO 또는 ITZO와 같은 투명 도전 물질을 도포한 후 패터닝하여 공통 전극(180)을 형성한다. 도면에는 공통 전극(180)이 게이트 라인(120)과 평행한 방향으로 연장된 슬릿 형상으로 도시되어 있으나, 이에 한정되는 것은 아니며, 다양한 형태 및 배치로 형성될 수 있다.
- [0050] 상부 기판 및 하부 기판은 각각 상기와 같은 과정을 거쳐 형성될 수 있다. 이때, 상기 상부 기판과 하부 기판 제조 시에 상기 제1화소 영역과 제2화소 영역이 서로 중첩되지 않도록 형성되어야 한다.
- [0051] 한편, 상기 상부 기판 상에 형성되는 제1게이트 라인들과 상기 하부 기판 상에 형성되는 제2게이트 라인들은, 상부 기판과 하부 기판 합착 후에 중첩되도록 형성되는 것이 바람직하다. 보다 바람직하게는, 상부 기판과 하부 기판을 합착하였을 때, 상기 제1게이트 라인과 제2게이트 라인의 위치가 일치하도록 형성되는 것이 좋다.
- [0052] 또한, 상기 상부 기판 상에 형성되는 제1데이터 라인들과 상기 하부 기판 상에 형성되는 제2데이터 라인들은 상부 기판과 하부 기판 합착 후에 중첩되도록 형성되는 것이 바람직하다. 보다 바람직하게는, 상부 기판과 하부 기판을 합착하였을 때, 상기 제1게이트 라인과 제2게이트 라인의 위치가 일치하도록 형성되는 것이 좋다.
- [0053] 상기와 같은 과정을 거쳐 상부 기판 및 하부 기판이 형성되면 실링 부재 등을 이용하여 상기 상부 기판과 하부 기판을 합착하고, 상기 상부 기판과 하부 기판 사이에 액정을 주입하여 액정층을 형성한다. 상기 액정층의 형성은 당해 기술 분야에 알려져 있는 일반적인 방법들을 이용하여 수행될 수 있으며, 특별히 한정되지 않는다.
- [0054] 한편, 상기 상부 기판과 하부 기판의 합착하기 전에 상기 상부 기판 및 하부 기판에 각각 상부 배향막과 하부 배향막을 형성하는 단계를 실시할 수 있다. 상기 배향막 형성은 당해 기술 분야에 알려져 있는 일반적인 방법들을 이용하여 수행될 수 있으며, 특별히 한정되지 않는다.

부호의 설명

- [0055] 100 : 상부 기판
- 110, 210 : 기판
- 120, 220 : 제1게이트 라인
- 160 , 260: 데이터 라인

170 , 270: 화소

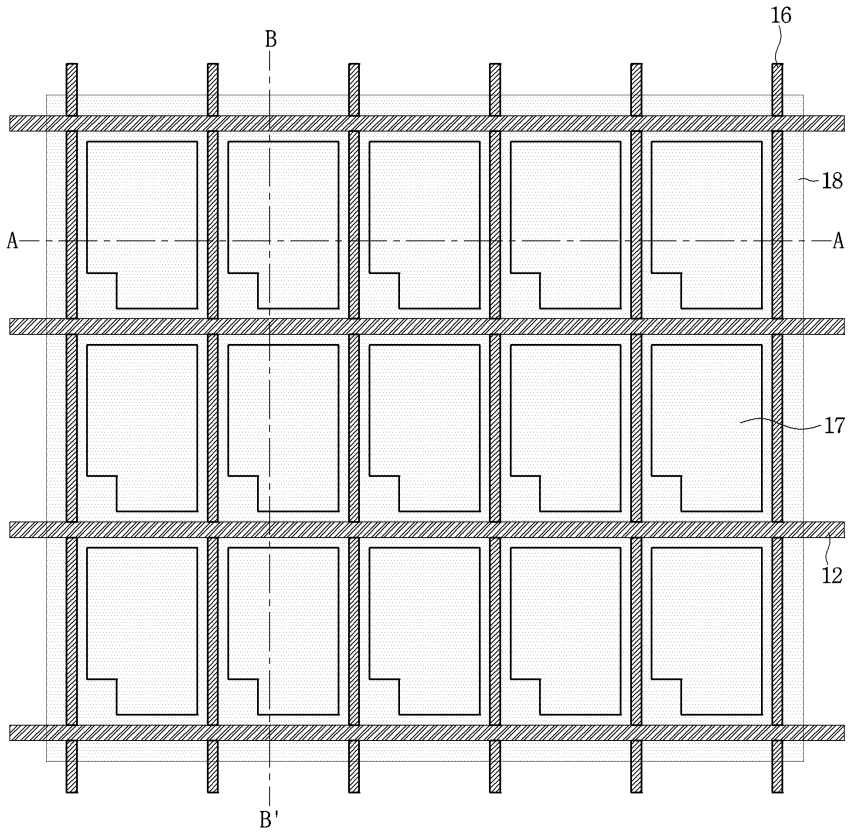
172, 272 : 화소 영역

174, 274 : 비화소영역

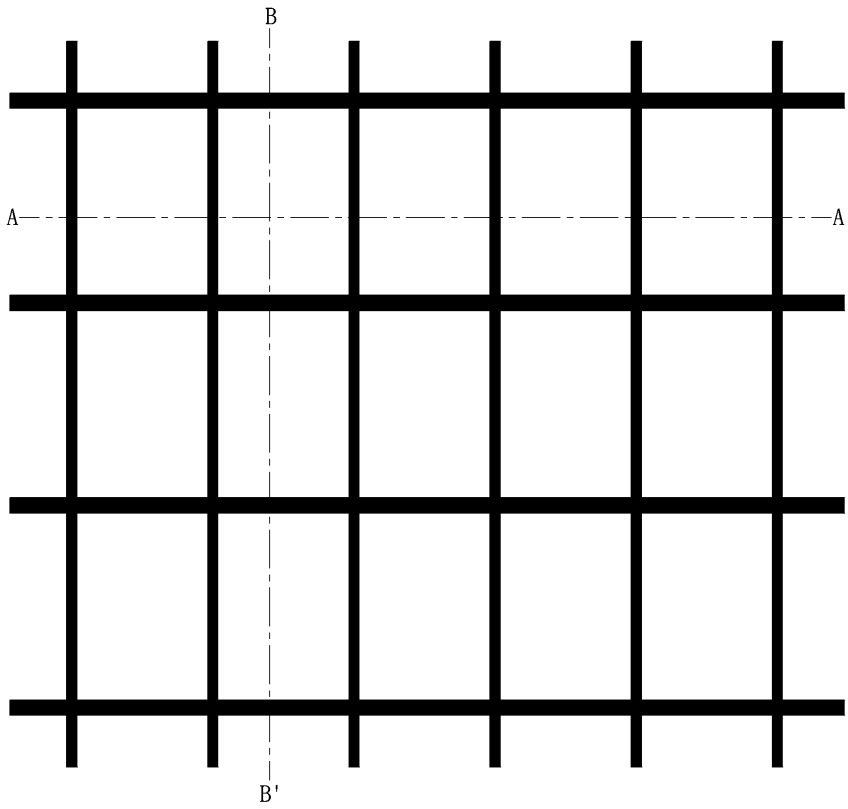
180, 280 : 공통 전극

도면

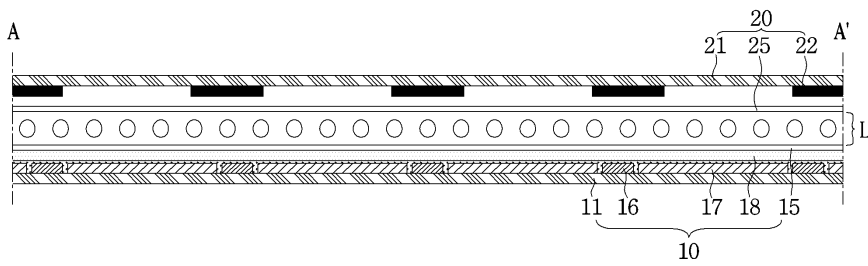
도면1



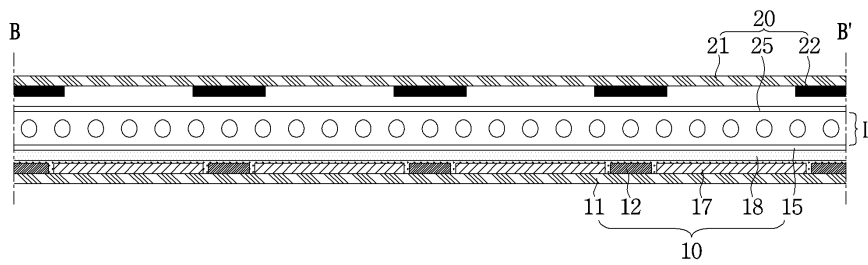
도면2



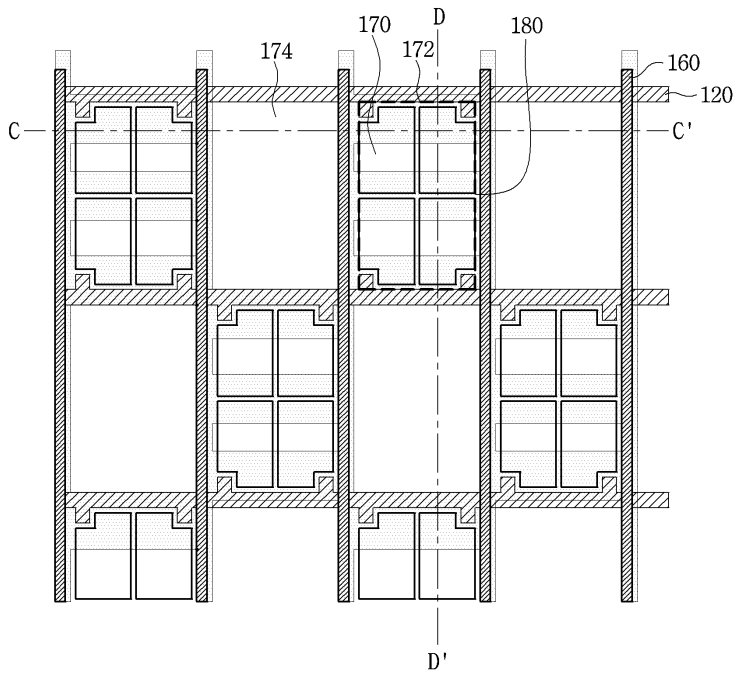
도면3



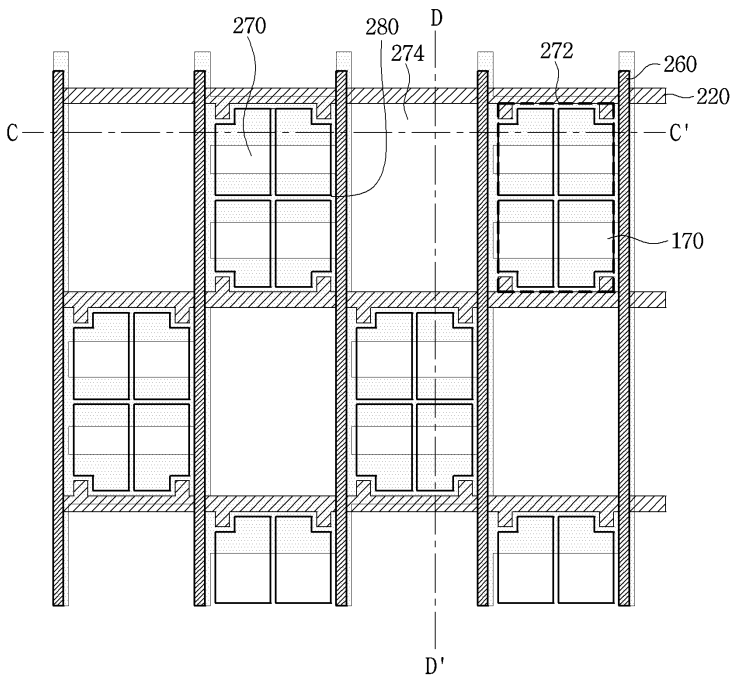
도면4



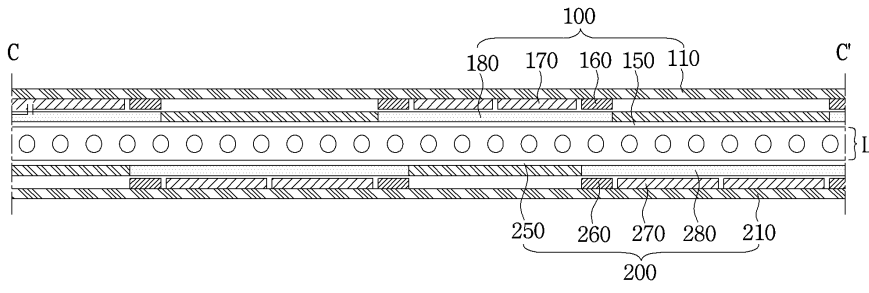
도면5



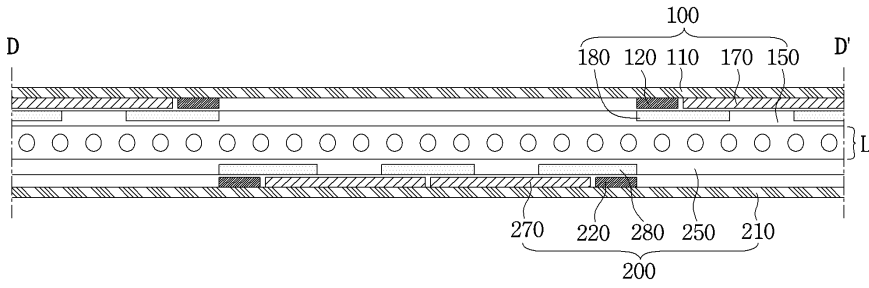
도면6



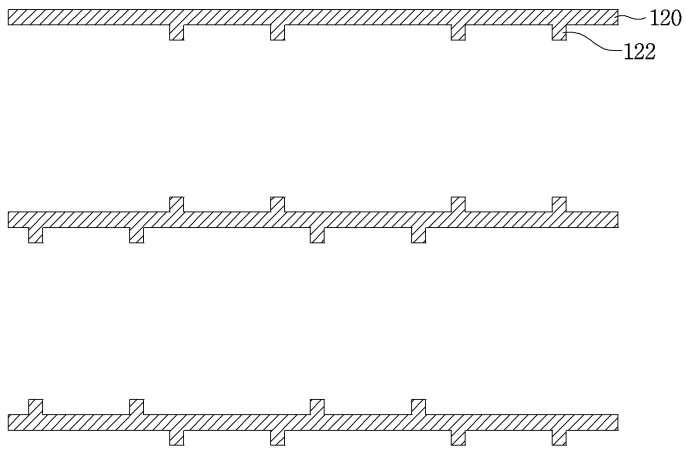
도면7



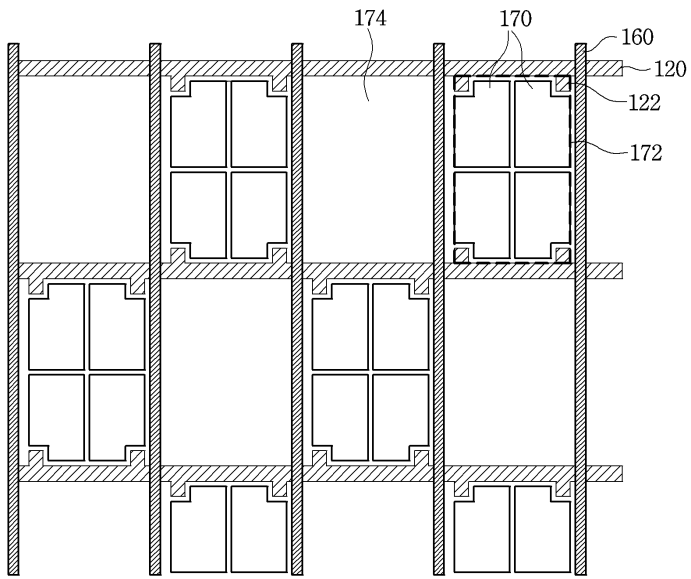
도면8



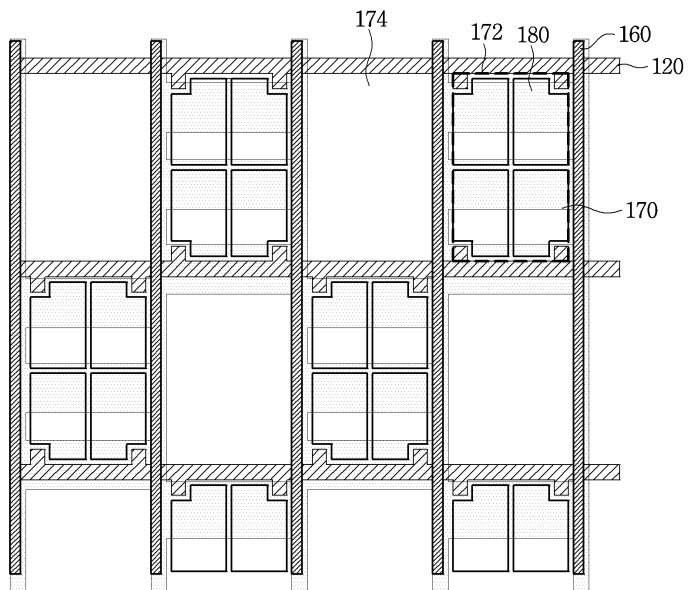
도면9a



도면10



도면11



专利名称(译)	标题：横向电场液晶显示装置及其制造方法		
公开(公告)号	KR1020160072316A	公开(公告)日	2016-06-23
申请号	KR1020140179167	申请日	2014-12-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JUNG MIN 최정민 JIN HYE JUNG 진혜정		
发明人	최정민 진혜정		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1343		
CPC分类号	G02F1/1362 G02F1/1368 G02F1/1343 Y10S359/90		
代理人(译)	金kimoon		
外部链接	Espacenet		

摘要(译)

本发明涉及开口率是改进的IPS模式液晶显示装置及其制造方法，根据本发明的IPS模式液晶显示装置包括夹在下板（包括上板）之间的液晶层，第二公共电极，配备于第二像素区域，所述第二像素区域配备于所述第二栅极线，所述第二数据线包括所述第一栅极线和所述第一数据线，所述第一像素区域配备于所述第一数据线与所述第一数据线的交叉域中栅极线，以及配备在第一像素区域和上板和下板上的第一公共电极。第一条栅极线和第一条数据线垂直交叉。配备在第二像素区域上的第二公共电极与第二数据线和第二栅极线以及第二像素区域垂直交叉，第二数据线和第二数据线垂直交叉。此时，配备第一像素区域和第二像素区域不重叠。

