



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0033287

(43) 공개일자 2016년03월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/1362 (2006.01)
(21) 출원번호 10-2014-0123380
(22) 출원일자 2014년09월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
남유성
경기 광명시 하안로 198, 203동 2401호 (소하동, 동양2차아파트)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 4 항

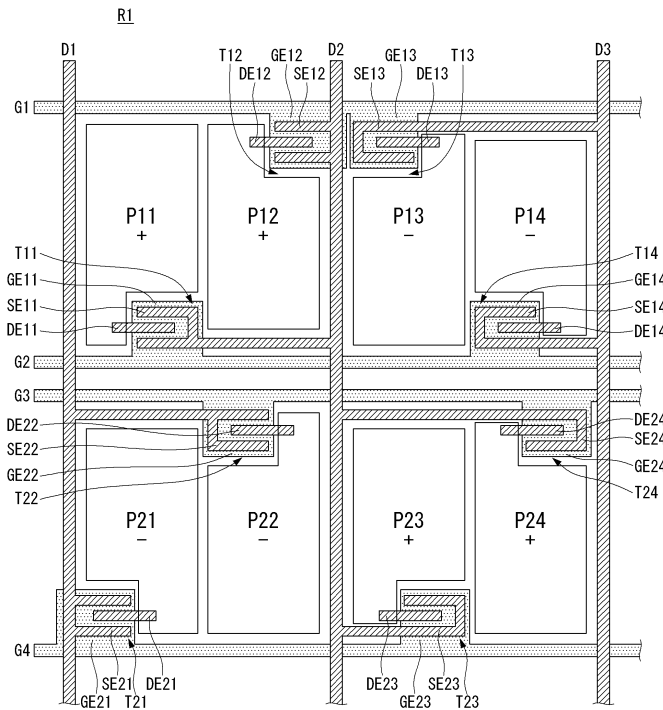
(54) 발명의 명칭 액정 표시장치

(57) 요약

본 발명은 액정 표시장치의 액정 셀들 각각의 데이터 충전량을 균일하게 함으로써 휘도 불균일, 색왜곡 등의 화질 저하를 방지하는 동시에 박막 트랜지스터의 기생용량 증가와 개구율을 감소시키지 않는 액정 표시장치를 제공하기 위한 것으로, 액정 셀들이, 서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어

(뒷면에 계속)

대표도 - 도5



도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치된다. 이 액정 셀들에는 박막 트랜지스터들을 통해 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압이 공급되고, 각 데이터 라인 양측의 상이한 수평 표시라인에 위치한 박막 트랜지스터들이 지그재그 형태로 각 데이터 라인에 접속된다. 인접한 수평 표시라인들에서 동일 데이터 라인에 접속되는 박막 트랜지스터들은 제1 오목부를 갖는 제1 소스전극과, 제1 소스전극의 제1 오목부에 삽입되는 제1 드레인 전극과, 제1 소스전극 및 제1 드레인 전극과 중첩되는 제1 게이트 전극을 포함한다. 또한, 동일 데이터 라인에 인접한 데이터 라인에 접속되는 박막 트랜지스터들은 제1 오목부와 반대방향으로 형성된 제2 오목부를 갖는 제2 소스전극과, 제2 소스전극의 제2 오목부에 삽입되는 제2 드레인 전극과, 제2 소스전극 및 제2 드레인 전극과 중첩되는 제2 게이트 전극을 포함한다.

명세서

청구범위

청구항 1

서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치되는 액정 셀들에, 박막 트랜지스터들을 통해 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압이 공급되고, 각 데이터 라인 양측의 상이한 수평 표시라인에 위치한 박막 트랜지스터들이 지그재그 형태로 상기 각 데이터 라인에 접속되는 액정 표시장치에 있어서,

인접한 수평 표시라인들에서 동일 데이터 라인에 접속되는 박막 트랜지스터들은 제1 오목부를 갖는 제1 소스전극과, 상기 제1 소스전극의 제1 오목부에 삽입되는 제1 드레인 전극과, 상기 제1 소스전극 및 제1 드레인 전극과 중첩되는 제1 게이트 전극을 포함하고,

상기 동일 데이터 라인에 인접한 데이터 라인에 접속되는 박막 트랜지스터들은 상기 제1 오목부와 반대방향으로 형성된 제2 오목부를 갖는 제2 소스전극과, 상기 제2 소스전극의 제2 오목부에 삽입되는 제2 드레인 전극과, 상기 제2 소스전극 및 제2 드레인 전극과 중첩되는 제2 게이트 전극을 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 2

제1 항에 있어서,

상기 데이터 라인들 중 서로 이웃하는 데이터 라인들 사이에는 2개의 액정 셀이 배치되고, 상기 2개의 액정 셀은 상이한 게이트 전압에 의해 순차적으로 구동되고, 상기 2개의 액정 셀에는 동일한 데이터 라인으로부터 동일 극성의 데이터 전압이 충전되는 것을 특징으로 하는 액정 표시장치.

청구항 3

서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치되는 액정 셀들에, 박막 트랜지스터들을 통해 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압이 공급되고, 각 데이터 라인 양측의 상이한 수평 표시라인에 위치한 박막 트랜지스터들이 지그재그 형태로 상기 각 데이터 라인에 접속되는 액정 표시장치에 있어서,

인접한 수평 표시라인들에서 동일 데이터 라인에 접속되는 박막 트랜지스터들은 서로 반대방향으로 형성된 오목부들을 갖는 소스전극들과, 상기 제1 및 제2 오목부들에 각각 삽입되는 제1 및 제2 드레인 전극들과, 상기 제1 및 제2 소스전극들과 제1 및 제2 드레인 전극들에 각각 중첩되는 제1 및 제2 게이트 전극을 포함하고,

동일 수평 표시라인에 배치되는 박막 트랜지스터들의 오목부들은 1개 또는 2개의 단위로 반대 방향으로 배치되는 것을 특징으로 하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

동일 수직 표시라인에 배치되는 박막 트랜지스터의 오목부는 서로 반대 방향으로 배치되는 것을 특징으로 하는 액정 표시장치.

발명의 설명

기술분야

[0001] 본 발명은 액정 표시장치에 관한 것으로, 보다 구체적으로 Z-인버전 방식의 액정 표시장치에 관한 것이다.

배경기술

[0002] 최근, 표시장치 중 우수한 화질과 경량, 박형, 저전력의 특징으로 액정 표시장치가 많이 이용되고 있다. 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광 투과율을 제어함으로써 화상을 표시한다. 액정 표시장치는 액정 셀들이 매트릭스 형태로 배열된 액정패널과, 액정패널을 구동하기 위한 구동부를 구비한다.

[0003] 액정 패널은 박막 트랜지스터(Thin Film Transistor) 어레이 기판과 컬러필터 어레이 기판을 포함한다. 박막 트랜지스터 어레이 기판은 게이트 전극, 반도체층, 소스전극 및 드레인 전극을 포함하는 박막 트랜지스터와, 박막 트랜지스터에 연결된 화소전극과, 화소전극과 대향 배치되며 화소전극과의 사이에 전계를 형성하기 위한 공통전극을 포함한다. 컬러필터 어레이 기판은 컬러필터와 블랙 매트릭스를 포함한다.

[0004] 이와 같이 구성된 액정 표시장치는 액정의 열화를 방지함과 동시에 표시품질을 향상시키기 위해 액정 패널을 인버전 방식으로 구동한다. 인버전 구동방식으로는 프레임 인버전 방식(frame inversion method), 라인 인버전 방식(line inversion method), 컬럼 인버전 방식(column inversion method), 도트 인버전 방식(dot inversion method), Z-인버전 방식(Z-inversion method) 등이 있다.

[0005] 이들 인버전 구동방식 중 Z-인버전 방식은 박막 트랜지스터와 화소전극이 데이터 라인을 따라 좌측과 우측에 번갈아 배치되는 지그재그 형태로 배열되어 있는 데이터 라인들에 컬럼 인버전 방식으로 화소신호를 공급하는 방법이다. 즉, Z-인버전 방식은 컬럼 인버전 방식의 개선된 구조로서, 회로 구동방식은 컬럼 인버전 방식을 이용하고 있으나, 액정패널의 박막 트랜지스터의 방향을 각 라인 마다 반대로 형성하여 화면표시는 도트 인버전 방식과 동일하게 구현하는 방식이다. Z-인버전 방식에 따르면 도트 인버전 방식과 유사한 효과를 가지면서 소비전력을 현저하게 절감할 수 있다.

[0006] 이하, 도 1 및 도 2를 참조하여 종래의 Z-인버전 방식 방식의 액정 표시장치에 대해 설명하기로 한다. 도 1은 종래의 Z-인버전 방식 방식의 화소 어레이를 도시한 평면도이고, 도 2는 도 1의 화소 어레이를 보다 구체적으로 도시한 평면도이다.

[0007] 도 1 및 도 2를 참조하면, 종래의 액정 표시장치의 박막 트랜지스터 어레이 기판은 서로 교차되도록 배치된 복수의 게이트 라인들(G1, G2)과 복수의 데이터 라인들(D1, D2, D3)을 포함한다.

[0008] 복수의 게이트 라인들(G1, G2)과 복수의 데이터 라인들(D1, D2, D3)의 교차에 의해 화소영역이 정의되며, 각 화소영역에는 화소전극(P1, P2, P3, P4)이 배치된다.

[0009] 복수의 게이트 라인들(G1, G2)과 복수의 데이터 라인들(D1, D2, D3)이 교차되는 영역에는 박막 트랜지스터들이(TFT1, TFT2, TFT3, TFT4)가 배치된다. 이들 박막 트랜지스터(TFT1, TFT2, TFT3, TFT4)는 데이터 라인(DL1, DL2, DL3)을 따라 좌측과 우측에 번갈아 배치되는 지그재그 형태로 배열된다.

[0010] 각 박막 트랜지스터(TFT1, TFT2, TFT3, TFT4)의 게이트 전극(GE)은 게이트 라인(G1)으로부터 연장되고, 소스전극(SE)은 데이터 라인(D1)으로부터 연장되며, "ㄷ"자형으로 형성된다. 각 박막 트랜지스터(TFT)의 드레인 전극(DE)은 "ㄷ"자형 소스전극(SE)으로 삽입되어 게이트 전극(GE)과 중첩되는 제 1 부분과, 화소전극(P1)에 접속되는 제 2 부분과, 게이트 라인(G1)으로부터 화소영역으로 연장되는 보상패턴(CP)과 중첩되는 제 3 부분을 포함한다.

[0011] 일반적으로 Z-인버전 방식의 액정 표시장치의 경우, 박막 트랜지스터 어레이 기판의 제조공정에서, 게이트 라인들(GL1, GL2), 게이트 전극들(GE)의 형성을 위한 게이트 레이어(gate layer)과, 데이터 라인들(DL1, DL2, DL3), 소스전극들(SE) 및 드레인 전극들(DE)의 형성을 위한 소스/드레인 레이어(source and drain layer) 형성시 공정 편차가 발생할 수 있다. 이러한 공정편차에 의해 게이트 레이어와 소스/드레인 레이어 사이에 시프트(shift)가 발생하는 경우, 수평방향을 따라 배치된 박막 트랜지스터들(TFT1, TFT2, 또는 TFT3, TFT4)의 기생용량 Cgs(게이트 전극과 드레인 전극의 중첩에 의한 기생용량)에 차이가 발생하게 된다. 즉, 게이트 레이어에 대해 소스/드레인 레이어가 시프트되었다고 가정하면 박막 트랜지스터의 게이트 전극과 소스 및 드레인 전극 사이의 중첩도가 변경되므로 각 수평 표시라인에 배치되는 박막 트랜지스터(TFT1, TFT2; TFT3, TFT4)의 기생용량이

증가하거나 감소하는 쪽으로 변동이 발생한다.

- [0012] 이러한 기생용량 Cgs의 변동은 각 화소영역별로 킥백 전압(kick back voltage, ΔV_p)의 차이를 발생시키므로, 잔상이나 플리커와 같은 화질저하 현상을 일으킨다.
- [0013] 도 1 및 도 2에 도시된 Z-인버전 방식의 액정 표시장치에서는 게이트 라인(G1, G2)으로부터 연장되는 보상패턴(CP)이 형성되어 있으므로, 공정편차에 의해 게이트 레이어와 소스/드레인 레이어 사이에 시프트(shift)가 발생되더라도 보상패턴(CP)에 의해 기생용량이 일정하게 유지된다.
- [0014] 그러나, 보상패턴(CP)을 형성할 경우, 기생용량 Cgs의 절대값이 증가하여 플리커 현상이 발생하고, 또한 보상패턴(CP)이 차지하는 영역들(a1, a2, a3, a4) 때문에 개구율이 감소된다는 문제점이 있었다.
- [0015] 따라서, 박막 트랜지스터의 기생용량의 절대값을 증가시키지 않고 개구율도 감소시키지 않는 액정 표시장치의 화소 어레이에 대한 필요성이 제기되었다.

[0016]

발명의 내용

해결하려는 과제

- [0017] 본 발명의 목적은 액정 표시장치의 액정 셀들 각각의 데이터 충전량을 균일하게 함으로써 휘도 불균일, 색왜곡 등의 화질 저하를 방지하는 동시에 박막 트랜지스터의 기생용량 증가와 개구율을 감소시키지 않는 액정 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

- [0018] 상기 목적 달성을 위한 본 발명의 액정 표시장치는 액정 셀들이, 서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치된다. 이 액정 셀들에는 박막 트랜지스터들을 통해 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압이 공급되고, 각 데이터 라인 양측의 상이한 수평 표시라인에 위치한 박막 트랜지스터들이 지그재그 형태로 각 데이터 라인에 접속된다. 인접한 수평 표시라인들에서 동일 데이터 라인에 접속되는 박막 트랜지스터들은 제1 오목부를 갖는 제1 소스전극과, 제1 소스전극의 제1 오목부에 삽입되는 제1 드레인 전극과, 제1 소스전극 및 제1 드레인 전극과 중첩되는 제1 게이트 전극을 포함한다. 또한, 동일 데이터 라인에 인접한 데이터 라인에 접속되는 박막 트랜지스터들은 제1 오목부와 반대방향으로 형성된 제2 오목부를 갖는 제2 소스전극과, 제2 소스전극의 제2 오목부에 삽입되는 제2 드레인 전극과, 제2 소스전극 및 제2 드레인 전극과 중첩되는 제2 게이트 전극을 포함한다.
- [0019] 데이터 라인들 중 서로 이웃하는 데이터 라인들 사이에는 2개의 액정 셀이 배치되고, 상기 2개의 액정 셀은 상이한 게이트 전압에 의해 순차적으로 구동되고, 상기 2개의 액정 셀에는 동일한 데이터 라인으로부터 동일 극성의 데이터 전압이 충전된다.
- [0020] 상기 목적 달성을 위한 본 발명의 다른 액정 표시장치는, 액정 셀들이 서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치된다. 이 액정 셀들에는, 박막 트랜지스터들을 통해 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압이 공급되고, 각 데이터 라인 양측의 상이한 수평 표시라인에 위치한 박막 트랜지스터들이 지그재그 형태로 상기 각 데이터 라인에 접속된다. 인접한 수평 표시라인들에서 동일 데이터 라인에 접속되는 박막 트랜지스터들은 서로 반대방향으로 형성된 오목부들을 갖는 소스전극들과, 상기 제1 및 제2 오목부들에 각각 삽입되는 제1 및 제2 드레인 전극들과, 상기 제1 및 제2 소스전극들과 제1 및 제2 드레인 전극들에 각각 중첩되는 제1 및 제2 게이트 전극을 포함하고, 동일 수평 표시라인에 배치되는 박막 트랜지스터들의 오목부들은 1개 또는 2개의 단위로 반대 방향으로 배치된다.
- [0021] 동일 수직 표시라인에 배치되는 박막 트랜지스터의 오목부는 서로 반대 방향으로 배치된다.

발명의 효과

- [0022] 본 발명에 따르는 액정 표시장치에 의하면, 하나의 데이터 라인에 연결된 액정 셀들에 충전되는 데이터전압들의 극성이 동일하므로 소스 드라이브 IC의 소비전력을 줄일 수 있음은 물론, 액정 셀들 각각의 데이터 충전량을 균일하게 할 수 있으므로 데이터 충전량의 불균일로 인하여 초래되는 휘도 불균일, 색왜곡 등의 화질 저하를 방지하는 효과를 얻을 수 있다.
- [0023] 또한, 액정 표시장치의 화소 어레이에 배치된 박막 트랜지스터들이 수평방향과 수직방향에서 기생용량의 변동량이 상쇄되도록 구성되므로, 박막 트랜지스터의 제조공정에서 공정편차에 기인한 오버레이 어긋남이 발생하더라도 기생용량의 차이로 인한 잔상이나 플리커와 같은 화질저하 현상을 방지할 수 있는 효과를 얻을 수 있다.
- [0024] 또한, 공정편차에 기인한 박막 트랜지스터의 기생용량의 변동을 보상하기 위한 보상패턴이 불필요하므로 액정 표시장치의 개구율을 높일 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0025] 도 1은 종래의 Z-인버전 방식의 화소 어레이를 개략적으로 도시한 평면도,
 도 2는 도 1의 화소 어레이를 보다 구체적으로 도시한 구성도,
 도 3은 본 발명의 실시예에 따른 액정표시장치를 도시한 블록도,
 도 4는 본 발명의 제 1 실시예에 따르는 액정 표시장치의 화소 어레이를 도시한 회로도,
 도 5는 도 4에 도시된 영역 R2에 배치된 화소전극들과 박막 트랜지스터의 관계를 도시한 평면도,
 도 6은 본 발명의 제 2 실시예에 따르는 액정 표시장치의 화소 어레이를 도시한 회로도,
 도 7은 도 6에 도시된 영역 R3에 배치된 화소전극들과 박막 트랜지스터의 관계를 도시한 평면도..

발명을 실시하기 위한 구체적인 내용

- [0026] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0027] 도 3을 참조하여 본 발명의 실시예에 따르는 액정 표시장치에 대해 상세히 설명하기로 한다. 도 3은 본 발명의 실시예에 따른 액정 표시장치를 도시한 블록도이다.
- [0028] 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시장치는 화소 어레이(10)가 형성된 액정표시패널, 소스 드라이브 IC(12), 및 타이밍 컨트롤러(11)를 구비한다. 액정표시패널의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0029] 액정표시패널은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널에는 화소 어레이(10)가 형성된다. 화소 어레이(10)는 데이터 라인들과 데이터 라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정 셀들을 포함하며, 데이터를 표시한다. 화소 어레이(10)의 하부 유리기관에는 데이터 라인들, 데이터 라인들, 박막 트랜지스터들(Thin Film Transistors, TFTs), 박막 트랜지스터에 접속된 액정 셀의 화소전극, 및 액정 셀의 화소전극에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 화소 어레이(10)의 액정 셀들 각각은 박막 트랜지스터를 통해 데이터전압을 충전하는 화소전극과 공통전압이 인가되는 공통전극의 전압차에 의해 구동되어 빛의 투과량을 조정함으로써 데이터를 표시한다. 화소 어레이(10)의 구체적인 구조에 대하여는 도 4를 참조하여 상세히 설명하기로 한다.
- [0030] 액정표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기관 상에 형성된다.
- [0031] 액정표시패널의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

- [0032] 본 발명의 액정 표시장치는 TN 모드(Twisted Nematic mode), VA 모드(Vertical Alignment mode), IPS 모드(In Plane Switching mode), FFS 모드(Fringe Field Switching mode)뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 본 발명의 액정 표시장치는 투과형 액정 표시장치, 반투과형 액정 표시장치, 반사형 액정 표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정 표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0033] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 액정표시패널의 하부 유리기관에 접합되고, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리기관 상에 접촉될 수도 있다. 소스 드라이브 IC들(12) 각각의 데이터 출력채널들은 화소 어레이(10)의 데이터 라인들에 1:1로 접속된다.
- [0034] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터를 입력받는다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 출력채널들을 통해 화소 어레이(10)의 데이터 라인들(DL)에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 이웃한 데이터 라인들(DL)에 서로 상반된 극성의 데이터 전압들을 공급하고, 각각의 데이터 라인들(DL)에 공급되는 데이터전압의 극성을 1 프레임기간 동안 동일하게 유지한다. 따라서, 소스 드라이브 IC들(12)은 도 4에 도시된 바와 같이 극성이 컬럼 인버전 형태로 반전되는 데이터전압들을 출력한다.
- [0035] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터의 게이트 타이밍 제어신호에 응답하여 화소어레이의 데이터 라인들(GL)에 게이트펄스(또는 스캔펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리기관에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(10)와 동시에 하부 유리기관 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 2와 같이 화소 어레이(10)의 양측에 배치되거나 화소 어레이(10)의 일측에 배치될 수 있다.
- [0036] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 소스 드라이브 IC들(12)에 공급한다. 그리고 타이밍 콘트롤러(11)는 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기관(17)을 통해 연결된다.
- [0037] 다음으로, 도 4를 참조하여 본 발명의 제 1 실시예에 따르는 액정 표시장치의 화소 어레이에 대해 설명하기로 한다. 도 4는 본 발명의 제 1 실시예에 따르는 액정 표시장치의 화소 어레이(10)를 도시한 회로도이다.
- [0038] 도 4를 참조하면, 화소 어레이(10)는 $m+1$ 개의 데이터 라인들($D1 \sim D_{m+1}$)(m 은 자연수), 데이터 라인들($D1 \sim D_{m+1}$)과 교차되는 게이트 라인들($G1 \sim G_{2n}$)(n 은 자연수), 및 게이트펄스에 응답하여 액정 셀들의 화소전극들($P11 \sim P14$, $P21 \sim P24$, ...)과 데이터 라인들($D1 \sim D_{m+1}$) 사이의 전류패스(current path)를 스위칭하기 위한 박막 트랜지스터들($T11 \sim T14$, $T21 \sim T24$, ...)을 구비한다. 이 화소 어레이의 1 수평 표시라인에 배치된 액정 셀들의 개수는 $2m$ 개이다.
- [0039] 컬럼 인버전 방식(column inversion method)으로 극성이 반전되는 데이터 전압과, 도 4의 화소 어레이 구조로 인하여 액정 셀들에 충전되는 데이터전압들은 그 극성이 수평 2 도트 및 수직 1 도트의 인버전 방식으로 반전된다. 도 4에서 화살표는 액정 셀들의 데이터전압 충전 순서를 나타낸다.
- [0040] 도 3 및 도 4를 참조하면, 소스 드라이브 IC들(12)은 컬럼 인버전 형태로 극성이 반전되는 데이터전압들을 데이터 라인들($D1 \sim D_{m+1}$)로 출력한다. 게이트 구동회로(13)는 제1 내지 $2n$ 게이트 라인들($G1 \sim G_{2n}$)에 게이트 펄스를 순차적으로 공급한다. 제1 게이트 라인($G1$)에 제1 게이트펄스가 공급된 후에 제2 내지 제 $2n$ 게이트 라인들($G1 \sim G_{2n}$)에 순차적으로 제2 내지 제 $2n$ 게이트펄스가 공급된다.
- [0041] 제N(N 은 양의 정수) 프레임 기간 동안, 소스 드라이브 IC들(12)은 기수 데이터 라인들($D1$, $D3 \dots D_{m-1}$, D_{m+1})에 부극성 데이터전압만을 공급하고, 우수 데이터 라인들($D2$, $D4 \dots D_m$)에 정극성 데이터전압만을 공급한다. 제 $N+1$ 프레임 기간 동안, 소스 드라이브 IC들(12)은 기수 데이터 라인들($D1$, $D3 \dots D_{m-1}$, D_{m+1})에 정극성 데이터전압만을 공급하고, 우수 데이터 라인들($D2$, $D4 \dots D_m$)에 부극성 데이터전압만을 공급한다.
- [0042] 기수 수평 표시라인들(LINE#1, LINE#3, ... LINE# $n-1$) 각각에서 제 i (i 는 m 이하의 양의 정수) 데이터 라인과

제 $i+1$ 데이터 라인 사이에 존재하는 기수 수평 표시라인의 제1-1 및 제1-2 액정 셀들은 제 N 프레임 기간 동안 제 $i+1$ 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한 후에, 제 $N+1$ 프레임 기간 동안 제 $i+1$ 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한다. 도 4에서 도면 부호 'P11'은 기수 수평 표시라인의 제1-1 액정 셀에 형성된 제1-1 화소전극이며, 'P12'는 기수 수평 표시라인의 제1-2 액정 셀에 형성된 제1-2 화소전극이다.

[0043] 또한, 우수 수평 표시라인들(LINE#2, LINE#4, ... LINE# n) 각각에서 제 $i+1$ 데이터 라인과 제 $i+2$ 데이터 라인 사이에 존재하는 우수 수평라인의 제2-3 및 제2-4 액정 셀들은 제 N 프레임 기간 동안 제 $i+1$ 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한 후에, 제 $N+1$ 프레임 기간 동안 제 $i+1$ 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한다. 도 4에서 도면 부호 'P23'은 우수 수평 표시라인의 제2-3 액정 셀에 형성된 제2-3 화소전극이며, 'P24'는 우수 수평 표시라인의 제2-4 액정 셀에 형성된 제2-4 화소전극이다. 따라서, 기수 수평 표시라인의 제1-1 및 제1-2 액정 셀들과, 우수 수평라인의 제2-3 및 제2-4 액정 셀들은 제 $i+1$ 데이터 라인으로부터 공급되는 동일한 극성의 데이터전압들을 충전한다.

[0044] 기수 수평 표시라인들(LINE#1, LINE#3, ... LINE# $n-1$) 각각에서 제 $i+1$ 데이터 라인과 제 $i+2$ 데이터 라인 사이에 존재하는 기수 수평 표시라인의 제1-3 및 제1-4 액정 셀들은 제 N 프레임 기간 동안 제 $i+2$ 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한 후에, 제 $N+1$ 프레임 기간 동안 제 $i+2$ 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한다. 도 4에서 도면 부호 'P13'은 기수 수평 표시라인의 제1-3 액정 셀에 형성된 제1-3 화소전극이며, 'P14'는 기수 수평 표시라인의 제1-4 액정 셀에 형성된 제1-4 화소전극이다.

[0045] 또한, 우수 수평 표시라인들(LINE#2, LINE#4, ... LINE# n) 각각에서 제 $i+2$ 데이터 라인과 제 $i+3$ 데이터 라인 사이에 존재하는 우수 수평라인의 제2-5 및 제2-6 액정 셀들은 제 N 프레임 기간 동안 제 $i+2$ 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한 후에, 제 $N+1$ 프레임 기간 동안 제 $i+2$ 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한다. 도 4에서 우수 수평 표시라인의 제1-5 및 제1-6 액정 셀들은 생략되었으며, 그 구조는 우수 수평라인의 제2-1 및 제2-2 액정 셀들과 실질적으로 동일하다. 따라서, 기수 수평 표시라인의 제1-3 및 제1-4 액정 셀들과, 우수 수평라인의 제2-5 및 제2-6 액정 셀들은 제 $i+2$ 데이터 라인으로부터 공급되는 동일한 극성의 데이터전압들을 충전한다. 한편, 우수 수평 표시라인의 제2-1 및 제2-2 액정 셀들(P21, P22)은 제1 데이터 라인(D1)으로부터 공급되는 동일한 극성의 데이터전압들을 충전한다.

[0046] 다음으로, 도 4에 도시된 화소 어레이(10)에서 박막 트랜지스터, 화소전극 및 데이터 라인의 연결 관계를 제1 수평 표시라인(LINE#1)의 제1-2 내지 제1-4 액정 셀들과, 제2 수평 표시라인(LINE#2)의 제2-1 내지 제2-4 액정 셀들을 예로 들어 설명하기로 한다.

[0047] 제1 수평 표시라인(LINE#1)에서 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에 존재하는 제1-1 및 제1-2 액정 셀들은 제2 데이터 라인(D2)으로부터 순차적으로 공급되는 데이터전압을 충전한다. 제1 수평 표시라인의 제1-1 TFT(T11)는 제2 게이트 라인(G2)으로부터의 제2 게이트펄스에 응답하여 제2 데이터 라인(D2)으로부터의 데이터전압을 제1-1 화소전극(P11)에 공급한다. 제1-1 화소전극(P11)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제1-1 TFT(T11)의 게이트전극은 제2 게이트 라인(G2)에 접속된다. 제1-1 TFT(T11)의 소스전극은 제2 데이터 라인(D2)에 접속되고, 그 드레인전극은 제1-1 화소전극(P11)에 접속된다. 제1 수평 표시라인의 제1-2 TFT(T12)는 제1 게이트 라인(G1)으로부터의 제1 게이트펄스에 응답하여 제2 데이터 라인(D2)으로부터의 데이터전압을 제1-2 화소전극(P12)에 공급한다. 제1-2 화소전극(P12)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제1-2 TFT(T12)의 게이트전극은 제1 게이트 라인(G1)에 접속된다. 제1-2 TFT(T12)의 소스전극은 제2 데이터 라인(D2)에 접속되고, 그 드레인전극은 제1-2 화소전극(P12)에 접속된다.

[0048] 제1 수평 표시라인(LINE#1)에서 제2 데이터 라인(D2)과 제3 데이터 라인(D3) 사이에 존재하는 제1-3 및 제1-4 액정 셀들은 제3 데이터 라인(D3)으로부터 순차적으로 공급되는 데이터전압을 충전한다. 제1 수평 표시라인의 제1-3 TFT(T13)는 제2 게이트 라인(G2)으로부터의 제2 게이트펄스에 응답하여 제3 데이터 라인(D3)으로부터의 데이터전압을 제1-3 화소전극(P13)에 공급한다. 제1-3 화소전극(P13)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제1-3 TFT(T13)의 게이트전극은 제2 게이트 라인(G2)에 접속된다. 제1-3 TFT(T13)의 소스전극은 제3 데이터 라인(D3)에 접속되고, 그 드레인전극은 제1-3 화소전극(P13)에 접속된다. 제1 수평 표시라인의 제1-4 TFT(T14)는 제1 게이트 라인(G1)으로부터의 제1 게이트펄스에 응답하여 제3 데이터 라인(D3)으로부터의 데이터전압을 제1-4 화소전극(P14)에 공급한다. 제1-4 화소전극(P14)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제1-4 TFT(T14)의 게이트전극은 제1 게이트 라인(G1)에 접속된다. 제1-4 TFT(T14)의 소스전극은 제3 데이터 라인(D3)에 접속되고, 그 드레인전극은 제1-4 화소전극(P14)에 접속된다.

- [0049] 제2 수평 표시라인(LINE#2)에서 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에 존재하는 제2-1 및 제2-2 액정 셀들은 제1 데이터 라인(D1)으로부터 순차적으로 공급되는 데이터전압을 충전한다. 제2 수평 표시라인의 제2-1 TFT(T21)는 제4 게이트 라인(G4)으로부터의 제4 게이트펄스에 응답하여 제1 데이터 라인(D1)으로부터의 데이터전압을 제2-1 화소전극(P21)에 공급한다. 제2-1 화소전극(P21)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제2-1 TFT(T21)의 게이트전극은 제4 게이트 라인(G4)에 접속된다. 제2-1 TFT(T21)의 소스전극은 제1 데이터 라인(D1)에 접속되고, 그 드레인전극은 제2-1 화소전극(P21)에 접속된다. 제2 수평 표시라인의 제2-2 TFT(T22)는 제3 게이트 라인(G3)으로부터의 제3 게이트펄스에 응답하여 제1 데이터 라인(D1)으로부터의 데이터전압을 제2-2 화소전극(P22)에 공급한다. 제2-2 화소전극(P22)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제2-2 TFT(T22)의 게이트전극은 제3 게이트 라인(G3)에 접속된다. 제2-2 TFT(T22)의 소스전극은 제1 데이터 라인(D1)에 접속되고, 그 드레인전극은 제2-2 화소전극(P22)에 접속된다.
- [0050] 제2 수평 표시라인(LINE#2)에서 제2 데이터 라인(D2)과 제3 데이터 라인(D3) 사이에 존재하는 제2-3 및 제2-4 액정 셀들은 제2 데이터 라인(D2)으로부터 순차적으로 공급되는 데이터전압을 충전한다. 제2 수평 표시라인의 제2-3 TFT(T23)는 제4 게이트 라인(G4)으로부터의 제4 게이트펄스에 응답하여 제2 데이터 라인(D2)으로부터의 데이터전압을 제2-3 화소전극(P23)에 공급한다. 제2-3 화소전극(P23)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제2-3 TFT(T23)의 게이트전극은 제4 게이트 라인(G4)에 접속된다. 제2-3 TFT(T23)의 소스전극은 제2 데이터 라인(D2)에 접속되고, 그 드레인전극은 제2-3 화소전극(P23)에 접속된다. 제2 수평 표시라인의 제2-4 TFT(T24)는 제3 게이트 라인(G3)으로부터의 제3 게이트펄스에 응답하여 제2 데이터 라인(D2)으로부터의 데이터전압을 제2-4 화소전극(P24)에 공급한다. 제2-4 화소전극(P24)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. 제2-4 TFT(T24)의 게이트전극은 제3 게이트 라인(G3)에 접속된다. 제2-4 TFT(T24)의 소스전극은 제2 데이터 라인(D2)에 접속되고, 그 드레인전극은 제2-4 화소전극(P24)에 접속된다.
- [0051] 다음으로 도 5를 참조하여 데이터 라인들과 게이트 라인들의 교차에 의해 정의되는 2개의 화소영역에 배치되는 화소전극들과 박막 트랜지스터의 구성에 대해 보다 구체적으로 설명하기로 한다. 도 5는 도 4에 도시된 영역 R2에 배치된 화소전극들과 박막 트랜지스터의 관계를 도시한 평면도이다.
- [0052] 도 5를 참조하면, 본 발명의 제 1 실시예에 따르는 액정 표시장치에서는 제1 내지 제3 데이터 라인들(D1-D3)과 제1 내지 제4 게이트 라인들(G1-G4)의 교차에 의해 액정 셀들이 배치되는 화소영역이 정의된다. 즉, 제1 내지 제3 데이터 라인들(D1-D3)과 제1 내지 제4 게이트 라인들(G1-G4)들에 의해 액정 셀들이 배치되는 2개의 수평라인과 2개의 수직라인이 정의된다.
- [0053] 구체적으로, 제1 수평 표시라인(LINE#1)에는 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이 및 제1 게이트 라인(G1)과 제2 게이트 라인(G2) 사이에 배치되는 제1-2 및 제2-2 액정 셀들의 제1-2 및 제2-2 화소전극들(P11, P12)과, 제1-1 및 제1-2 화소전극들(P11, P12) 각각에 데이터 전압을 공급하는 제1-1 및 제1-2 박막 트랜지스터들(T11, T12)이 배치되고, 제2 데이터 라인(D2)과 제3 데이터 라인(D3) 사이 및 제1 게이트 라인(G1)과 제2 게이트 라인(G2) 사이에 배치되는 제1-3 및 제1-4 액정 셀들의 제1-3 및 제1-4 화소전극들(P13, P14)과, 제1-3 및 제1-4 화소전극들(P13, P14) 각각에 데이터 전압을 공급하는 제1-3 및 제1-4 박막 트랜지스터들(T13, T14)이 배치된다.
- [0054] 또한, 제2 수평 표시라인(LINE#2)에는 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이 및 제3 게이트 라인(G3)과 제4 게이트 라인(G4) 사이에 배치되는 제2-1 및 제2-2 액정 셀들의 제2-1 및 제2-2 화소전극들(P21, P22)과, 제2-1 및 제2-2 화소전극들(P21, P22) 각각에 데이터 전압을 공급하는 제2-1 및 제2-2 박막 트랜지스터들(T21, T22)이 배치되고, 제2 데이터 라인(D2)과 제3 데이터 라인(D3) 사이 및 제3 게이트 라인(G3)과 제4 게이트 라인(G4) 사이에 배치되는 제2-3 및 제2-4 액정 셀들의 제2-3 및 제2-4 화소전극들(P23, P24)과, 제2-3 및 제2-4 화소전극들(P23, P24) 각각에 데이터 전압을 공급하는 제2-3 및 제2-4 박막 트랜지스터들(T23, T24)이 배치된다.
- [0055] 이들 박막 트랜지스터 중, 제1-1, 제1-2, 제2-3 및 제2-4 박막 트랜지스터들(T11, T12, T23, T24)의 각각은 제2 데이터 라인(D2)으로부터 연장되어 제1 오목부를 갖는 제1 소스전극(SE11, SE12, SE23, SE24)과, 제1 소스전극(SE11, SE12, SE23, SE24)과 이격되도록 제1 오목부에 삽입되어 제1-1, 제1-2, 제2-3 및 제2-4 화소전극(P11, P12, P23, P24)에 각각 접속되는 제1 드레인 전극(DE11, DE12, DE23, DE24)과, 제1 소스전극(SE11, SE12, SE23, SE24) 및 상기 제1 드레인 전극(DE11, DE12, DE23, DE24)과 중첩되는 제1 게이트 전극(GE11, GE12, GE23, GE24)를 포함한다.
- [0056] 또한, 제1-3 및 제1-4 박막 트랜지스터들(T13, T14)의 각각은 제3 데이터 라인(D3)으로부터 연장되어 제1 오목

부의 개방방향과 반대 방향으로 형성되는 개방방향을 갖는 제2 오목부를 갖는 제2 소스전극(SE13, SE14)과, 제2 소스전극(SE13, SE14)과 이격되도록 제2 오목부에 삽입되어 제1-3 및 제1-4 액정 셀들의 제1-3 및 제1-4 화소전극(P13, P14)에 각각 접속되는 제2 드레인 전극(DE13, DE14)과, 제2 소스전극(SE13, SE14) 및 제2 드레인 전극(DE13, DE14)과 중첩되는 제2 게이트 전극(GE13, GE14)을 포함한다.

[0057] 또한, 제2-1 및 제2-2 박막 트랜지스터들(T21, T22)의 각각은 제1 데이터 라인(D1)으로부터 연장되어 제1 오목부의 개방방향과 반대 방향으로 형성되는 개방방향을 갖는 제3 오목부를 갖는 제3 소스전극(SE21, SE22)과, 제3 소스전극(SE21, SE22)과 이격되도록 제3 오목부에 삽입되어 제5 및 제6 액정 셀들의 제5 및 제6 화소전극(P21, P22)에 각각 접속되는 제3 드레인 전극(DE21, DE22)과, 제3 소스전극(SE21, SE22) 및 제3 드레인 전극(DE21, DE22)과 중첩되는 제3 게이트 전극(GE21, GE22)을 포함한다. .

[0058] 상술한 본 발명의 제 1 실시예에 따르는 액정 표시장치에 의하면, 하나의 데이터 라인에 연결된 액정 셀들에 충전되는 데이터전압들의 극성이 동일하므로 소스 드라이브 IC의 소비전력을 줄일 수 있음은 물론, 액정 셀들 각각의 데이터 충전량을 균일하게 할 수 있다. 따라서, 데이터 충전량의 불균일로 인하여 초래되는 휘도 불균일, 색왜곡 등의 화질 저하를 방지하는 효과를 얻을 수 있다.

[0059] 또한, 게이트 라인들(G1~G2n) 및 게이트 전극들(GE)의 형성을 위한 게이트 레이어(gate layer)과, 데이터 라인들(DL1~Dm+1), 소스전극들(SE) 및 드레인 전극들(DE)의 형성을 위한 소스/드레인 레이어(source and drain layer) 형성시 공정 편차에 의해 게이트 레이어와 소스/드레인 레이어 사이에 시프트(shift)가 발생하는 경우에도, 동일 데이터 라인에 접속되는 박막 트랜지스터의 기생용량의 변동이 서로 상쇄되어 전체 기생용량의 변동이 상쇄된다.

[0060] 예를 들어, 게이트 레이어에 대해 소스/드레인 레이어가 일측으로 시프트되더라도, 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제1 수평 표시라인(LINE#1)에서의 제1-1 및 제1-2 박막 트랜지스터(T11, T12)의 기생용량의 변동량과, 제1-3 및 제1-4 박막 트랜지스터(T13, T14)의 기생용량의 변동량이 서로 상쇄된다. 또한, 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제2 수평 표시라인(LINE#2)에서의 제2-1 및 제2-2 박막 트랜지스터(T21, T22)의 기생용량의 변동량과, 제2-3 및 제2-4 박막 트랜지스터(T23, T24)의 기생용량의 변동량이 서로 상쇄된다. 따라서, 수평방향으로는 4개의 박막 트랜지스터 단위(T11, T12와 T13, T14; T21, T22와 T23, T24)로 기생용량의 변동량이 상쇄된다.

[0061] 또한, 수직방향으로도 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에 존재하는 제1 수평 표시라인(LINE#1)의 제1-1 및 제1-2 박막 트랜지스터(T11, T12)의 기생용량의 변동량과, 제2 수평 표시라인(LINE#2)의 제1 박막 트랜지스터(T21, T22)의 기생용량의 변동량이 서로 상쇄되고, 제1 수평 표시라인(LINE#1)의 제1-3 및 제1-4 박막 트랜지스터(T13, T14)의 기생용량(Cgs)의 변동량과, 제2 수평 표시라인(LINE#2)의 제2-3 및 제2-4 박막 트랜지스터(T23, T24)의 기생용량의 변동량이 서로 상쇄된다. 따라서, 수직방향으로는 2개의 박막 트랜지스터 단위(T11과 T21; T12와 T22; T13과 T23; T14와 T24) 기생용량의 변동량이 상쇄된다.

[0062] 따라서, 수평방향과 수직방향으로 공정편차에 기인한 오버레이 어긋남에 따르는 기생용량의 차이로 인한 잔상이나 플리커와 같은 화질저하 현상을 방지할 수 있는 효과를 얻을 수 있다.

[0063] 또한, 본 발명의 제 1 실시예에 따르는 액정 표시장치에 의하면 공정편차에 기인한 기생용량의 변동을 보상하기 위한 보상패턴이 불필요하므로 개구율을 높일 수 있는 효과를 얻을 수 있다.

[0064] 다음으로, 도 6을 참조하여 본 발명의 제 2 실시예에 따르는 액정 표시장치의 화소 어레이에 대해 설명하기로 한다. 도 6은 본 발명의 제 2 실시예에 따르는 액정 표시장치의 화소 어레이(10)를 도시한 회로도이다.

[0065] 도 6을 참조하면, 화소 어레이(10)는 m+1 개의 데이터 라인들(D1~Dm+1)(m은 자연수), 데이터 라인들(D1~Dm+1)과 교차되는 데이터 라인들(G1~Gn)(n은 자연수), 및 게이트펄스에 응답하여 액정 셀들의 화소전극들(P11~P14, P21~P24, ...)과 데이터 라인들(D1~Dm+1) 사이의 전류패스를 스위칭하기 위한 박막 트랜지스터들(T11~T14, T21~T24, ...)을 구비한다. 이 화소 어레이의 1 수평 표시라인에 배치된 액정 셀들의 개수는 m 개이다.

[0066] 컬럼 인버전 방식(column inversion method)으로 극성이 반전되는 데이터 전압과, 도 6의 화소 어레이 구조로 인하여 액정 셀들에 충전되는 데이터전압들은 그 극성이 수평 1 도트 및 수직 1 도트의 인버전 방식으로 반전된다. 도 6에서 화살표는 액정 셀들의 데이터전압 충전 순서를 나타낸다.

[0067] 도 3 및 도 6을 참조하면, 소스 드라이브 IC들(12)은 컬럼 인버전 형태로 극성이 반전되는 데이터전압들을 데이터 라인들(D1~Dm+1)로 출력한다. 게이트 구동회로(13)는 제1 내지 제 n 데이터 라인들(G1~Gn)에 게이트 펄스를

순차적으로 공급한다. 제1 게이트 라인(G1)에 제1 게이트펄스가 공급된 후에 제2 내지 제n 게이트 라인들(G1~Gn)에 순차적으로 제2 내지 제n 게이트펄스가 공급된다.

[0068] 제N(N은 양의 정수) 프레임 기간 동안, 소스 드라이브 IC들(12)은 기수 데이터 라인들(D1, D3... Dm-1, Dm+1)에 정극성 데이터전압만을 공급하고, 우수 데이터 라인들(D2, D4... Dm)에 부극성 데이터전압만을 공급한다. 제N+1 프레임 기간 동안, 소스 드라이브 IC들(12)은 기수 데이터 라인들(D1, D3... Dm-1, Dm+1)에 부극성 데이터전압만을 공급하고, 우수 데이터 라인들(D2, D4... Dm)에 정극성 데이터전압만을 공급한다.

[0069] 기수 수평 표시라인들(LINE#1, LINE#3, ... LINE#n-1) 각각에서 제i(i는 m 이하의 양의 정수) 데이터 라인과 제i+1 데이터 라인 사이에 존재하는 기수 수평 표시라인의 제1-1 액정 셀은 제N 프레임 기간 동안 제i 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한 후에, 제N+1 프레임 기간 동안 제i 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한다. 또한, 기수 수평 표시라인들(LINE#1, LINE#3, ... LINE#n-1) 각각에서 제i+1 데이터 라인과 제i+2 데이터 라인 사이에 존재하는 기수 수평 표시라인의 제1-2 액정 셀은 제N 프레임 기간 동안 제i+1 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한 후에, 제N+1 프레임 기간 동안 제i+1 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한다. 도 6에서 도면 부호 'P11'은 기수 수평 표시라인의 제1-1 액정 셀에 형성된 제1-1 화소전극이며, 'P12'는 기수 수평 표시라인의 제2 액정 셀에 형성된 제1-2 화소전극이다.

[0070] 또한, 우수 수평 표시라인들(LINE#2, LINE#4, ... LINE#n) 각각에서 제i 데이터 라인과 제i+1 데이터 라인 사이에 존재하는 우수 수평라인의 제2-1 액정 셀은 제N 프레임 기간 동안 제i+1 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한 후에, 제N+1 프레임 기간 동안 제i+1 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한다. 또한, 우수 수평 표시라인들(LINE#2, LINE#4, ... LINE#n) 각각에서 제i+1 데이터 라인과 제i+2 데이터 라인 사이에 존재하는 우수 수평라인의 제2-2 액정 셀은 제N 프레임 기간 동안 제i+2 데이터 라인으로부터 공급되는 정극성 데이터전압을 충전한 후에, 제N+1 프레임 기간 동안 제i+2 데이터 라인으로부터 공급되는 부극성 데이터전압을 충전한다. 도 6에서 도면 부호 'P21'은 우수 수평 표시라인의 제2-1 액정 셀에 형성된 제2-1 화소전극이며, 'P22'는 우수 수평 표시라인의 제2-2 액정 셀에 형성된 제2-2 화소전극이다. 따라서, 기수 수평 표시라인의 제1-2 액정 셀과, 우수 수평라인의 제2-1 액정 셀들은 제i+1 데이터 라인으로부터 공급되는 동일한 극성의 데이터전압들을 충전한다.

[0071] 다음으로, 도 4에 도시된 화소 어레이(10)에서 박막 트랜지스터, 화소전극 및 데이터 라인의 연결 관계를 제1 수평 표시라인(LINE#1)의 제1-1 내지 제1-3 액정 셀들과, 제2 수평 표시라인(LINE#2)의 제2-1 내지 제2-3 액정 셀들을 예로 들어 설명하기로 한다.

[0072] 제1 수평 표시라인(LINE#1)에서 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에 존재하는 제1-1 액정 셀은 제1 데이터 라인(D1)으로부터 공급되는 데이터전압을 충전한다. 제1 수평 표시라인의 제1-1 TFT(T11)는 제1 게이트 라인(G1)으로부터의 제1 게이트펄스에 응답하여 제1 데이터 라인(D1)으로부터의 데이터전압을 제1-1 화소전극(P11)에 공급한다. 제1-1 화소전극(P11)은 대략 1 수평기간 동안 데이터전압을 충전한다. 제1-1 TFT(T11)의 게이트전극은 제1 게이트 라인(G1)에 접속된다. 제1-1 TFT(T11)의 소스전극은 제1 데이터 라인(D1)에 접속되고, 그 드레인전극은 제1-1 화소전극(P11)에 접속된다.

[0073] 제1 수평 표시라인(LINE#1)에서 제2 데이터 라인(D2)과 제3 데이터 라인(D3) 사이에 존재하는 제1-2 액정 셀은 제2 데이터 라인(D2)으로부터 공급되는 데이터전압을 충전한다. 제1 수평 표시라인의 제1-2 TFT(T12)는 제1 게이트 라인(G1)으로부터의 제1 게이트펄스에 응답하여 제2 데이터 라인(D2)으로부터의 데이터전압을 제1-2 화소전극(P12)에 공급한다. 제1-2 화소전극(P12)은 1 수평기간 동안 데이터전압을 충전한다. 제1-2 TFT(T12)의 게이트전극은 제1 게이트 라인(G1)에 접속된다. 제1-2 TFT(T12)의 소스전극은 제2 데이터 라인(D2)에 접속되고, 그 드레인전극은 제1-2 화소전극(P12)에 접속된다.

[0074] 제1 수평 표시라인(LINE#1)에서 제3 데이터 라인(D3)과 제4 데이터 라인(D4) 사이에 존재하는 제1-3 액정 셀은 제3 데이터 라인(D3)으로부터 공급되는 데이터전압을 충전한다. 제1 수평 표시라인의 제1-3 TFT(T13)는 제1 게이트 라인(G1)으로부터의 제1 게이트펄스에 응답하여 제3 데이터 라인(D3)으로부터의 데이터전압을 제1-3 화소전극(P13)에 공급한다. 제1-3 화소전극(P13)은 1 수평기간 동안 데이터전압을 충전한다. 제1-3 TFT(T13)의 게이트전극은 제1 게이트 라인(G1)에 접속된다. 제1-3 TFT(T13)의 소스전극은 제3 데이터 라인(D3)에 접속되고, 그 드레인전극은 제1-3 화소전극(P13)에 접속된다.

[0075] 제2 수평 표시라인(LINE#2)에서 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에 존재하는 제2-1 액정 셀은

제2 데이터 라인(D2)으로부터 공급되는 데이터전압을 충전한다. 제2 수평 표시라인의 제2-1 TFT(T21)는 제2 게이트 라인(G2)으로부터의 제2 게이트펄스에 응답하여 제2 데이터 라인(D2)으로부터의 데이터전압을 제2-1 화소전극(P21)에 공급한다. 제2-1 화소전극(P21)은 1수평기간 동안 데이터전압을 충전한다. 제2-1 TFT(T21)의 게이트전극은 제2 게이트 라인(G2)에 접속된다. 제2-1 TFT(T21)의 소스전극은 제2 데이터 라인(D2)에 접속되고, 그 드레인전극은 제2-1 화소전극(P21)에 접속된다.

[0076] 제2 수평 표시라인(LINE#2)에서 제2 데이터 라인(D2)과 제3 데이터 라인(D3) 사이에 존재하는 제2-2 액정 셀은 제3 데이터 라인(D3)으로부터 공급되는 데이터전압을 충전한다. 제2 수평 표시라인의 제2-3 TFT(T23)는 제2 게이트 라인(G2)으로부터의 제2 게이트펄스에 응답하여 제3 데이터 라인(D3)으로부터의 데이터전압을 제2-2 화소전극(P22)에 공급한다. 제2-2 화소전극(P22)은 1수평기간 동안 데이터전압을 충전한다. 제2-2 TFT(T22)의 게이트전극은 제2 게이트 라인(G2)에 접속된다. 제2-2 TFT(T22)의 소스전극은 제3 데이터 라인(D3)에 접속되고, 그 드레인전극은 제2-2 화소전극(P22)에 접속된다.

[0077] 제2 수평 표시라인(LINE#2)에서 제3 데이터 라인(D3)과 제4 데이터 라인(D4) 사이에 존재하는 제2-3 액정 셀은 제4 데이터 라인(D4)으로부터 공급되는 데이터전압을 충전한다. 제2 수평 표시라인의 제2-3 TFT(T23)는 제2 게이트 라인(G2)으로부터의 제2 게이트펄스에 응답하여 제4 데이터 라인(D4)으로부터의 데이터전압을 제2-3 화소전극(P23)에 공급한다. 제2-3 화소전극(P23)은 1수평기간 동안 데이터전압을 충전한다. 제2-3 TFT(T23)의 게이트전극은 제2 게이트 라인(G2)에 접속된다. 제2-3 TFT(T23)의 소스전극은 제4 데이터 라인(D4)에 접속되고, 그 드레인전극은 제2-3 화소전극(P23)에 접속된다.

[0078] 다음으로 도 7을 참조하여 데이터 라인들과 게이트 라인들의 교차에 의해 정의되는 화소영역에 배치되는 화소전극들과 박막 트랜지스터의 구성에 대해 보다 구체적으로 설명하기로 한다. 도 7은 도 6에 도시된 영역 R3에 배치된 화소전극들과 박막 트랜지스터의 관계를 도시한 평면도이다.

[0079] 도 7을 참조하면, 본 발명의 제 2 실시예에 따르는 액정 표시장치에서는 제1 내지 제5 데이터 라인들(D1~D5)과 제1 내지 제2 게이트 라인들(G1, G2)의 교차에 의해 액정 셀들이 배치되는 화소영역이 정의된다. 즉, 제1 내지 제5 데이터 라인들(D1~D5)과 제1 및 제2 게이트 라인들(G1, G2)에 의해 액정 셀들이 배치되는 2개의 수평라인과 4개의 수직라인이 정의된다.

[0080] 구체적으로, 제1 수평 표시라인(LINE#1)에는 제1 내지 제5 데이터 라인들(D1~D5)과 제1 게이트 라인(G1)의 교차에 의해 형성되는 영역들에 배치되는 제1-1 내지 제 1-4 액정 셀들의 제1 내지 제4 화소전극들(P11, P12, P13, P14)과, 제1-1 내지 제1-4 화소전극들(P11, P12, P13, P14) 각각에 데이터 전압을 공급하는 제1-1 내지 제 1-4 박막 트랜지스터들(T11, T12, T13, T14)이 배치된다.

[0081] 또한, 제2 수평 표시라인(LINE#2)에는 제1 내지 제5 데이터 라인들(D1~D5)과 제1 및 제2 게이트 라인들(G1, G2)의 교차에 의해 형성되는 영역들에 배치되는 제2-1 내지 제2-4 액정 셀들의 제2-1 내지 제2-4 화소전극들(P21, P22, P23, P24)과, 제2-1 내지 제2-4 화소전극들(P21, P22, P23, P24) 각각에 데이터 전압을 공급하는 제2-1 내지 제2-4 박막 트랜지스터들(T21, T22, T23, T24)이 배치된다.

[0082] 이들 박막 트랜지스터 중, 제1-1 및 제 1-2박막 트랜지스터들(T11, T12)은 제1 및 제2 데이터 라인들(D1, D2)로부터 각각 연장되어 제1 오목부를 갖는 제1-1 및 제1-2 소스전극들(SE11, SE12)과, 제1-1 및 제1-2 소스전극들(SE11 SE12)과 이격되도록 제1 오목부들에 각각 삽입되고, 제1-1 및 제1-2 화소전극들(P11, P12)에 접속되는 제 1-1 및 제1-2 드레인 전극들(DE11, DE12)과, 제1-1 및 제1-2 소스전극들(SE11, SE12) 및 제1-1 및 제1-2 드레인 전극들(DE11, DE12)과 각각 중첩되는 제1-1 및 제1-2 게이트 전극들(GE11, GE12)를 포함한다.

[0083] 또한 제1-3 및 제 1-4박막 트랜지스터들(T13, T14)은 제3 및 제4 데이터 라인들(D3, D4)로부터 각각 연장되어 제1 오목부의 개방방향과 반대 방향으로 형성되는 개방방향을 갖는 제2 오목부를 구비하는 제1-3 및 제1-4 소스전극들(SE13, SE14)과, 제1-3 및 제1-4 소스전극들(SE13, SE14)과 이격되도록 제2 오목부들에 각각 삽입되고, 제1-3 및 제1-4 화소전극들(P13, P14)에 접속되는 제1-3 및 제1-4 드레인 전극들(DE13, DE14)과, 제1-3 및 제 1-4 소스전극들(SE13, SE14)과 제1-3 및 제1-4 드레인 전극들(DE13, DE14)과 각각 중첩되는 제1-3 및 제1-4 게이트 전극들(GE13, GE14)을 포함한다.

[0084] 또한, 제2-1 및 제 2-2박막 트랜지스터들(T21, T22)은 제2 및 제3 데이터 라인들(D2, D3)로부터 각각 연장되어 제1 오목부의 개방방향과 반대 방향으로 형성되는 개방방향을 갖는 제3 오목부를 구비하는 제2-1 및 제2-2 소스전극들(SE21, SE22)과, 제2-1 및 제2-2 소스전극들(SE21 SE22)과 이격되도록 제3 오목부들에 각각 삽입되고, 제 2-1 및 제2-2 화소전극들(P21, P22)에 접속되는 제2-1 및 제2-2 드레인 전극들(DE21, DE22)과, 제2-1 및 제2-2

소스전극들(SE21, SE22) 및 제2-1 및 제2-2 드레인 전극들(DE21, DE22)과 각각 중첩되는 제2-1 및 제2-2 게이트 전극들(GE21, GE22)를 포함한다.

[0085] 또한, 제2-3 및 제 2-4박막 트랜지스터들(T23, T24)은 제4 및 제5 데이터 라인들(D4, D5)로부터 각각 연장되어 제1 오목부의 개방방향과 동일한 개방방향을 갖는 제4 오목부를 구비하는 제2-3 및 제2-4 소스전극들(SE23, SE24)과, 제2-3 및 제2-4 소스전극들(SE23, SE24)과 이격되도록 제4 오목부들에 각각 삽입되고, 제2-3 및 제2-4 화소전극들(P23, P24)에 접속되는 제2-3 및 제2-4 드레인 전극들(DE23, DE24)과, 제2-3 및 제2-4 소스전극들(SE23, SE24)과 제2-3 및 제2-4 드레인 전극들(DE23, DE24)과 각각 중첩되는 제2-3 및 제2-4 게이트 전극들(GE23, GE24)을 포함한다.

[0086] 상술한 본 발명의 제2 실시예에 따르는 액정 표시장치에 의하면, 하나의 데이터 라인에 연결된 액정 셀들에 충전되는 데이터전압들의 극성이 동일하므로 소스 드라이브 IC의 소비전력을 줄일 수 있음은 물론, 액정 셀들 각각의 데이터 충전량을 균일하게 할 수 있다. 따라서, 데이터 충전량의 불균일로 인하여 초래되는 휘도 불균일, 색왜곡 등의 화질 저하를 방지하는 효과를 얻을 수 있다.

[0087] 또한, 게이트 라인들(G1~Gn) 및 게이트 전극들(GE)의 형성을 위한 게이트 레이어(gate layer)와, 데이터 라인들(DL1~Dm+1), 소스전극들(SE) 및 드레인 전극들(DE)의 형성을 위한 소스/드레인 레이어(source and drain layer) 형성시 공정 편차에 의해 게이트 레이어와 소스/드레인 레이어 사이에 시프트(shift)가 발생하는 경우에도, 동일 데이터 라인에 접속되는 박막 트랜지스터의 기생용량의 변동이 서로 상쇄되어 전체 기생용량의 변동이 상쇄된다.

[0088] 예를 들어, 게이트 레이어에 대해 소스/드레인 레이어가 일측으로 시프트되더라도, 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제1 수평 표시라인(LINE#1)에서의 제1-1 및 제1-2 박막 트랜지스터(T11, T12)의 기생용량의 변동량과, 제1-3 및 제1-4 박막 트랜지스터(T13, T14)의 기생용량의 변동량이 서로 상쇄된다. 또한, 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제2 수평 표시라인(LINE#2)에서의 제2-1 및 제2-2 박막 트랜지스터(T21, T22)의 기생용량의 변동량과, 제2-3 및 제2-4 박막 트랜지스터(T23, T24)의 기생용량의 변동량이 서로 상쇄된다. 따라서, 수평방향으로는 4개의 박막 트랜지스터 단위(T11, T12와 T13, T14; T21, T22와 T23, T24)로 기생용량의 변동량이 상쇄된다.

[0089] 또한, 수직방향으로도 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에 존재하는 제1 수평 표시라인(LINE#1)의 제1-2 및 제2-2 박막 트랜지스터(T11, T12)의 기생용량의 변동량과, 제2 수평 표시라인(LINE#2)의 제2-1 및 제2-2 박막 트랜지스터(T21, T22)의 기생용량의 변동량이 서로 상쇄되고, 제1 수평 표시라인(LINE#1)의 제1-3 및 제1-4 박막 트랜지스터(T13, T14)의 기생용량(Cgs)의 변동량과, 제2 수평 표시라인(LINE#2)의 제2-3 및 제2-4 박막 트랜지스터(T23, T24)의 기생용량의 변동량이 서로 상쇄된다. 따라서, 수직방향으로는 2개의 박막 트랜지스터 단위(T11과 T21; T12와 T22; T13과 T23; T14와 T24) 기생용량의 변동량이 상쇄된다.

[0090] 따라서, 수평방향과 수직방향으로 공정편차에 기인한 오버레이 어긋남에 따르는 기생용량의 차이로 인한 잔상이나 플리커와 같은 화질저하 현상을 방지할 수 있는 효과를 얻을 수 있다.

[0091] 또한, 본 발명의 제2 실시예에 따르는 액정 표시장치에 의하면 공정편차에 기인한 기생용량의 변동을 보상하기 위한 보상패턴이 불필요하므로 개구율을 높일 수 있는 효과를 얻을 수 있다.

[0092] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

[0093] 예를 들어 본 발명의 제2 실시예에서는 수평방향으로는 4개의 박막 트랜지스터 단위(T11, T12와 T13, T14; T21, T22와 T23, T24)로 기생용량의 변동량이 상쇄되고, 수직방향으로는 2개의 박막 트랜지스터 단위(T11과 T21; T12와 T22; T13과 T23; T14와 T24)로 기생용량의 변동량이 상쇄되는 것에 대해 설명하고 있지만 본 발명이 이에 한정되는 것은 아니며, 수평방향 및 수직방향 모두 2개의 박막 트랜지스터 단위로 기생용량의 변동량이 상쇄되도록 구성할 수도 있다. 이 경우 동일 데이터 라인에 접속되고 수평방향으로 인접한 박막 트랜지스터들의 오목부는 서로 반대방향을 향하도록 형성되어야 한다.

[0094] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

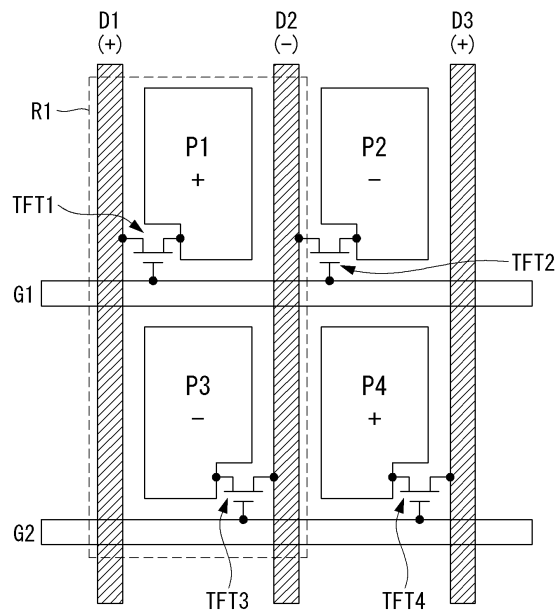
부호의 설명

[0095]

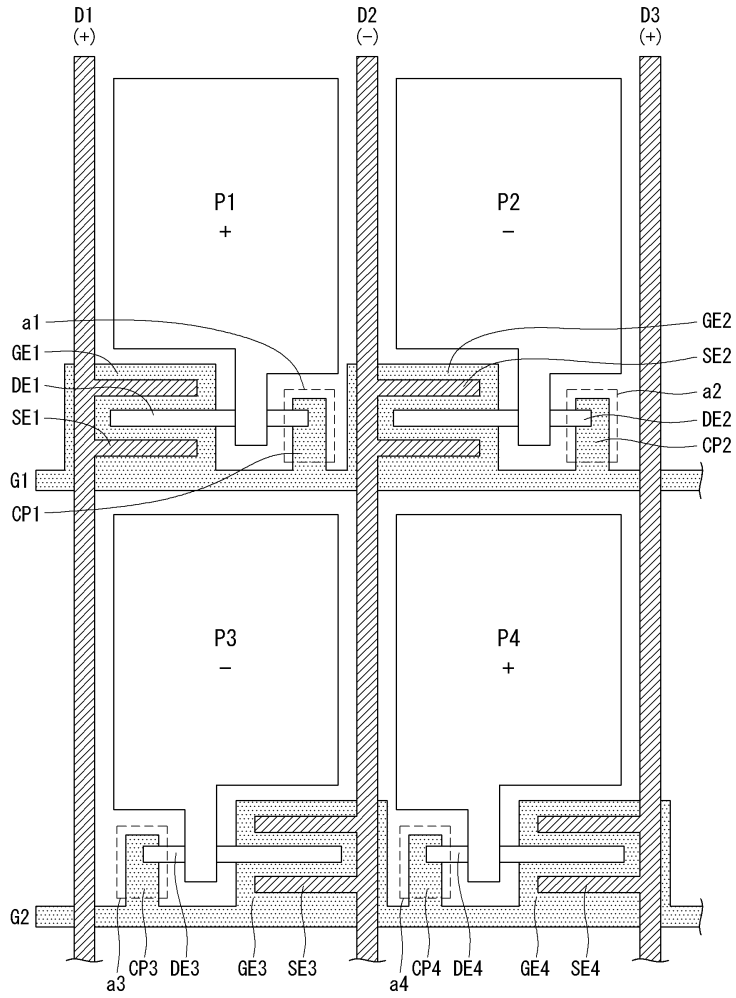
- 10 : 화소 어레이 11 : 타이밍 콘트롤러
- 12 : 소스 드라이브 IC 13 : 게이트 구동회로
- D1~Dm+1: 데이터 라인 G1~G2n: 게이트 라인
- P11~P24: 화소전극 T11~T24: 박막 트랜지스터

도면

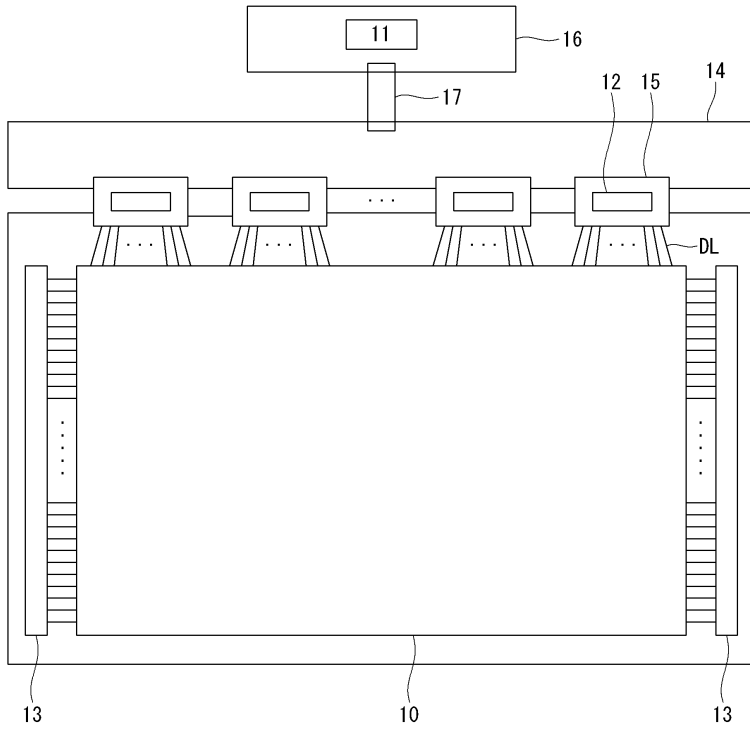
도면1



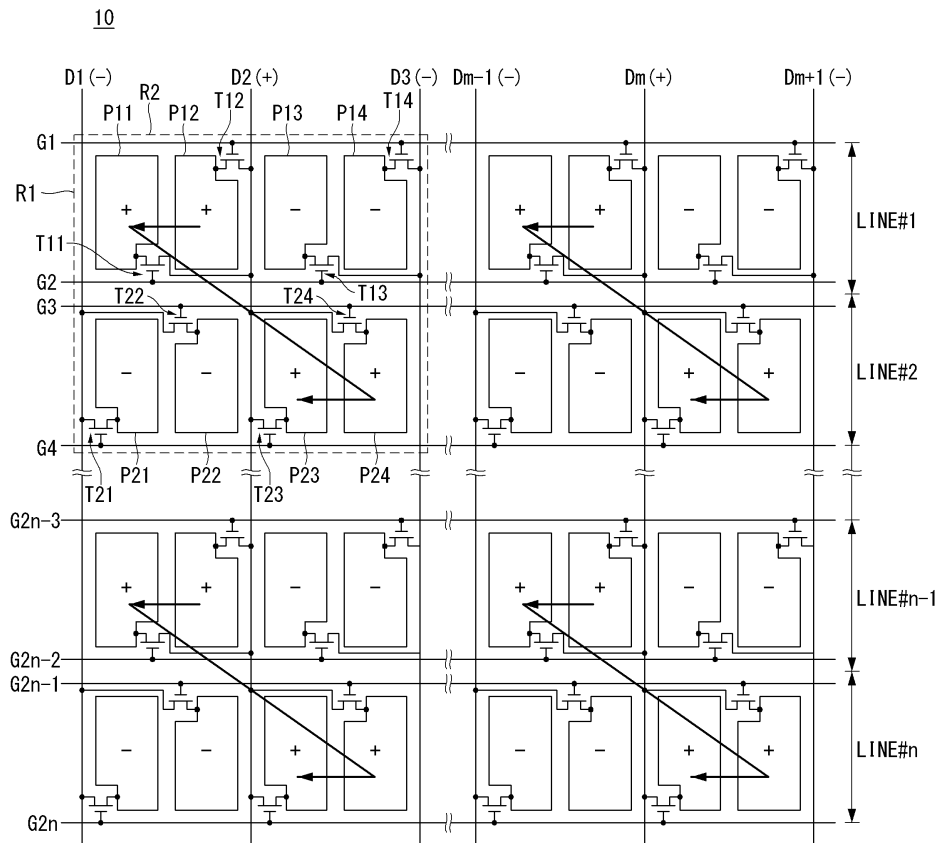
도면2



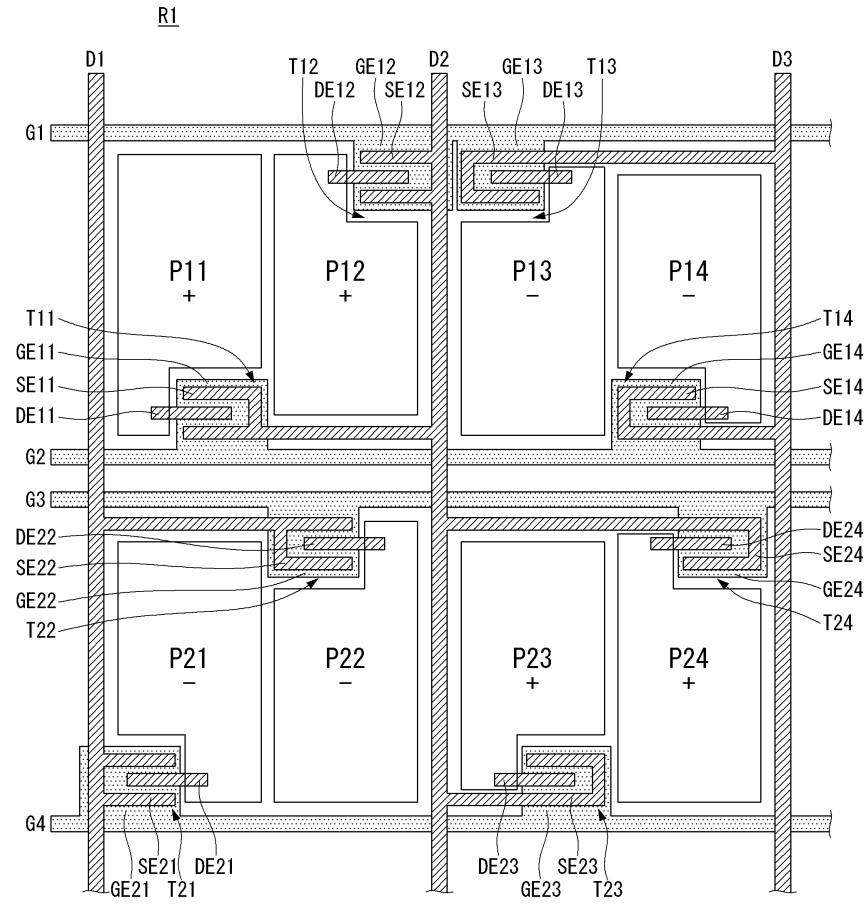
도면3



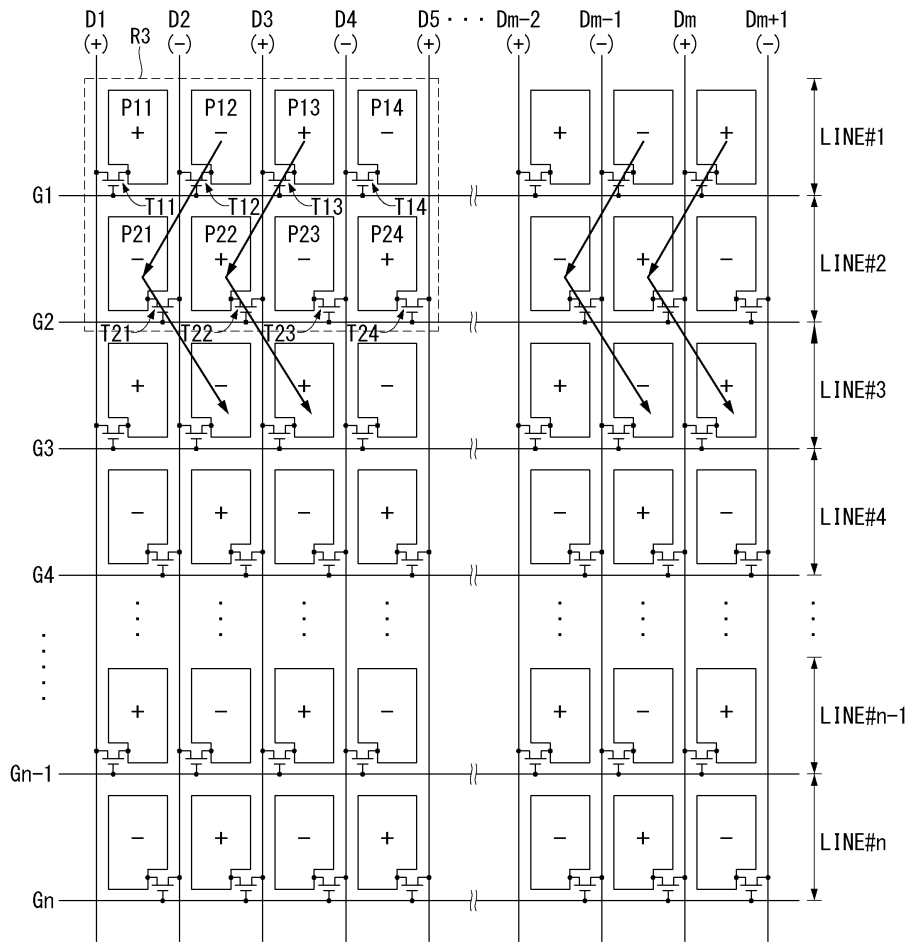
도면4



도면5

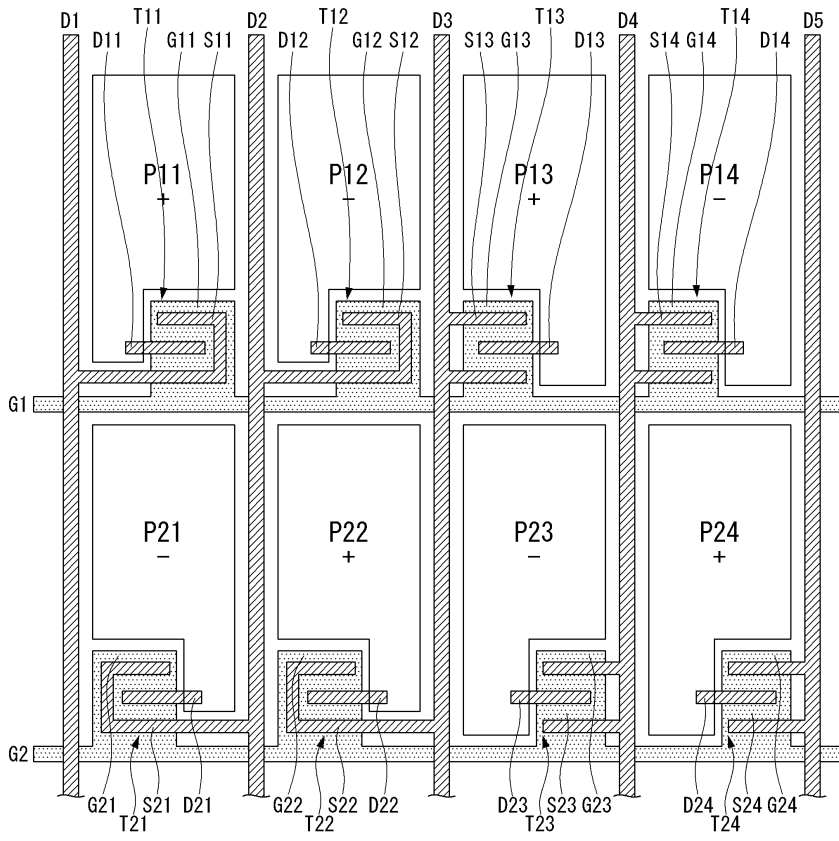


도면6



도면7

R3



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160033287A	公开(公告)日	2016-03-28
申请号	KR1020140123380	申请日	2014-09-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NAM YOU SUNG 남유성		
发明人	남유성		
IPC分类号	G09G3/36 G02F1/1362		
CPC分类号	G02F1/136286 H01L29/786 G02F2201/40 G02F2001/13606		
外部链接	Espacenet		

摘要(译)

本发明是提供一种液晶显示装置，其不通过均匀的每个数据进行充电的液晶显示装置的液晶单元的同时，薄膜晶体管降低寄生电容增加，并且孔径比，以防止亮度不均匀，图像质量劣化，如颜色失真液晶单元布置在至少两条水平显示线中，并且至少两条垂直显示线由数据线和栅极线限定，所述数据线和栅极线布置成彼此交叉。液晶单元中，数据电压的极性反转方案扭转通过薄膜晶体管的列被供给到位于两侧的数据线的每个不同水平显示线被连接到以Z字形形式的数据线的薄膜晶体管。连接到在相邻的水平显示行相同的数据线的第一凹进的第一漏电极的薄膜晶体管，以被插入到部分1中的第一源电极的凹的，具有第一源极电极，第一源电极和并且第一栅电极与第一漏电极重叠。此外，相同的薄膜晶体管，连接到相邻的数据线的数据线的第二漏极插入部2中的第二源极电极的凹面，并具有形成在相反的方向作为第一凹部的第二凹部的第二源电极并且第二栅电极与第二源电极和第二漏电极重叠。

