



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0027313
(43) 공개일자 2016년03월10일

(51) 국제특허분류(Int. C1.)

G02F 1/1368 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2014-0113193

(22) 출원일자 2014년08월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박원근

서울 강동구 천중로29길 22, 지총 1호 (천호동)

이선화

경기 파주시 쇠재로 30, 702동 704호 (금촌동, 서원마을아파트)

이준동

서울 강남구 개포로 516, 602동 601호 (개포동, 개포주공아파트)

(74) 대리인

특허법인로얄

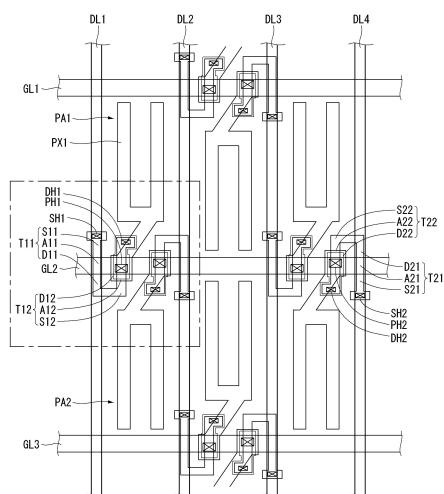
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 보상용 박막 트랜지스터를 구비한 초고 해상도 액정 표시장치

(57) 요약

본 발명은 화소당 보상용 박막 트랜지스터를 더 구비한 초고 해상도 액정 표시장치에 관한 것이다. 본 발명에 의한 액정 표시장치는, 기판 위에서 서로 이웃하여 배치된 제1 데이터 배선 및 제2 데이터 배선; 상기 제1 데이터 배선 및 상기 제2 데이터 배선을 가로지르는 게이트 배선; 상기 게이트 배선을 기준으로 상부 행에 정의된 상행 화소 영역 및 하부 행에 정의된 하행 화소 영역; 상기 제1 데이터 배선에 연결되며 'U' 형상으로 상기 게이트 배선을 두 번 교차하는 제1 반도체 층을 구비한 상행 박막 트랜지스터; 상기 제2 데이터 배선에 연결되며 'U' 형상으로 상기 게이트 배선을 두 번 교차하는 제2 반도체 층을 구비한 하행 박막 트랜지스터; 상기 상행 박막 트랜지스터에 연결되며, 상기 상행 화소 영역 내에 형성된 상행 화소 전극; 그리고 상기 하행 박막 트랜지스터에 연결되며, 상기 하행 화소 영역 내에 형성된 하행 화소 전극을 포함한다.

대표도 - 도6



명세서

청구범위

청구항 1

기판 위에서 서로 이웃하여 배치된 제1 데이터 배선 및 제2 데이터 배선;
상기 제1 데이터 배선 및 상기 제2 데이터 배선을 가로지르는 게이트 배선;
상기 게이트 배선을 기준으로 상부 행에 정의된 상행 화소 영역 및 하부 행에 정의된 하행 화소 영역;
상기 제1 데이터 배선에 연결되며 'U' 형상으로 상기 게이트 배선을 두 번 교차하는 제1 반도체 층을 구비한 상행 박막 트랜지스터;
상기 제2 데이터 배선에 연결되며 'U' 형상으로 상기 게이트 배선을 두 번 교차하는 제2 반도체 층을 구비한 하행 박막 트랜지스터;
상기 상행 박막 트랜지스터에 연결되며, 상기 상행 화소 영역 내에 형성된 상행 화소 전극; 그리고
상기 하행 박막 트랜지스터에 연결되며, 상기 하행 화소 영역 내에 형성된 하행 화소 전극을 포함하는 액정 표시장치.

청구항 2

제 1 항에 있어서,
상기 제1 반도체 층은,
상기 상행 화소 영역에서 상기 제1 데이터 배선과 연결되어, 상기 게이트 배선을 첫 번째로 교차하여 상기 하행 화소 영역으로 연장된 제1 수직부;
상기 제1 수직부에서 상기 하행 화소 영역으로 일정 거리 연장된 수평부; 그리고
상기 수평부에 연결되어, 상기 게이트 배선을 두 번째로 교차하여 상기 상행 화소 영역으로 연장된 제2 수직부를 포함하는 액정 표시장치.

청구항 3

제 1 항에 있어서,
상기 제2 반도체 층은,
상기 하행 화소 영역에서 상기 제2 데이터 배선과 연결되어, 상기 게이트 배선을 첫 번째로 교차하여 상기 상행 화소 영역으로 연장된 제1 수직부;
상기 제1 수직부에서 상기 상행 화소 영역으로 일정 거리 연장된 수평부; 그리고
상기 수평부에 연결되어, 상기 게이트 배선을 두 번째로 교차하여 상기 하행 화소 영역으로 연장된 제2 수직부를 포함하는 액정 표시장치.

청구항 4

제 1 항에 있어서,
상기 제1 데이터 배선은,

상기 상행 화소 영역에서 수직으로 배치된 제1 상행 직선부;
 상기 하행 화소 영역에서 수직으로 배치된 제1 하행 직선부;
 상기 제1 상행 직선부와 상기 제1 하행 직선부를 연결하며, C 형상을 갖는 제1 우회부를 포함하며,
 상기 제2 데이터 배선은,
 상기 상행 화소 영역에서 수직으로 배치되며, 상기 제1 상행 직선부와 일정 간격으로 평행하게 이격된 제2 상행 직선부;
 상기 하행 화소 영역에서 수직으로 배치되며, 상기 제1 상행 직선부와 상기 일정 간격으로 평행하게 이격된 제2 하행 직선부;
 상기 제2 상행 직선부와 상기 제2 하행 직선부를 연결하며, 역C 형상을 갖는 제2 우회부를 포함하는 액정 표시 장치.

청구항 5

제 4 항에 있어서,
 상기 제1 반도체 층은, 상기 제1 상행 직선부의 단부에 연결되고, 상기 제1 우회부와 중첩하며 상기 게이트 배선을 첫 번째로 교차하여 상기 하행 화소 영역으로 연장된 제1 수직부;
 상기 제1 수직부에서 상기 하행 화소 영역으로 일정 거리 연장된 수평부; 그리고
 상기 수평부에 연결되어, 상기 게이트 배선을 두 번째로 교차하여 상기 상행 화소 영역으로 연장된 제2 수직부를 포함하는 액정 표시장치.

청구항 6

제 4 항에 있어서,
 상기 제2 반도체 층은, 상기 제2 하행 직선부의 단부에 연결되고, 상기 제2 우회부와 중첩하며 상기 게이트 배선을 첫 번째로 교차하여 상기 상행 화소 영역으로 연장된 제1 수직부;
 상기 제1 수직부에서 상기 상행 화소 영역으로 일정 거리 연장된 수평부; 그리고
 상기 수평부에 연결되어, 상기 게이트 배선을 두 번째로 교차하여 상기 하행 화소 영역으로 연장된 제2 수직부를 포함하는 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소당 보상용 박막 트랜지스터를 더 구비한 초고 해상도 액정 표시장치에 관한 것이다. 특히, 본 발명은 화소 구동용 박막 트랜지스터의 온/오프 특성을 보상하기 위한 보상용 박막 트랜지스터를 더 구비하며, 고 개구율을 구현한 초고 해상도 액정 표시장치의 화소 구조에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 발전해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: ED)와 같은 다양한 평판표시장치가 개발되어 활용되고 있다.

- [0003] 평판표시장치를 구성하는 표시패널(DP)은 매트릭스 방식으로 배열된 화소 영역 내에 할당된 박막 트랜지스터가 배치된 박막 트랜지스터 기판을 포함한다. 예를 들어, 액정표시장치(Liquid Crystal Display Device: LCD)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 구분한다.
- [0004] 수직 전계형 액정표시장치는 상 하부 기판에 대향하게 배치된 화소 전극과 공통전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동한다. 이러한 수직전계형 액정표시장치는 개구율이 큰 장점을 가지는 반면, 시야각이 90도 정도로 좁은 단점이 있다.
- [0005] 수평 전계형 액정표시장치는 하부 기판에 평행하게 배치된 화소 전극과 공통전극 사이에 수평 전계를 형성하여 인 플레인 스위치(In Plane Switching: IPS) 모드의 액정을 구동한다. 이러한 IPS 모드의 액정표시장치는 시야각이 160도 정도로 넓은 장점이 있으나, 개구율 및 투과율이 낮은 단점이 있다. 구체적으로 IPS 모드의 액정표시장치는 인 플레인 필드(In Plane Field)를 형성하기 위해서 공통전극과 화소전극간의 간격을 상 하부 기판의 간격보다 넓게 형성하고, 적정한 세기의 전계를 얻기 위해서 공통전극과 화소 전극을 일정한 너비를 갖는 띠 형태로 형성한다. 이와 같은 IPS 모드의 화소 전극 및 공통전극 사이에는 기판과 거의 평행한 전계가 형성되지만, 너비를 갖는 화소 전극 및 공통전극들 상부의 액정에는 전계가 형성되지 않는다. 즉, 화소 전극 및 공통전극 상부에 놓인 액정분자들은 구동되지 않고 초기 배열 상태를 유지한다. 초기상태를 유지하는 액정은 광을 투과시키지 못하여 개구율 및 투과율을 저하하는 요인이 된다.
- [0006] 이러한 IPS 모드의 액정표시장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작하는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정표시장치가 제안되었다. FFS 타입의 액정표시장치는 각 화소 영역에 절연막을 사이에 둔 공통전극과 화소 전극을 구비하고, 그 공통전극과 화소 전극의 간격을 상 하부 기판의 간격보다 좁게 형성하여 공통전극과 화소 전극 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상 하부 기판 사이에 개재된 액정 분자들은 모두 동작함으로써 개구율 및 투과율이 향상된 결과를 얻을 수 있다.
- [0007] 도 1은 종래의 프린지 필드 방식의 액정표시장치에 포함된 산화물 반도체 층을 갖는 평판형 표시패널을 구성하는 박막 트랜지스터(Thin Film Transistor: TFT) 기판을 나타내는 평면도이다. 도 2는 도 1에 도시한 평판표시장치의 박막 트랜지스터 기판에서 절취선 I-I'선을 따라 자른 단면도이다.
- [0008] 도 1 및 도 2에 도시된 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL)과, 그 교차부마다 형성된 박막 트랜지스터(T)를 구비한다. 그리고 게이트 배선(GL)과 데이터 배선(DL)의 교차 구조에 의해 화소 영역이 정의된다. 이 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PAS2)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 화소 전극(PXL)은 화소 영역에 대응하는 대략 장방형의 모양을 갖고, 공통전극(COM)은 평행한 다수 개의 띠 모양으로 형성할 수 있다.
- [0009] 공통전극(COM)은 게이트 배선과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.
- [0010] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전되어 유지하도록 한다. 이를 위해, 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기한 게이트 전극(G), 데이터 배선(DL)에서 분기 된 소스 전극(S), 소스 전극(S)과 대향하여 화소 전극(PXL)과 접속된 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하며 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 채널 층(A)을 포함한다.
- [0011] 특히, 반도체 층(SE)은 다결정 실리콘(Poly-Silicon) 물질로 형성하는 데, 게이트 전극(G)과 동일한 모양으로 중첩하는 다결정 실리콘 물질이 반도체 채널 층(A)으로 정의된다. 그리고 다결정 실리콘 물질 중 반도체 채널 층(A) 영역을 제외한 부분은 플라즈마 처리로 도체화되어 소스 콘택홀(SH)과 드레인 콘택홀(DH)을 통해 각각 소스 전극(S) 및 드레인 전극(D)과 접촉된다. 즉, 다결정 실리콘 반도체 층(SE)은 소스 전극(S)과 접촉하는 소스 영역(SA), 드레인 전극(D)과 접촉하는 드레인 영역(DA), 그리고 소스 영역(SA)과 드레인 영역(DA) 사이에서 게이트 전극(G)과 완전히 중첩하는 반도체 채널 층(A)으로 구분된다.
- [0012] 프린지 필드 스위칭 방식에서는 화소 전극(PXL)과 공통 전극(COM)이 중첩하는 구조를 갖는다. 이 중첩한 영역에서 보조 용량이 형성된다. 프린지 필드를 구성하고, 보조 용량을 충분히 충진하기 위해서는 고 용량의 박막 트랜지스터를 필요로 한다. 따라서, 프린지 필드 방식에서는 텁 게이트(Top Gate) 구조를 갖는 다결정 실리콘

반도체 물질을 포함하는 박막 트랜지스터를 사용하는 것이 바람직하다.

[0013] 도 2를 더 참조하여, 탑 게이트 구조를 갖는 다결정 실리콘 반도체 물질을 포함하는 박막 트랜지스터의 구조를 설명한다. 기판(SUB) 위에서 반도체 층(SE)이 먼저 형성된다. 반도체 층(SE) 위에, 게이트 절연막(GI)이 전도포된다. 게이트 절연막(GI) 위에서 반도체 층(SE)의 중앙부인 반도체 채널 층(A)과 중첩하는 게이트 전극(G)이 형성된다.

[0014] 게이트 전극(G) 위에는 기판(SUB) 전체를 덮는 중간 절연막(IN)이 도포된다. 중간 절연막(IN) 및 게이트 절연막(GI)을 관통하여 반도체 층(SE)의 소스 영역(SA)과 드레인 영역(DA)을 개방하는 소스 콘택홀(SH) 및 드레인 콘택홀(DH)이 형성된다. 그리고 중간 절연막(IN) 위에는 소스 콘택홀(SH)을 통해 소스 영역(SA)과 접촉하는 소스 전극(S) 및 드레인 콘택홀(DH)을 통해 드레인 영역(DA)과 접촉하는 드레인 전극(D)이 형성된다.

[0015] 이와 같이 형성된 탑 게이트 형 박막 트랜지스터(T)가 형성된 기판(SUB) 위의 전체 면에는 제1 보호막(PAS1)이 도포된다. 그리고 제1 보호막(PAS1)을 관통하여 드레인 전극(D)의 일부를 노출하는 화소 콘택홀(PH)이 형성된다.

[0016] 화소 전극(PXL)은 제1 보호막(PAS1) 위에서 화소 콘택홀(PH)을 통해 드레인 전극(D)과 접속한다. 한편, 공통전극(COM)은 화소 전극(PXL)을 덮는 제2 보호막(PAS2)을 사이에 두고 화소 전극(PXL)과 중첩되게 형성된다. 이와 같은 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드형 전계를 형성한다. 또한, 화소 전극(PXL)과 공통 전극(COM)이 중첩된 영역에서는 보조 용량이 형성된다. 프린지 필드형 전계에 의해 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.

[0017] 다결정 실리콘 반도체 물질을 포함하는 박막 트랜지스터의 특성상 오프 전류(Off-Current) 특성을 열화되는 문제가 있다. 구동 박막 트랜지스터에서 열화된 오프 특성을 보상하기 위해서는 보상용 박막 트랜지스터를 더 구비하는 것이 필요하다.

[0018] 이하, 도 3을 참조하여, 보상용 박막 트랜지스터를 더 구비한 액정 표시장치의 경우를 설명한다. 도 3은 종래 기술에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 3은 보상 박막 트랜지스터를 포함하면서, 300PPI 이하의 저 해상도 액정 표시장치를 구현하기 위한 박막 트랜지스터 기판을 나타내는 도면이다.

[0019] 보상용 박막 트랜지스터를 더 구비한 종래 기술에 의한 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL)에 의해 화소 영역이 정의된다. 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PAS2)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 화소 전극(PXL)은 화소 영역에 대응하는 대략 장방형의 모양을 갖고, 공통전극(COM)은 평행한 다수 개의 띠 모양으로 형성할 수 있다.

[0020] 각 화소 영역에는 구동 박막 트랜지스터(T1)가 하나씩 배치된다. 또한, 구동 박막 트랜지스터(T1)에는 오프-전류 특성을 보완하기 위한 보상 박막 트랜지스터(T2)가 배치된다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 보상 박막 트랜지스터(T2)의 소스 전극(S2)과 연결된다.

[0021] 직렬로 연결된 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)를 포함하는 박막 트랜지스터 기판의 구조를 좀 더 구체적으로 설명한다. 기판(SUB) 위에 가로 방향으로 진행하는 게이트 배선(GL)들과 세로 방향으로 진행하는 데이터 배선(DL)들이 교차하는 구조로 매트릭스 방식의 화소 영역이 정의된다.

[0022] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 게이트 배선(GL)에서 화소 영역 쪽으로 분기한 구조를 갖는다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 데이터 배선(DL)에서 화소 영역으로, 특히 게이트 전극(G1)을 향해 분기한 구조를 갖는다. 구동 박막 트랜지스터(T1)의 반도체 층(SE)은 소스 전극(S1) 및 게이트 전극(G1)과 중첩하면서 연장된다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 별도의 전극으로 형성하지 않고, 소스 전극(S1)과 접촉하는 반도체 층(SE)의 소스 영역(SA1)에서 연장되어 게이트 전극(G1)을 중심으로 대향하는 영역에 형성된 드레인 영역(DA1)이 드레인 전극(D1)이 된다.

[0023] 보상 박막 트랜지스터(T2)의 게이트 전극(G2)은 별도로 형성하지 않고, 게이트 배선(DL)의 일부분을 게이트 전극(G2)으로 사용한다. 보상 박막 트랜지스터(T2)의 소스 전극(S2)도 별도로 형성하지 않고, 반도체 층(SE)의 드레인 영역(DA1)에서 연장된 소스 영역(SA2)이 소스 전극(S2)으로 사용된다. 보상 박막 트랜지스터(T2)의 드레인 전극(D2)은 반도체 층(SE)에서 연장되어 게이트 전극(G2)을 중심으로 소스 영역(SA2)과 대향하는 드레인

영역(DA2)과 접촉한다.

[0024] 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)를 직렬로 연결하기 위해서, 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 해당 화소의 아래에 배치된 화소 영역으로 돌출된 구조를 갖는다. 그리고, 반도체 층(SE)은 아래 화소 영역에서 시작하여 게이트 배선(GL)과 중첩하도록 연장되어 해당 화소 영역 내에 배치된다. 보상 박막 트랜지스터(T2)의 드레인 전극(D)은 화소 영역 내에 형성된 화소 전극(PXL)과 연결된다.

[0025] 화소 전극(PXL)은 보호막을 사이에 두고 공통 전극(COM)과 중첩하는 구조를 갖는다. 공통전극(COM)은 게이트 배선과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다. 이와 같은 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드 형 전계를 형성한다. 또한, 화소 전극(PXL)과 공통 전극(COM)이 중첩된 영역에서는 보조 용량이 형성된다. 프린지 필드형 전계에 의해 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.

[0026] 300PPI 정도의 해상도 액정 표시장치에서는 화소 영역의 크기가 큰 편이어서, 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)가 화소 영역에서 차지하는 비율이 그리 크지 않다. 특히, 보조 용량을 따로 구성하지 않고, 화소 전극(PXL)과 공통 전극(COM)이 중첩되어 보조 용량을 형성하는 프린지 필드 스위칭 방식의 액정 표시장치에서는 개구 영역이 충분히 확보된다. 따라서, 보상 박막 트랜지스터(T2)의 크기로 인해 줄어드는 개구 영역의 비율이 크게 문제되지 않는다.

[0027] 보상 박막 트랜지스터를 더 구비한 구조를 300PPI 정도의 해상도용 액정 표시장치에 적용하기 위해, 도 3에 도시한 바와 같이, 보상 박막 트랜지스터(T2)의 게이트 전극(G2)을 별도로 형성하지 않고 게이트 배선(GL)을 이용하여 구성하였다. 그 결과, 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)가 화소 영역에서 차지하는 면적을 어느 정도 줄일 수 있었다. 이러한 구조에서는, 300PPI 전후의 해상도에서는 어느 정도 개구율을 확보할 수 있지만, 300PPI 이상의 고 해상도 액정 표시장치에서는 좀 더 개구율을 확보할 필요성이 있다.

[0028] 300PPI 이상의 고 해상도 혹은 500PPI 이상의 초고 해상도용 액정 표시장치에서는 화소 영역의 크기가 이보다 낮은 해상도용에 비해서 확연히 줄어든다. 반면에, 박막 트랜지스터들(T1, T2)의 크기는, 특성을 유지하기 위해서는, 줄어드는 화소 영역에 비례하여 줄인 크기를 가질 수 없다. 즉, 고 해상도 혹은 초고 해상도를 구현하기 위한 화소 구조에서는, 화소 면적에서 박막 트랜지스터들(T1, T2) 차지하는 면적 비율이 점점 커진다. 박막 트랜지스터들(T1, T2)이 차지하는 영역은 비 투과 영역이므로, 고 해상도 및 초고 해상도에서는 개구율 감소에 중요한 원인이 된다. 300PPI 이상의 고 해상도 혹은 500PPI 이상의 초고 해상도용 액정 표시장치를 위한 박막 트랜지스터 기판은 화소 면적당 개구 영역의 비율을 좀 더 높일 수 있는 새로운 구조가 절실히 요구되고 있다.

발명의 내용

해결하려는 과제

[0029] 본 발명의 목적은, 상기 종래 기술에 의한 문제점을 극복하기 위한 것으로서, 다결정 실리콘 반도체 물질을 구비한 박막 트랜지스터의 오프-전류 특성을 보완하기 위한 보상 박막 트랜지스터를 구비한 액정 표시장치를 제공하는 데 있다. 특히, 본 발명은 500PPI(Pixel Per Inch) 이상의 초고 해상도를 구현하고, 다결정 실리콘 반도체 층을 갖는 보상 박막 트랜지스터를 구비하고, 고 개구율을 확보하기 위한 화소 구조를 갖는 액정 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0030] 상기 본 발명의 목적을 달성하기 위한 본 발명에 의한 초고 해상도 액정 표시장치는, 기판, 제1 데이터 배선 및 제2 데이터 배선, 게이트 배선, 상행 화소 영역 및 하행 화소 영역, 상행 박막 트랜지스터 및 하행 박막 트랜지스터, 그리고 상행 화소 전극 및 하행 화소 전극을 포함한다. 제1 데이터 배선 및 제2 데이터 배선은 기판 위에서 서로 이웃하여 배치된다. 게이트 배선은 제1 데이터 배선 및 제2 데이터 배선을 가로지르며 기판 위에 배치된다. 상행 화소 영역은 게이트 배선을 기준으로 상부 행에 정의되고, 하행 화소 영역은 게이트 배선을 기준으로 하부 행에 정의된다. 상행 박막 트랜지스터는 제1 데이터 배선에 연결되며 'U' 형상으로 게이트 배선을 두 번 교차하는 제1 반도체 층을 구비한다. 하행 박막 트랜지스터는 제2 데이터 배선에 연결되며 'U' 형상으로 게이트 배선을 두 번 교차하는 제2 반도체 층을 구비한다. 상행 화소 전극은 상행 박막 트랜지스터에 연결되며, 상행 화소 영역 내에 형성된다. 그리고 하행 화소 전극은 하행 박막 트랜지스터에 연결되며, 하행 화소

영역 내에 형성된다.

[0031] 제1 반도체 층은, 제1 수직부, 수평부 그리고 제2 수직부를 포함한다. 제1 수직부는, 상행 화소 영역에서 제1 데이터 배선과 연결되어, 게이트 배선을 첫 번째로 교차하여 하행 화소 영역으로 연장된다. 수평부는, 제1 수직부에서 하행 화소 영역으로 일정 거리 연장된다. 그리고 제2 수직부는, 수평부에 연결되어, 게이트 배선을 두 번째로 교차하여 상행 화소 영역으로 연장된다.

[0032] 제2 반도체 층은, 제1 수직부, 수평부 그리고 제2 수직부를 포함한다. 제1 수직부는, 하행 화소 영역에서 제2 데이터 배선과 연결되어, 게이트 배선을 첫 번째로 교차하여 상행 화소 영역으로 연장된다. 수평부는, 제1 수직부에서 상행 화소 영역으로 일정 거리 연장된다. 그리고 제2 수직부는, 수평부에 연결되어, 게이트 배선을 두 번째로 교차하여 하행 화소 영역으로 연장된다.

[0033] 제1 데이터 배선은, 제1 상행 직선부, 제1 하행 직선부 및 제1 우회부를 포함하며, 제2 데이터 배선은, 제2 상행 직선부, 제2 하행 직선부 및 제2 우회부를 포함한다. 제1 상행 직선부는, 상행 화소 영역에서 수직으로 배치된다. 제1 하행 직선부는, 하행 화소 영역에서 수직으로 배치된다. 제1 우회부는, 제1 상행 직선부와 제1 하행 직선부를 연결하며, C 형상을 갖는다. 제2 상행 직선부는, 상행 화소 영역에서 수직으로 배치되며, 제1 상행 직선부와 일정 간격으로 평행하게 이격된다. 제2 하행 직선부는, 하행 화소 영역에서 수직으로 배치되며, 제1 상행 직선부와 일정 간격으로 평행하게 이격된다. 그리고 제2 우회부는, 제2 상행 직선부와 제2 하행 직선부를 연결하며, 역C 형상을 갖는다.

[0034] 제1 반도체 층은, 제1 수직부, 수평부 및 제2 수직부를 포함한다. 제1 수직부는, 제1 상행 직선부의 단부에 연결되고, 제1 우회부와 중첩하며 게이트 배선을 첫 번째로 교차하여 하행 화소 영역으로 연장된다. 수평부는, 제1 수직부에서 하행 화소 영역으로 일정 거리 연장된다. 그리고 제2 수직부는, 수평부에 연결되어, 게이트 배선을 두 번째로 교차하여 상행 화소 영역으로 연장된다.

[0035] 제2 반도체 층은, 제1 수직부, 수평부 및 제2 수직부를 포함한다. 제1 수직부는, 제2 하행 직선부의 단부에 연결되고, 제2 우회부와 중첩하며 게이트 배선을 첫 번째로 교차하여 상행 화소 영역으로 연장된다. 수평부는, 제1 수직부에서 상행 화소 영역으로 일정 거리 연장된다. 그리고 제2 수직부는, 수평부에 연결되어, 게이트 배선을 두 번째로 교차하여 하행 화소 영역으로 연장된다.

발명의 효과

[0036] 본 발명에 의한 액정 표시장치는, 각 화소에 보상용 박막 트랜지스터를 더 구비함으로써, 다결정 실리콘 반도체 물질을 포함하는 박막 트랜지스터의 오프-전류 특성을 보상하여, 양질의 화상 품질을 구현할 수 있다. 또한, 보상 박막 트랜지스터를 구비할 때 발생할 수 있는 개구율 저하를 최소한으로 하기 위한 화소 구조를 갖는다. 따라서, 500PPI 이상의 초고 해상도를 구현하더라도, 고 개구율을 확보할 수 있다는 장점이 있다.

도면의 간단한 설명

[0037] 도 1은 종래의 프린지 필드 방식의 액정 표시장치에 포함된 산화물 반도체 층을 갖는 평판형 표시패널을 구성하는 박막 트랜지스터 기판을 나타내는 평면도.

도 2는 도 1에 도시한 평판표시장치의 박막 트랜지스터 기판에서 절취선 I-I'선을 따라 자른 단면도.

도 3은 종래 기술에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도.

도 4는 본 발명의 제1 실시 예에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도.

도 5는 도 4에 도시한 평판 표시장치의 박막 트랜지스터 기판에서 절취선 II-II' 선을 따라 자른 단면도.

도 6은 본 발명의 제2 실시 예에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도.

도 7은 도 6에서 박막 트랜지스터 부분의 배치 구조를 상세하게 도시한 확대 평면도.

도 8은 본 발명의 제3 실시 예를 초고 해상도에 적용한 경우의 구조를 나타내는 평면도.

도 9는 본 발명의 제4 실시 예에 의한 보상 박막 트랜지스터를 더 구비한 액정 표시장치용 박막 트랜지스터 기

판을 나타내는 평면도.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0039] 이하, 도 4 및 5를 참조하여, 본 발명의 제1 실시 예에 대하여 설명한다. 도 4는 본 발명의 제1 실시 예에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 5는 도 4에 도시한 평판 표시장치의 박막 트랜지스터 기판에서 절취선 II-II' 선을 따라 자른 단면도이다. 도 4 및 5는 보상 박막 트랜지스터를 포함하면서, 400PPI 정도의 고 해상도 액정 표시장치를 구현하기 위한 박막 트랜지스터 기판을 나타내는 도면들이다.

[0040] 본 발명의 제1 실시 예에 의한, 박막 트랜지스터 기판은 하부 기판(SUB) 위에 중간 절연막(IN)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL)에 의해 화소 영역이 정의된다. 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PAS2)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 공통전극(COM)은 화소 영역의 대부분을 모두 덮도록 형성되고, 화소 전극(PXL)은 평행한 다수 개의 띠 모양으로 형성될 수 있다. 400PPI 정도의 고 해상도용 박막 트랜지스터 기판에서는 화소의 크기가 상당히 작아진다. 따라서, 화소 전극(PXL)이 두 세개 정도의 선분들로만 이루어질 수도 있다.

[0041] 각 화소 영역에는 구동 박막 트랜지스터(T1)가 하나씩 배치된다. 또한, 구동 박막 트랜지스터(T1)에는 오프-전류 특성을 보완하기 위한 보상 박막 트랜지스터(T2)가 배치된다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 보상 박막 트랜지스터(T2)의 소스 전극(S2)과 연결된다.

[0042] 직렬로 연결된 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)를 포함하는 박막 트랜지스터 기판의 구조를 좀 더 구체적으로 설명한다. 기판(SUB) 위에 가로 방향으로 진행하는 게이트 배선(GL)들과 세로 방향으로 진행하는 데이터 배선(DL)들이 교차하는 구조로 매트릭스 방식의 화소 영역이 정의된다.

[0043] 제1 실시 예에서는, 화소 영역에서 발광 영역의 비율을 높이기 위해, 게이트 전극을 게이트 배선에서 분기한 형태로 형성하지 않고, 게이트 배선의 일부를 이용하여 형성한다. 즉, 반도체 층(SE)을 게이트 배선(GL)과 중첩하도록 형성함으로써 박막 트랜지스터를 구성한다.

[0044] 예를 들어, 반도체 층(SE)을 데이터 배선(DL)의 일부와 접촉하면서, 데이터 배선(DL)과 중첩하여 연장되어, 게이트 배선(GL)과 교차하도록 연장된다. 그러면, 게이트 배선(GL) 및 데이터 배선(DL)과 중첩하는 반도체 층(SE)의 일부가 구동 박막 트랜지스터(T1)의 채널 층(A1)으로 정의된다. 그리고 게이트 배선(GL)과 평행하게 게이트 배선(GL)의 아래에 정의된 화소 영역으로 꺾어진 후, 데이터 배선(DL)과 평행하게 연장되어 게이트 배선(GL)과 다시 중첩하면서 게이트 배선(GL)의 위에 정의된 화소 영역으로 연장된다. 그러면, 게이트 배선(GL)과 중첩되는 반도체 층(SE)의 타부가 보상 박막 트랜지스터(T2)의 채널 영역(A2)으로 정의된다.

[0045] 좀 더 상세히 설명한다. 기판(SUB) 위에는 먼저 광 차단층이 형성된다. 본 발명에서는 다결정 반도체 물질로 박막 트랜지스터를 구성한다. 따라서, 다결정 반도체 물질의 특성을 담보하기 위해 박막 트랜지스터의 구조는 탑 게이트 구조를 갖는 것이 바람직하다. 이 경우, 기판(SUB) 하부에서 상부로 유입되는 백 라이트와 같은 빛에 의해 반도체 소자가 열화될 수 있다. 이러한 문제를 방지하기 위해, 채널 영역이 형성될 부분에 광 차단층을 먼저 형성하는 것이 바람직하다.

[0046] 구체적으로는, 구동 박막 트랜지스터(T1)의 채널 영역(A1)에 대응하는 영역에 제1 광 차단층(LS1)을 배치하고, 보상 박막 트랜지스터(T2)의 채널 영역(A2)에 대응하는 영역에는 제2 광 차단층(LS2)을 배치한다. 제1 및 제2 광 차단층(LS1, LS2)이 형성된 기판(SUB)의 전체 표면 위에는 베퍼 층(BUF)이 도포되어 있다.

[0047] 베퍼 층(BUF) 위에는 반도체 층(SE)이 형성되어 있다. 반도체 층(SE)은 나중에 형성될 데이터 배선(DL)의 일부를 따라서 진행하는 제1 수직 선분부(VS1)를 갖는다. 제1 수직 선분부(VS1)는 나중에 형성될 게이트 배선(GL)을 중심으로 윗단 화소 영역에서 아랫단 화소 영역까지 연장되어 배치된다. 반도체 층(SE)은 제1 수직 선분부(VS1)의 아래 끝단부에서 아랫단 화소 영역으로 꺾이어 연장된 수평 선분부(HS)를 갖는다. 그리고 반도체 층(SE)은 수평 선분부(HS)의 아랫단 화소 영역에서 게이트 배선(GL)을 타고 넘어 윗단 화소 영역으로 연장된 제2 수직 선분부(VS2)를 갖는다.

[0048]

반도체 층(SE)이 형성된 기판(SUB) 전체 표면 위에는, 게이트 절연 물질과 게이트 금속물질을 도포하고 패턴하여 형성된, 게이트 절연막(GI) 및 게이트 배선(GL)이 배치된다. 특히, 게이트 배선(GL)은, 각 화소당, 반도체 층(SE)과 교차하는 영역이 두 부분을 갖는다. 이렇게 반도체 층(SE)과 중첩하는 게이트 배선(GL)의 부분들을 편의상 게이트 전극(G1, G2)으로 정의한다. 반도체 층(SE)의 제1 수직 선분부(VS1)와 중첩하는 게이트 배선(GL)은 구동 박막 트랜지스터의 게이트 전극(G1)으로 정의된다. 또한, 반도체 층(SE)의 제2 수직 선분부(VS2)와 중첩하는 게이트 배선(GL)은 보상 박막 트랜지스터의 게이트 전극(G2)으로 정의된다.

[0049]

반도체 층(SE)은 게이트 절연막(GI) 및 게이트 배선(GL)과 중첩하는 영역과 그렇지 않고 노출되는 영역으로 구분된다. 게이트 배선(GL)과 중첩하지 않고 노출된 영역에는 불순물을 주입하여 도체화할 수 있다. 그 결과, 게이트 배선(GL)과 중첩하는 반도체 층(SE)은 채널 영역(A1, A2)으로 정의된다. 즉, 구동 게이트 전극(G1)과 중첩하는 반도체 층(SE)은 구동 박막 트랜지스터 채널 영역(A1)으로, 보상 게이트 전극(G2)과 중첩하는 반도체 층(SE)은 보상 박막 트랜지스터 채널 영역(A2)으로 정의된다.

[0050]

게이트 전극들(G1, G2)을 포함하는 게이트 배선(GL)이 형성된 기판(SUB) 전체 표면 위에는 중간 절연막(IN)이 도포되어 있다. 이때, 게이트 배선(GL)이 형성되지 않은 도체화된 반도체 층(SE)의 영역들은 소스 영역 및 드레인 영역으로 정의된다. 구체적으로 설명하면, 구동 박막 트랜지스터 채널 영역(A1)의 일측부이며 반도체 층(SE)의 시작부는 구동 박막 트랜지스터 소스 영역(SA1)으로, 구동 박막 트랜지스터 채널 영역(A1)의 타측부는 구동 박막 트랜지스터 드레인 영역(DA1)으로 정의된다. 한편, 보상 박막 트랜지스터 채널 영역(A2)의 일측부이며, 구동 박막 트랜지스터 드레인 영역(D1)에서 연장된 부분은 보상 박막 트랜지스터 소스 영역(SA2)으로, 보상 박막 트랜지스터 채널 영역(A2)의 타측부는 보상 박막 트랜지스터 드레인 영역(DA2)으로 정의된다. 특히, 구동 박막 트랜지스터 드레인 영역(DA1)과 보상 박막 트랜지스터 소스 영역(SA2)은 반도체 층(SE)의 수평 선분부(HS)를 구성한다.

[0051]

중간 절연막(IN)에는, 구동 박막 트랜지스터 소스 영역(SA1)의 일부를 노출하는 소스 콘택홀(SH)과, 보상 박막 트랜지스터 드레인 영역(DA2)의 일부를 노출하는 드레인 콘택홀(DH)을 구비한다. 중간 절연막(IN) 위에는 소스-드레인 금속 물질로 형성된 데이터 배선(DL)이 배치되어 있다. 데이터 배선(DL)은 게이트 배선(GL)과 직교하도록 배치된다. 특히, 화소 영역에서 비 표시 영역의 비율을 줄이기 위해, 소스 전극을 별도로 형성하지 않고, 데이터 배선(DL)의 일부를 소스 전극으로 활용한다. 즉, 소스 콘택홀(SH)을 통해 노출된 반도체 층(SE)의 구동 박막 트랜지스터 소스 영역(SA1)과 접촉하는 데이터 배선(DL)의 일부가 구동 박막 트랜지스터 소스 전극(S1)이 된다. 한편, 드레인 콘택홀(DH)을 통해서 노출된 반도체 층(SE)의 보상 박막 트랜지스터 드레인 영역(DA2)과 접촉하는 드레인 전극(D2)은 별도로 배치된다. 드레인 전극(D2)은 화소 영역에서 하단부에 일정한 크기를 갖고 형성되어 있다.

[0052]

그 후, 구동 박막 트랜지스터(T1) 및 보상 박막 트랜지스터(T2)를 덮는 제1 보호막(PAS1)이 기판(SUB) 전체 표면에 도포되어 있다. 제1 보호막(PAS1) 위에는 기판(SUB) 전체 표면 대부분을 덮도록 공통 전극(COM)이 배치된다. 공통 전극(COM)의 면 저항을 낮추며, 하부에 배치된 박막 트랜지스터들(T1, T2) 및 각종 배선들과의 전기적 간섭을 차폐할 수 있도록 가급적 기판(SUB) 전체 면적의 대부분을 덮는 구조를 갖는 것이 바람직하다. 공통 전극(COM) 위에는 화소 전극(PXL)을 형성하여야 하는데, 화소 전극(PXL)과 보상 박막 트랜지스터 드레인 전극(D2)을 연결하기 위한 화소 콘택홀(PH) 부분을 제외한 거의 모든 영역을 덮도록, 공통 전극(COM)을 형성하는 것이 바람직하다.

[0053]

공통 전극(COM) 위에는 기판(SUB) 전체 표면을 덮는 제2 보호막(PAS2)이 도포되어 있다. 제2 보호막(PAS2) 및 제1 보호막(PAS1)의 일부를 제거하여 보상 박막 트랜지스터 드레인 전극(D2) 일부를 노출하는 화소 콘택홀(PH)이 형성되어 있다. 화소 콘택홀(PH)은 드레인 콘택홀(DH)로부터 화소 영역 내측으로 일정 거리 이격한 위치에 형성된다. 제2 보호막(PAS2) 위에는 화소 콘택홀(PH)을 통해 보상 박막 트랜지스터 드레인 전극(D2)과 연결되는 화소 전극(PXL)이 형성되어 있다. 공통 전극(COM)과 화소 전극(PXL) 사이에 프린지 필드를 형성하도록 하기 위해, 화소 전극(PXL)은 다수 개의 선분 형태로 형성하는 것이 바람직하다.

[0054]

본 발명의 제1 실시 예에 의한 박막 트랜지스터 기판은, 300 내지 400PPI 정도의 고 해상도용 액정 표시장치에 적용할 수 있다. 400PPI 전후의 고 해상도를 구현하기 위해서는 화소 영역의 크기가 상당히 작아진다. 예를 들어, 화소 전극(PXL)을 구성하는 선분은 2개 혹은 3개의 수직 선분들을 구비할 수 있다.

[0055]

제1 실시 예에 의한 박막 트랜지스터 기판의 구조는 화소 영역 내에서 비 표시 영역이 차지하는 비율을 줄여서

400PPI 정도까지의 고 해상도용 액정표시장치에 적용할 수 있었다. 그러나 제1 실시 예와 같은 구동 박막 트랜지스터에 직렬로 연결된 보상 박막 트랜지스터를 더 구비한 박막 트랜지스터 기판을 500PPI 이상의 초고 해상도 용 액정 표시장치에 그대로 적용하는 데에는 충분하지 않다.

[0056] 예를 들어, 500PPI를 넘어 800PPI 정도의 초고 해상도 액정 표시장치에 적용할 수 있도록 비 표시 영역의 비율을 극소화한 박막 트랜지스터 기판의 구조가 필요하다. 500PPI 이상의 초고 해상도를 구현하기 위해서는 데이터 배선들의 간격, 게이트 배선들의 간격이 점점 좁아진다. 아울러 박막 트랜지스터의 크기도 점점 작아진다. 하지만, 박막 트랜지스터는 화소를 구동하는 데 필요한 전기적 특성을 만족하여야 하기 때문에 그 크기를 선형적으로 줄일 수 없다. 따라서, 박막 트랜지스터의 배치를 변형하여 한 화소 내에서 개구 영역이 차지하는 개구율을 높이는 방법이 필요하다.

[0057] 이하의 설명에서는 제1 실시 예에서 제시한 기본 개념을 더욱 확장하여 개구 영역을 극대화함으로써 500 내지 800PPI 정도의 초고 해상도를 구현할 수 있는 박막 트랜지스터 기판의 구조를 제안한다. 제2 실시 예에서는, 게이트 배선(GL)을 중심으로 상부 행에 배치되는 상행 화소에 할당된 박막 트랜지스터와 하부 행에 배치되는 하행 화소에 할당된 박막 트랜지스터를 이웃하는 두 개의 데이터 배선 사이에서 근접하여 배치된 구조를 제안한다.

[0058] 이하, 도 6 및 7을 참조하여, 본 발명의 제2 실시 예에 대하여 설명한다. 도 6은 본 발명의 제2 실시 예에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 7은 도 6에서 박막 트랜지스터 부분의 배치 구조를 상세하게 도시한 확대 평면도이다.

[0059] 제2 실시 예에 의한 액정 표시장치용 박막 트랜지스터 기판은, 기판(SUB) 상에서 가로 방향으로 연장된 복수 개의 게이트 배선들(GL; GL₁, GL₂, GL₃, ...)과, 세로 방향을 연장된 복수 개의 데이터 배선들(DL; DL₁, DL₂, DL₃, ...)을 구비한다. 게이트 배선들(GL)과 데이터 배선들(DL)이 교차하는 구조에 의해 정의된 장방형의 영역이 화소 영역으로 정의된다.

[0060] 어느 한 게이트 배선(GL₂)을 중심으로 상부 행에 배치된 화소 영역을 상행 화소 영역(PA₁)으로, 하부 행에 배치된 화소 영역을 하행 화소 영역(PA₂)으로 정의한다. 또한, 데이터 배선들(DL₁, DL₂)도 게이트 배선(GL₂)을 기준으로 상행부와 하행부로 구분하여 정의할 수 있다.

[0061] 이렇게 이웃한 상행 화소 영역(PA₁)과 하행 화소 영역(PA₂)이 공유하는 게이트 배선(GL₂)에는 상행 화소 영역(PA₁)에 할당된 상행 박막 트랜지스터들(T₁₁, T₁₂)과, 하행 화소 영역(PA₂)에 할당된 하행 박막 트랜지스터들(T₂₁, T₂₂)이 배치된다. 상행 박막 트랜지스터는 직렬로 연결된 상행 보상 박막 트랜지스터(T₁₁)와 상행 구동 박막 트랜지스터(T₁₂)를 구비하고, 하행 박막 트랜지스터는 직렬로 연결된 하행 보상 박막 트랜지스터(T₂₁)와 하행 구동 박막 트랜지스터(T₂₂)를 구비한다.

[0062] 직렬로 연결된 상행 보상 박막 트랜지스터(T₁₁)와 상행 구동 박막 트랜지스터(T₁₂)는, 반도체 층을 'U(cup)' 형태로 게이트 배선(GL)을 두 번 교차하도록 배치함으로써 형성할 수 있다. 마찬가지로, 직렬로 연결된 하행 보상 박막 트랜지스터(T₂₁)와 하행 구동 박막 트랜지스터(T₂₂)는, 반도체 층을 '∩(cap)' 형태로 게이트 배선(GL)을 두 번 교차하도록 배치함으로써 형성할 수 있다.

[0063] 먼저, 상행 박막 트랜지스터들에 대해, 주요 요소인 'U'형 반도체 층을 중심으로 설명한다. 'U'형 반도체 층은 제1 데이터 배선(DL₁)의 상행부에 연결되어, 제1 데이터 배선(DL₁)을 따라 하행부까지 연장된 제1 수직부(UV₁), 하행 화소 영역(PA₂) 쪽으로 일정 거리 연장된 수평부(UH), 그리고 제1 수직부(UV₁)와 평행하게 하행 화소 영역(PA₂)에서 상행 화소 영역(PA₁)으로 연장된 제2 수직부(UV₂)를 포함한다. 제1 수직부(UV₁)가 게이트 배선(GL₂)과 첫 번째로 교차하여 상행 보상 박막 트랜지스터(T₁₁)의 채널 층(A₁₁)을 형성한다. 제2 수직부(UV₂)가 게이트 배선(GL₂)과 두 번째로 교차하여 상행 구동 박막 트랜지스터(T₁₂)의 채널 층(A₁₂)을 형성한다.

[0064] 'U'형 반도체 층의 제1 수직부(UV₁)는 상행 소스 콘택홀(SH₁)을 통해 제1 데이터 배선(DL₁)과 연결되며, 상행 보상 박막 트랜지스터(T₁₁)의 채널 층(A₁₁)과 연결된 일측 영역인 제1 소스 영역(S₁₁)을 포함한다. 또한, 상행 보상 박막 트랜지스터(T₁₁)의 채널 층(A₁₁), 그리고 채널 층(A₁₁)과 연결된 타측 영역인 제1 드레인 영역(D₁₁)을 포함한다.

[0065] 'U'형 반도체 층의 수평부(UH)는 제1 드레인 영역(D₁₁)이 수평 방향으로 연장되며, 상행 구동 박막 트랜지스터(T₁₂)의 채널 층(A₁₂)과 연결된 제2 소스 영역(S₁₂)으로 이루어진다. 수평부(UH)는 제1 데이터 배선(DL₁)의 하행부에서 하행 화소 영역(PA₂)으로 일정 거리 연장된 구조를 갖는다.

- [0066] 'U'형 반도체 층의 제2 수직부(UV2)는 수평부(UH)에서 상행 화소 영역(PA1)으로 수직 방향으로 연장되어, 제2 소스 영역(S12)의 일부를 포함한다. 또한, 상행 구동 박막 트랜지스터(T12)의 채널 층(A12)을 포함한다. 그리고 채널 층(A12)과 연결된 타측 영역인 제2 드레인 영역(D12)을 포함한다.
- [0067] 제2 드레인 영역(D12)은 상행 드레인 콘택홀(DH1)을 통해 상행 드레인 전극(D1)과 연결된다. 상행 드레인 전극(D1)은 상행 드레인 콘택홀(DH1)에서 게이트 배선(GL2) 방향으로 연장된 구조를 갖는다. 도면에서는, 상행 드레인 콘택홀(DH1)이 게이트 배선(GL2)과 중첩하여 형성된 경우를 나타내었다. 경우에 따라서는, 상행 화소 영역(PA1) 쪽으로 연장된 구조를 가질 수도 있다. 하지만, 상행 화소 영역(PA1) 쪽으로 연장되면 개구 영역을 감소할 수 있으므로, 비 개구 영역에 해당하는 게이트 배선(GL2) 쪽으로 연장되는 것이 바람직하다.
- [0068] 게이트 배선(GL2)과 인접하거나 중첩된 상행 드레인 전극(D1)의 일측 단부는 상행 화소 콘택홀(PH1)에 의해 노출된다. 상행 화소 콘택홀(PH1)을 통해 상행 드레인 전극(D1)은 상행 화소 전극(PX1)과 연결된다. 상행 화소 전극(PX1)은 상행 화소 영역(PA1)에 선분 형태로 형성된다. 해상도가 높아질 수록 상행 화소 전극(PX1)의 선분 개수는 줄어들 수 있다. 예를 들어, 300PPI정도의 해상도에서는 3~4개의 선분(혹은, 평거) 형태를 가질 수 있고, 400~500PPI 정도의 해상도에서는 2~3개의 선분 형태를 가질 수 있다. 600PPI 이상의 초고해상도에서는 1~2개의 선분형태로 형성될 수도 있다.
- [0069] 도면에 도시하지 않았지만, 공통 전극은 기판(SUB) 전체 면적 대부분을 덮도록 형성할 수 있다. 이 경우, 공통 전극은 면 전극 형태로 상행 화소 영역(PA1) 대부분을 차지하는 구조를 갖는다. 그 결과, 공통 전극과 상행 화소 전극(PX1)이 보호막을 사이에 두고 중첩함으로써, 프린지 필드에 의한 수평 전계를 형성할 수 있다.
- [0070] 다음으로, 하행 박막 트랜지스터들에 대해, 주요 요소인 'U'형 반도체 층을 중심으로 설명한다. 'U'형 반도체 층은 제1 데이터 배선(DL1)과 인접하여 배치된, 제2 데이터 배선(DL2)의 하행부에 연결되어, 제2 데이터 배선(DL2)을 따라 상행부까지 연장된 제1 수직부(NV1), 하행 상행화소 영역(PA1) 쪽으로 일정 거리 연장된 수평부(NH), 그리고 제1 수직부(NV1)와 평행하게 상행 화소 영역(PA1)에서 하행 화소 영역(PA2)으로 연장된 제2 수직부(NV2)를 포함한다. 제1 수직부(NV1)가 게이트 배선(GL2)과 첫 번째로 교차하여 하행 보상 박막 트랜지스터(T21)의 채널 층(A21)을 형성한다. 제2 수직부(NV2)가 게이트 배선(GL2)과 두 번째로 교차하여 하행 구동 박막 트랜지스터(T22)의 채널 층(A22)을 형성한다.
- [0071] 'U'형 반도체 층의 제1 수직부(NV1)는 하행 소스 콘택홀(SH2)을 통해 제2 데이터 배선(DL2)과 연결되며, 하행 보상 박막 트랜지스터(T21)의 채널 층(A21)과 연결된 일측 영역인 제1 소스 영역(S21)을 포함한다. 또한, 하행 보상 박막 트랜지스터(T21)의 채널 층(A21), 그리고 채널 층(A21)과 연결된 타측 영역인 제1 드레인 영역(D21)을 포함한다.
- [0072] 'U'형 반도체 층의 수평부(NH)는 제1 드레인 영역(D21)이 수평 방향으로 연장되며, 하행 구동 박막 트랜지스터(T22)의 채널 층(A22)과 연결된 제2 소스 영역(S22)으로 이루어진다. 수평부(NH)는 제2 데이터 배선(DL2)의 상행부에서 상행 화소 영역(PA1)으로 일정 거리 연장된 구조를 갖는다.
- [0073] 'U'형 반도체 층의 제2 수직부(NV2)는 수평부(NH)에서 하행 화소 영역(PA2)으로 수직 방향으로 연장되어, 제2 소스 영역(S22)의 일부를 포함한다. 또한, 하행 구동 박막 트랜지스터(T22)의 채널 층(A22)을 포함한다. 그리고 채널 층(A22)과 연결된 타측 영역인 제2 드레인 영역(D22)을 포함한다.
- [0074] 제2 드레인 영역(D22)은 하행 드레인 콘택홀(DH2)을 통해 하행 드레인 전극(D2)과 연결된다. 하행 드레인 전극(D2)은 하행 드레인 콘택홀(DH2)에서 게이트 배선(GL2) 방향으로 연장된 구조를 갖는다. 경우에 따라서는, 하행 화소 영역(PA2) 쪽으로 연장된 구조를 가질 수도 있다. 하지만, 하행 화소 영역(PA2) 쪽으로 연장되면 개구 영역을 감소할 수 있으므로, 비 개구 영역에 해당하는 게이트 배선(GL2) 쪽으로 연장되는 것이 바람직하다.
- [0075] 게이트 전극(GL2)과 인접하거나 중첩된 하행 드레인 전극(D2)의 일측 단부는 하행 화소 콘택홀(PH2)에 의해 노출된다. 하행 화소 콘택홀(PH2)을 통해 하행 드레인 전극(D2)은 하행 화소 전극(PX2)과 연결된다. 하행 화소 전극(PX2)은 하행 화소 영역(PA2) 내에서 선분 형태로 형성된다.
- [0076] 도면에 도시하지 않았지만, 공통 전극은 기판(SUB) 전체 면적 대부분을 덮도록 형성할 수 있다. 이 경우, 공통 전극은 면 전극 형태로 하행 화소 영역(PA2) 대부분을 차지하는 구조를 갖는다. 그 결과, 공통 전극과 하행 화소 전극(PX2)이 보호막을 사이에 두고 중첩함으로써, 프린지 필드에 의한 수평 전계를 형성할 수 있다.
- [0077] 도 6과 도 4를 참조하여, 제2 실시 예에 의한 박막 트랜지스터 기판의 구조를 제1 실시 예의 것과 비교하면, 제2 실시 예에서는 게이트 배선을 중심으로 상행 화소 영역과 하행 화소 영역의 박막 트랜지스터를 동일 게이트

배선 상에 인접하여 배치한 특징을 갖는다. 이러한 구조적 차이로 인해, 제1 실시 예에서 각 화소의 상변과 하변 모두에 박막 트랜지스터들이 배치되는 반면, 제2 실시 예에서는 각 화소의 상변과 하변 중 어느 한 변에만 박막 트랜지스터가 배치되는 구조를 갖는다. 그 결과, 화소 영역에서 박막 트랜지스터가 배치되는 비 개구 영역이 차지하는 비율을 극소화하여, 개구율을 극대화할 수 있다.

[0078] 실질적으로 박막 트랜지스터를 설계할 경우, 제1 실시 예에 의한 평면 구조를 갖는 박막 트랜지스터 기판은 250PPI의 해상도까지 설계가 가능하다. 하지만, 그 이상의 해상도를 구현하고자 할 경우에는 소자들이 너무 인접하여 배치되기 때문에 각 소자 패턴들을 정확하게 형성하기가 어렵다. 반면에, 제2 실시 예에 의한 평면 구조를 적용하여 박막 트랜지스터 기판을 설계할 경우, 250PPI 이상 400PPI 까지는 각 소자들의 형상에 손상을 주지 않고, 대량생산이 가능하다.

[0079] 하지만, 400PPI 이상의 초고 해상도를 구현하기 위해서는, 제2 실시 예에 의한 박막 트랜지스터 기판 구조에서 데이터 배선들 및 게이트 배선들의 간격을 더욱 좁혀서 설계하여야 한다. 그 결과, 이웃하는 박막 트랜지스터들 사이의 거리, 그리고 각 배선들과 박막 트랜지스터와의 거리가 점점 좁아져서, 각 소자들의 패턴을 정확하게 형성하기 어려워진다. 특히, 박막 트랜지스터들이 배치되는 제1 데이터 배선(DL1)과 제2 데이터 배선(DL2) 사이의 간격을 줄이는 데는 한계가 있다.

[0080] 이하, 도 8을 참조하여, 본 발명의 제3 실시 예에 대하여 설명한다. 도 8은 본 발명의 제3 실시 예를 초고 해상도에 적용한 경우의 구조를 나타내는 평면도이다. 제3 실시 예에서는, 제2 실시 예에서 데이터 배선들의 간격을 좁혀 초고해상도 구조를 실현하되, 박막 트랜지스터들이 배치되는 부분에서는 데이터 배선들의 간격을 좁히지 않고, 화소 전극이 형성되는 부분에서만 선택적으로 데이터 배선들의 간격을 좁힌 구조적 특징을 갖는다.

[0081] 좀 더 구체적으로 설명하면, 제3 실시 예에 의한 액정 표시장치용 박막 트랜지스터 기판은, 기판(SUB) 상에서 가로 방향으로 연장된 복수 개의 게이트 배선들(GL; GL1, GL2, GL3, ...)과, 세로 방향을 연장된 복수 개의 데이터 배선들(DL; DL1, DL2, DL3, ...)을 구비한다. 게이트 배선들(GL)과 데이터 배선들(DL)이 교차하는 구조에 의해 정의된 장방형의 영역이 화소 영역으로 정의된다.

[0082] 어느 한 게이트 배선(GL2)을 중심으로 상부 행에 배치된 화소 영역을 상행 화소 영역(PA1)으로, 하부 행에 배치된 화소 영역을 하행 화소 영역(PA2)으로 정의한다. 또한, 데이터 배선들(DL1, DL2)도 게이트 배선(GL2)을 기준으로 상행부와 하행부로 구분하여 정의할 수 있다.

[0083] 이렇게 이웃한 상행 화소 영역(PA1)과 하행 화소 영역(PA2)이 공유하는 게이트 배선(GL2)에는 상행 화소 영역(PA1)에 할당된 상행 박막 트랜지스터들(T11, T12)과, 하행 화소 영역(PA2)에 할당된 하행 박막 트랜지스터들(T21, T22)이 배치된다. 상행 박막 트랜지스터는 직렬로 연결된 상행 보상 박막 트랜지스터(T11)와 상행 구동 박막 트랜지스터(T12)를 구비하고, 하행 박막 트랜지스터는 직렬로 연결된 하행 보상 박막 트랜지스터(T21)와 하행 구동 박막 트랜지스터(T22)를 구비한다.

[0084] 직렬로 연결된 상행 보상 박막 트랜지스터(T11)와 상행 구동 박막 트랜지스터(T12)는, 반도체 층을 ' \cup (cup)' 형태로 게이트 배선(GL)을 두 번 교차하도록 배치함으로써 형성할 수 있다. 마찬가지로, 직렬로 연결된 하행 보상 박막 트랜지스터(T21)와 하행 구동 박막 트랜지스터(T22)는, 반도체 층을 ' \cap (cap)' 형태로 게이트 배선(GL)을 두 번 교차하도록 배치함으로써 형성할 수 있다.

[0085] 여기서, 데이터 배선들의 간격을 좁혀서 초고해상도를 구현할 수 있다. 이 경우, 상행 박막 트랜지스터들과 하행 박막 트랜지스터들이 게이트 배선(GL2) 상에 모두 배치된다. 이 영역에서 박막 트랜지스터들이 일정 간격을 유지해야 하므로, 이 영역에서는 어느 정도의 폭을 확보하여야 한다.

[0086] 따라서, 제1 데이터 배선(DL1)과 제2 데이터 배선(DL2)의 이격 거리는 일정하지 않고, 좁은 영역과 넓은 영역으로 구분될 수 있다. 특히, 넓은 영역은 상행 박막 트랜지스터와 하행 박막 트랜지스터들이 배치되는 영역에 해당한다.

[0087] 이러한 구조를 위해, 제1 데이터 배선(DL1)은 제1 상행 직선부(UL1)와 제1 하행 직선부(NL1), 그리고 제1 상행 직선부(UL1)와 제1 하행 직선부(NL1)를 연결하는 '['(혹은, C) 형태의 제1 우회부(C1)를 구비한다. 마찬가지로, 제2 데이터 배선(DL2)은 제2 상행 직선부(UL2)와 제2 하행 직선부(NL2), 그리고 제2 상행 직선부(UL2)와 제2 하행 직선부(NL2)를 연결하는 ']'(혹은, 역C) 형태의 제2 우회부(C2)를 구비한다.

[0088] 이와 같은 데이터 배선의 구조에서 박막 트랜지스터의 배치 구조를 살펴보면 다음과 같다. 박막 트랜지스터의

구성은 제2 실시 예의 것과 많은 부분이 동일하므로, 차이점을 중심으로 설명한다.

[0089] 먼저, 상행 박막 트랜지스터들에 대해, 주요 요소인 'U'형 반도체 층은 제1 데이터 배선(DL1)의 제1 상행 직선부(UL1)의 단부에 연결되고, 게이트 배선(GL2)와 교차하여 하행 화소 영역(PA2)까지 연장된 제1 수직부(UV1), 하행 화소 영역(PA2) 내측으로 일정 거리 연장된 수평부(UH), 그리고 제1 수직부(UV1)와 평행하게 하행 화소 영역(PA2)에서 상행 화소 영역(PA1)으로 연장된 제2 수직부(UV2)를 포함한다. 제1 수직부(UV1)가 게이트 배선(GL2)과 첫 번째로 교차하여 상행 보상 박막 트랜지스터(T11)의 채널 층(A11)을 형성한다. 제2 수직부(UV2)가 게이트 배선(GL2)과 두 번째로 교차하여 상행 구동 박막 트랜지스터(T12)의 채널 층(A12)을 형성한다.

[0090] 'U'형 반도체 층의 제1 수직부(UV1)는 상행 소스 콘택홀(SH1)을 통해 제1 데이터 배선(DL1)의 제1 상행 직선부(UL1)와 연결되며 상행 보상 박막 트랜지스터(T11)의 채널 층(A11)과 연결된 일측 영역인 제1 소스 영역(S11)을 포함한다. 또한, 상행 보상 박막 트랜지스터(T11)의 채널 층(A11), 그리고 채널 층(A11)과 연결된 타측 영역인 제1 드레인 영역(D11)을 포함한다. 여기서, 제1 수직부(UV1)는 제1 데이터 배선(DL1)의 제1 우회부(C1)과 중첩하지 않고, 평행하게 배치된다.

[0091] 'U'형 반도체 층의 수평부(UH)는 제1 드레인 영역(D11)이 수평 방향으로 연장되며, 상행 구동 박막 트랜지스터(T12)의 채널 층(A12)과 연결된 제2 소스 영역(S12)으로 이루어진다. 수평부(UH)는 제1 데이터 배선(DL1)의 하행 직선부(NL1) 부근에서 하행 화소 영역(PA2)으로 일정 거리 연장된 구조를 갖는다.

[0092] 'U'형 반도체 층의 제2 수직부(UV2)는 수평부(UH)에서 상행 화소 영역(PA1)으로 수직 방향으로 연장되며, 제2 소스 영역(S12)의 일부를 포함한다. 또한, 상행 구동 박막 트랜지스터(T12)의 채널 층(A12)을 포함한다. 그리고 채널 층(A12)과 연결된 타측 영역인 제2 드레인 영역(D12)을 포함한다.

[0093] 제2 드레인 영역(D12)은 상행 드레인 콘택홀(DH1)을 통해 상행 드레인 전극(D1)과 연결된다. 상행 드레인 전극(D1)은 상행 드레인 콘택홀(DH1)에서 게이트 배선(GL2) 방향으로 연장된 구조를 갖는다. 도면에서는, 상행 드레인 콘택홀(DH1)이 게이트 배선(GL2)과 중첩하여 형성된 경우를 나타내었다.

[0094] 다음으로, 하행 박막 트랜지스터들에 대해, 주요 요소인 'n'형 반도체 층은 제2 데이터 배선(DL2)의 하행 직선부(NL2)의 단부에 연결되고, 게이트 배선(GL2)와 교차하여 상행 화소 영역(PA1)까지 연장된 제1 수직부(NV1), 상행 화소 영역(PA1) 내측으로 일정 거리 연장된 수평부(NH), 그리고 제1 수직부(NV1)와 평행하게 상행 화소 영역(PA1)에서 하행 화소 영역(PA2)으로 연장된 제2 수직부(NV2)를 포함한다. 제1 수직부(NV1)가 게이트 배선(GL2)과 첫 번째로 교차하여 하행 보상 박막 트랜지스터(T21)의 채널 층(A21)을 형성한다. 제2 수직부(NV2)가 게이트 배선(GL2)과 두 번째로 교차하여 하행 구동 박막 트랜지스터(T22)의 채널 층(A22)을 형성한다.

[0095] 'n'형 반도체 층의 제1 수직부(NV1)는 하행 소스 콘택홀(SH2)을 통해 제2 데이터 배선(DL2)의 제2 하행 직선부(NL2)와 연결되며 하행 보상 박막 트랜지스터(T21)의 채널 층(A21)과 연결된 일측 영역인 제1 소스 영역(S21)을 포함한다. 또한, 하행 보상 박막 트랜지스터(T21)의 채널 층(A21), 그리고 채널 층(A21)과 연결된 타측 영역인 제1 드레인 영역(D21)을 포함한다. 여기서, 제1 수직부(NV1)는 제2 데이터 배선(DL2)의 제2 우회부(C2)과 중첩하지 않고, 평행하게 배치된다.

[0096] 'n'형 반도체 층의 수평부(NH)는 제1 드레인 영역(D21)이 수평 방향으로 연장되며, 하행 구동 박막 트랜지스터(T22)의 채널 층(A22)과 연결된 제2 소스 영역(S22)으로 이루어진다. 수평부(NH)는 제2 데이터 배선(DL2)의 상행 직선부(UL2) 부근에서 상행 화소 영역(PA1)으로 일정 거리 연장된 구조를 갖는다.

[0097] 'n'형 반도체 층의 제2 수직부(NV2)는 수평부(NH)에서 하행 화소 영역(PA2)으로 수직 방향으로 연장되며, 제2 소스 영역(S22)의 일부를 포함한다. 또한, 하행 구동 박막 트랜지스터(T22)의 채널 층(A22)을 포함한다. 그리고 채널 층(A22)과 연결된 타측 영역인 제2 드레인 영역(D22)을 포함한다.

[0098] 제2 드레인 영역(D22)은 하행 드레인 콘택홀(DH2)을 통해 하행 드레인 전극(D2)과 연결된다. 하행 드레인 전극(D2)은 하행 드레인 콘택홀(DH2)에서 게이트 배선(GL2) 방향으로 연장된 구조를 갖는다. 도면에서는, 하행 드레인 콘택홀(DH2)이 게이트 배선(GL2)과 중첩하여 형성된 경우를 나타내었다.

[0099] 제3 실시 예에서 화소 전극들(PX1, PX2) 및 공통 전극 그리고 전계 형성에 관련된 구조는 제2 실시 예의 것과 거의 동일하므로 상세한 설명은 생략한다. 제3 실시 예에서는 박막 트랜지스터들이 배치되는 게이트 배선(GL) 부근에서의 화소 폭을 화소 전극이 배치되는 부분에서의 화소 폭보다 넓게 확보함으로써, 박막 트랜지스터들의

패턴을 정상적으로 형성할 수 있다. 이와 동시에 화소 전극이 배치되는 부분에서는 화소 폭을 좁힐 수 있어서, 전체적으로 화소의 밀도를 더 높일 수 있다. 또한, 화소 폭이 넓은 박막 트랜지스터가 형성되는 부분은 가로 방향으로 한 화소 건너서 배치되기 때문에 화소 폭이 넓더라도, 이웃하는 화소 폭은 넓어진 만큼 좁게 형성되므로 서로 상쇄되어 전체적으로 초고밀도 화소 배열을 구현할 수 있다.

[0100] 실질적으로 박막 트랜지스터 기판을 설계할 경우, 제3 실시 예에 의한 평면 구조를 갖는 박막 트랜지스터 기판은 400PPI의 해상도를 넘어 500~600PPI의 해상도까지 설계가 가능하다. 본 발명에서는 600PPI를 넘어 800PPI의 초고해상도를 구현할 수 있도록 박막 트랜지스터가 형성되는 영역의 화소 폭을 더 좁힐 수 있는 구조를 제안한다.

[0101] 이하, 도 9를 참조하여 본 발명의 제4 실시 예에 대하여 설명한다. 도 9는 본 발명의 제4 실시 예에 의한 보상 박막 트랜지스터를 더 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 제4 실시 예에서는 제3 실시 예보다 더 밀도를 높여 화소들을 배치하기 위한 구조를 제시한다.

[0102] 제4 실시 예에 의한 박막 트랜지스터 기판은, 제3 실시 예와 같은 구조를 갖는 데이터 배선들과 게이트 배선들을 포함한다. 제4 실시 예의 특징은, 박막 트랜지스터를 구성하는 반도체 층이 데이터 배선들의 형상과 동일하게 그리고 데이터 배선들과 중첩하도록 배치되는 특징이 있다. 따라서, 제4 실시 예에서는 제3 실시 예보다 박막 트랜지스터들을 좀 더 가깝게 배치할 수 있고, 그만큼 화소 밀도를 더 높일 수 있다.

[0103] 좀 더 구체적으로 설명하면, 제3 실시 예에 의한 액정 표시장치용 박막 트랜지스터 기판은, 기판(SUB) 상에서 가로 방향으로 연장된 복수 개의 게이트 배선들(GL; GL₁, GL₂, GL₃, ...)과, 세로 방향을 연장된 복수 개의 데이터 배선들(DL; DL₁, DL₂, DL₃, ...)을 구비한다. 게이트 배선들(GL)과 데이터 배선들(DL)이 교차하는 구조에 의해 정의된 장방형의 영역이 화소 영역으로 정의된다. 어느 한 게이트 배선(GL₂)을 중심으로 상부 행에 배치된 화소 영역을 상행 화소 영역(PA₁)으로, 하부 행에 배치된 화소 영역을 하행 화소 영역(PA₂)으로 정의한다.

[0104] 제3 실시 예에서와 같이 화소 밀도를 더 높이기 위해, 제1 데이터 배선(DL₁)은 제1 상행 직선부(UL₁)와 제1 하행 직선부(NL₁), 그리고 제1 상행 직선부(UL₁)와 제1 하행 직선부(NL₁)를 연결하는 '['(혹은, C)형태의 제1 우회부(C₁)를 구비한다. 마찬가지로, 제2 데이터 배선(DL₂)은 제2 상행 직선부(UL₂)와 제2 하행 직선부(NL₂), 그리고 제2 상행 직선부(UL₂)와 제2 하행 직선부(NL₂)를 연결하는 ']'(혹은, 역C)형태의 제2 우회부(C₂)를 구비한다.

[0105] 이렇게 이웃한 상행 화소 영역(PA₁)과 하행 화소 영역(PA₂)이 공유하는 게이트 배선(GL₂)에는 상행 화소 영역(PA₁)에 할당된 상행 박막 트랜지스터들(T₁₁, T₁₂)과, 하행 화소 영역(PA₂)에 할당된 하행 박막 트랜지스터들(T₂₁, T₂₂)이 배치된다. 상행 박막 트랜지스터는 직렬로 연결된 상행 보상 박막 트랜지스터(T₁₁)와 상행 구동 박막 트랜지스터(T₁₂)를 구비하고, 하행 박막 트랜지스터는 직렬로 연결된 하행 보상 박막 트랜지스터(T₂₁)와 하행 구동 박막 트랜지스터(T₂₂)를 구비한다.

[0106] 직렬로 연결된 상행 보상 박막 트랜지스터(T₁₁)와 상행 구동 박막 트랜지스터(T₁₂)는, 반도체 층을 'U(cup)' 형태로 게이트 배선(GL)을 두 번 교차하도록 배치함으로써 형성할 수 있다. 마찬가지로, 직렬로 연결된 하행 보상 박막 트랜지스터(T₂₁)와 하행 구동 박막 트랜지스터(T₂₂)는, 반도체 층을 '∩(cap)' 형태로 게이트 배선(GL)을 두 번 교차하도록 배치함으로써 형성할 수 있다.

[0107] 특히, 상행 보상 박막 트랜지스터(T₁₁)를 구성하는 반도체 층을 제1 상행 직선부(UL₁)와 제1 하행 직선부(NL₁)를 연결하는 '['(혹은, C)형태의 제1 우회부(C₁)와 중첩하는 형상으로 형성함으로써, 상행 보상 박막 트랜지스터(T₁₁)와 상행 구동 박막 트랜지스터(T₁₂)의 간격을 좀 더 좁힐 수 있다. 마찬가지로, 하행 보상 박막 트랜지스터(T₂₁)를 구성하는 반도체 층을 제2 상행 직선부(UL₂)와 제2 하행 직선부(NL₂)를 연결하는 ']'(혹은, 역C)형태의 제2 우회부(C₂)와 중첩하는 형상으로 형성함으로써, 하행 보상 박막 트랜지스터(T₂₁)와 하행 구동 박막 트랜지스터(T₂₂)의 간격을 좀 더 좁힐 수 있다.

[0108] 도 9에서는 상행 보상 박막 트랜지스터(T₁₁)와 상행 구동 박막 트랜지스터(T₁₂)의 간격이 그리고 하행 보상 박막 트랜지스터(T₂₁)와 하행 구동 박막 트랜지스터(T₂₂)의 간격이 좁아진 모양으로 도시하지 않았다. 이는, 도 8과 도 9를 비교하기 위함이다. 도 9에서는, 제3 실시 예에 의한 제1 데이터 배선(DL₁)과 동일한 구조를 갖고, 상행 보상 박막 트랜지스터(T₁₁)를 구성하는 반도체 층 부분은 제1 데이터 배선(DL₁)의 제1 우회부(C₁)와 중첩하는 형태로 변경하였다. 그리고, 하행 보상 박막 트랜지스터(T₂₁)를 구성하는 반도체 층 부분은 제2 데이터

배선(DL2)의 제2 우회부(C2)와 중첩하는 형태로 변경하였다

[0109] 따라서, 도 9와 도 8을 비교하면, 도 9에 의한 제4 실시 예에서는 상행 보상 박막 트랜지스터(T11)를 구성하는 반도체 층의 제1 수직부(UV1)와 상행 구동 박막 트랜지스터(T12)를 구성하는 반도체 층의 제2 수직부(UV2)의 간격이 도 8에 의한 제3 실시 예에서보다 더 멀리 배치되는 것을 알 수 있다. 즉, 반도체 층의 제2 수직부(UV2)를 제1 수직부(UV1)와 좀 더 가깝게 배치할 수 있다.

[0110] 마찬가지로, 도 9에서는 하행 보상 박막 트랜지스터(T21)를 구성하는 반도체 층의 제1 수직부(NV1)와 하행 구동 박막 트랜지스터(T22)를 구성하는 반도체 층의 제2 수직부(NV2)의 간격이 도 8에서보다 더 멀리 배치되는 것을 알 수 있다. 마찬가지로, 반도체 층의 제2 수직부(NV2)를 제1 수직부(NV1)와 좀 더 가깝게 배치할 수 있다. 그 결과, 이웃하는 데이터 배선들(DL1, DL2)의 간격을 더 좁힐 수 있고, 그 만큼 화소 밀도를 더 높게 설계할 수 있다.

[0111] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

T: 박막 트랜지스터 SUB: 기판

GL: 게이트 배선 CL: 공통 배선

DL: 데이터 배선 PXL: 화소 전극

COM: 공통 전극 T1: 구동 박막 트랜지스터

T2: 보상 박막 트랜지스터

G, G1, G2: 게이트 전극 S, S1, S2: 소스 전극

D, D1, D2: 드레인 전극 A, A1, A2: 반도체 채널 층

GI: 게이트 절연막 PAS: 보호막

SH: 소스 콘택홀 SA: 소스 영역

DH: 드레인 콘택홀 DA: 드레인 영역

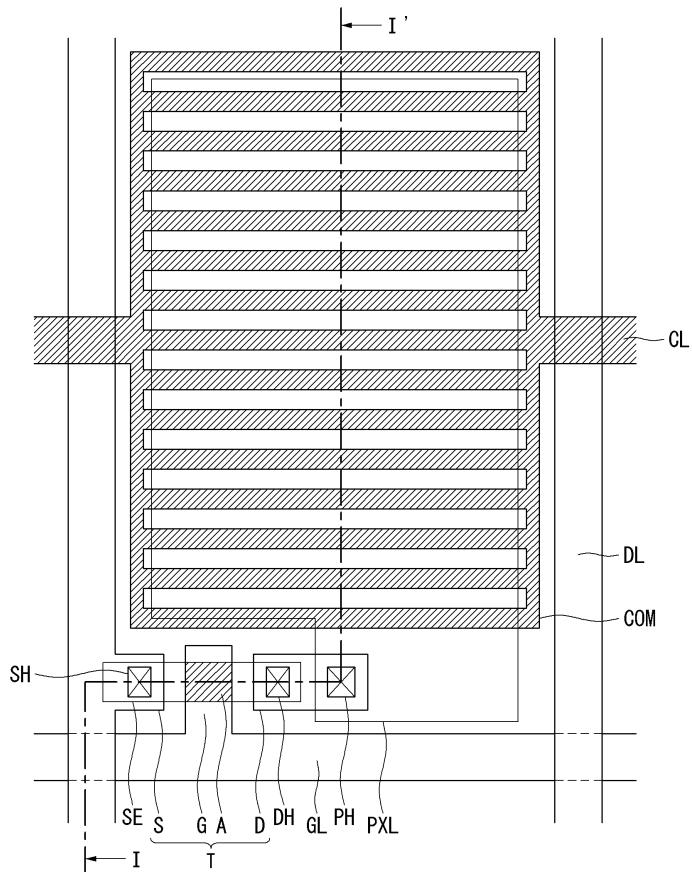
PH: 화소 콘택홀 IL: 중간 절연막

PAS1: 제1 보호막 PAS2: 제2 보호막

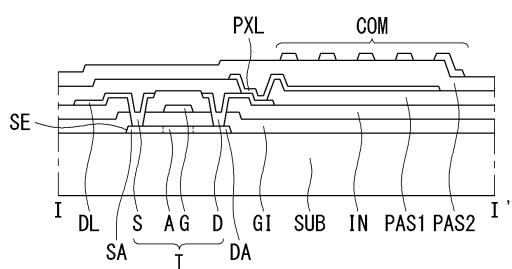
GL1: 제1 게이트 배선 GL2: 제2 게이트 배선

도면

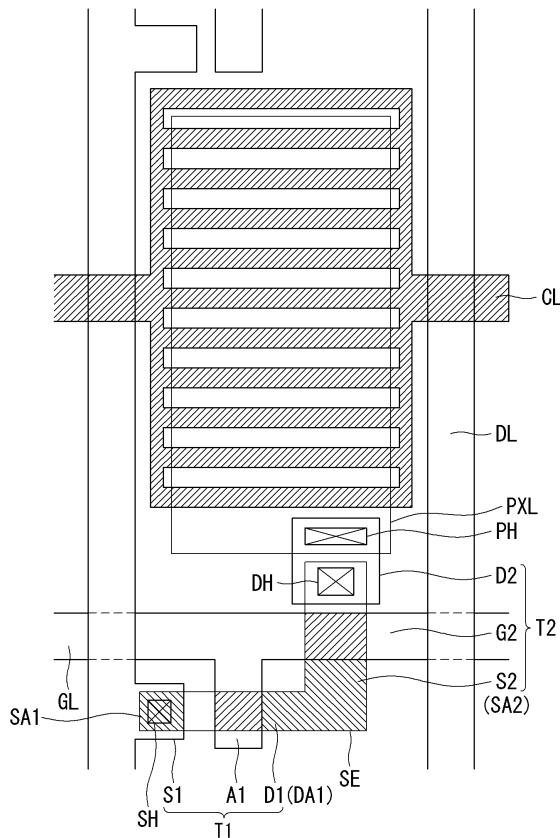
도면1



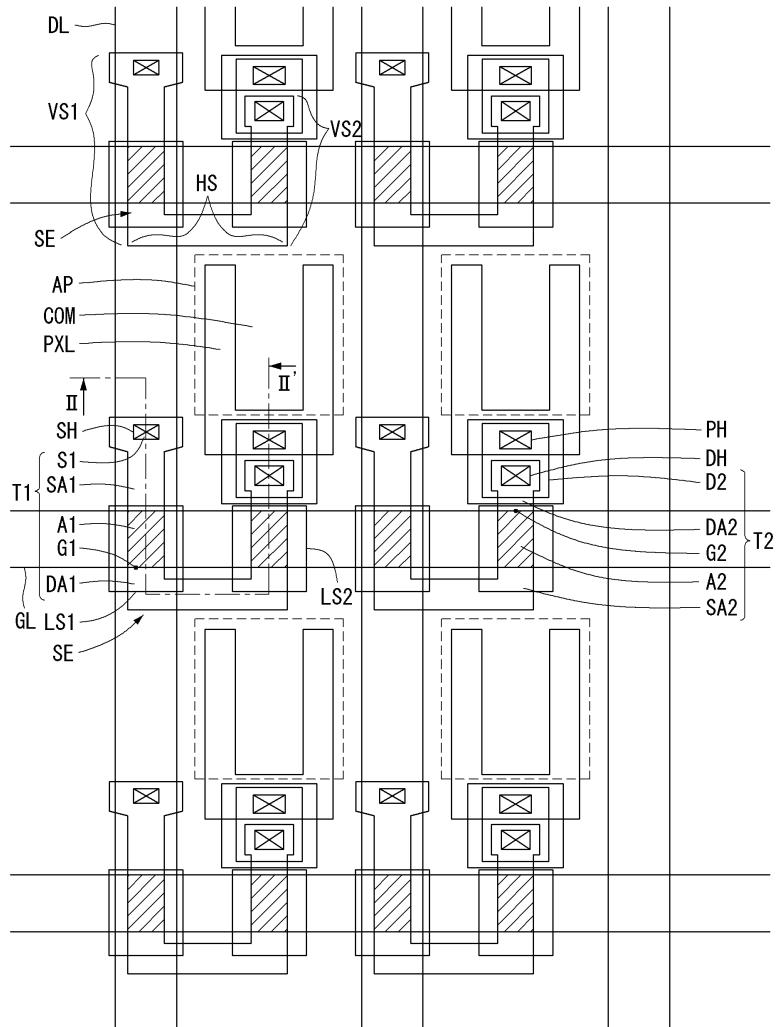
도면2



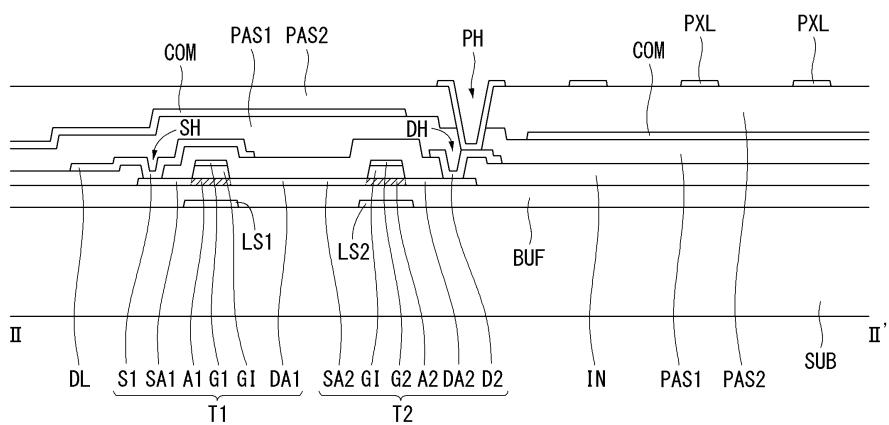
도면3



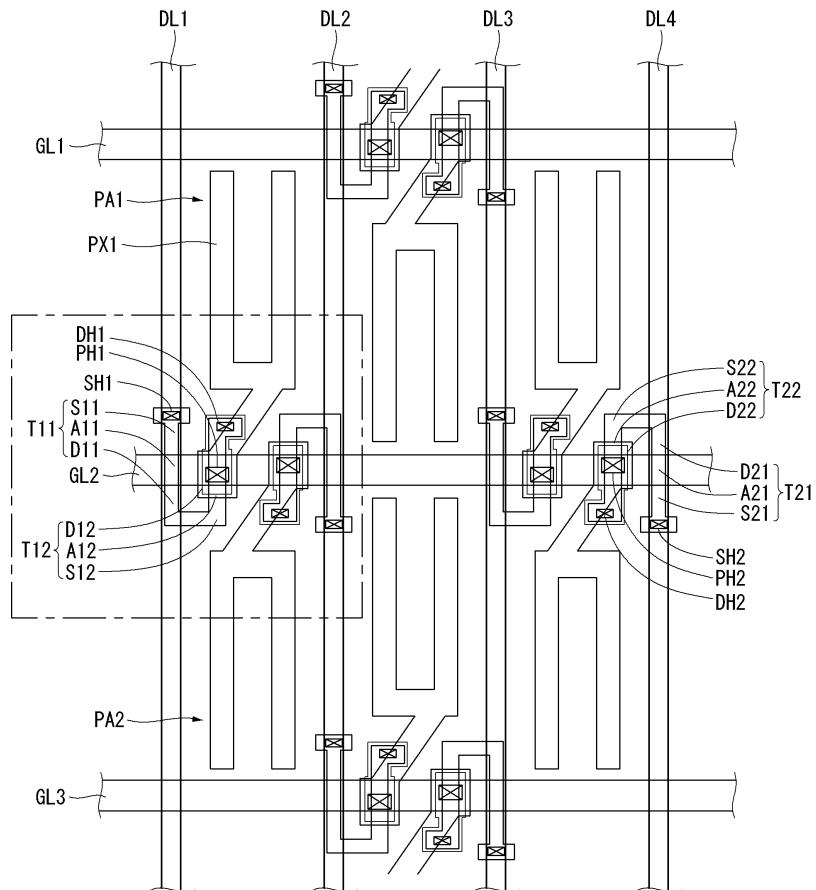
도면4



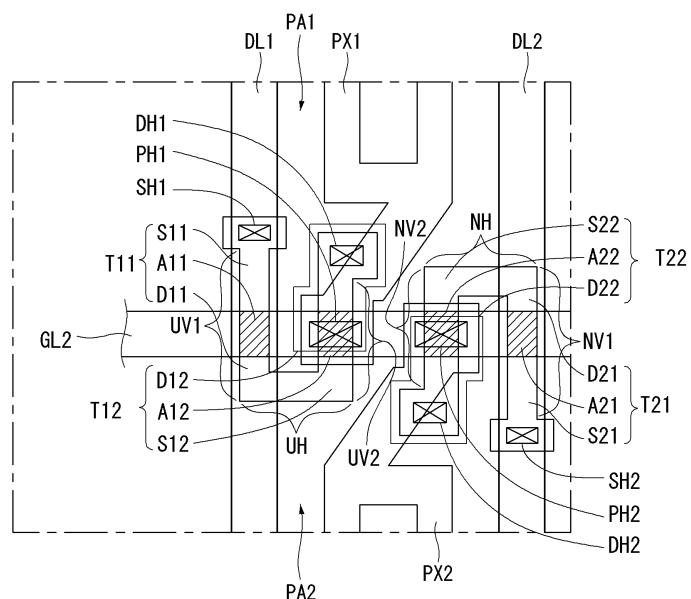
도면5



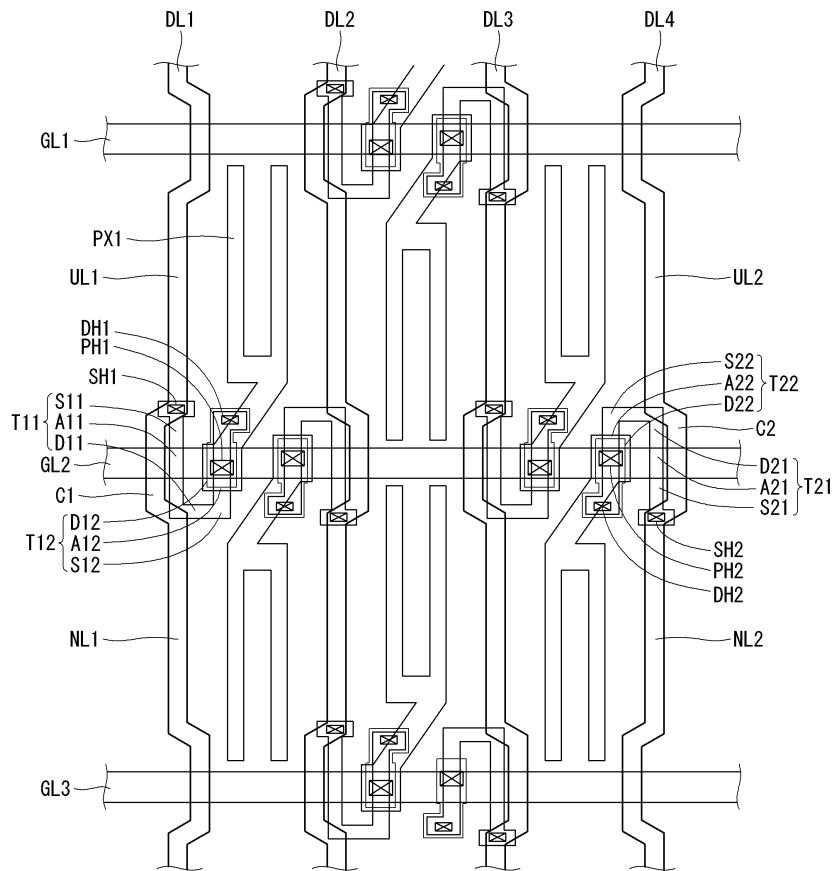
도면6



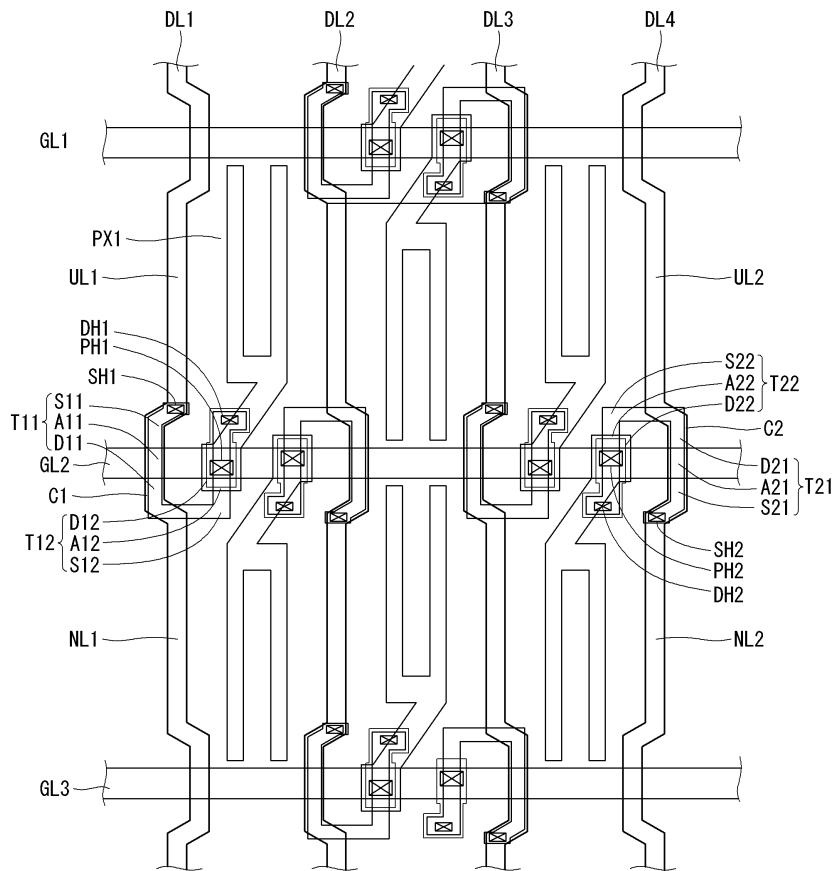
도면7



도면8



도면9



专利名称(译)	标题 : 具有薄膜晶体管的超高分辨率液晶显示装置 , 用于补偿		
公开(公告)号	KR1020160027313A	公开(公告)日	2016-03-10
申请号	KR1020140113193	申请日	2014-08-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK WON KEUN 박원근 LEE SUN HWA 이선화 LEE JOON DONG 이준동		
发明人	박원근 이선화 이준동		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	G02F1/13624 G02F1/136286 G02F2001/136245 H01L27/1222		
外部链接	Espacenet		

摘要(译)

超高分辨率液晶显示装置本发明涉及一种超高分辨率液晶显示装置 , 它还包括用于像素补偿的薄膜晶体管。本发明的液晶显示装置包括 : 第一和第二数据线 , 设置成在基板上彼此相邻; 栅线与第一和第二数据线交叉 ; 上行中限定的上行像素区域和相对于栅极线下行限定的下行像素区域 ; 上行薄膜晶体管 , 连接到第一数据线 , 并包括以 2032 # 222a # 2032 # 形状两次与栅极线交叉的第一半导体层 ; 下行薄膜晶体管 , 连接到第二数据线 , 并包括以 2032 # 2229 # 2032 # 形状两次与栅极线交叉的第二半导体层 ; 上行像素电极连接到上排薄膜晶体管 , 并形成在上排像素区域中 ; 下行像素电极连接到下排薄膜晶体管 , 并形成在下排像素区域 . COPYRIGHT KIPO 2016

