



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0035134  
(43) 공개일자 2015년04월06일

(51) 국제특허분류(Int. C1.)

*G02F 1/136* (2006.01) *G02F 1/1343* (2006.01)  
*H01L 29/786* (2006.01)

(21) 출원번호 10-2013-0115352

(22) 출원일자 2013년09월27일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

전옹기

경기 용인시 기흥구 삼성2로 95, 성현관 난초동  
529호 (농서동, 삼성전자(주)기흥캠퍼스)

오동건

경기 오산시 궐리사로29번길 11, 101동 1002호 (궐동, 제일하이빌아파트)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

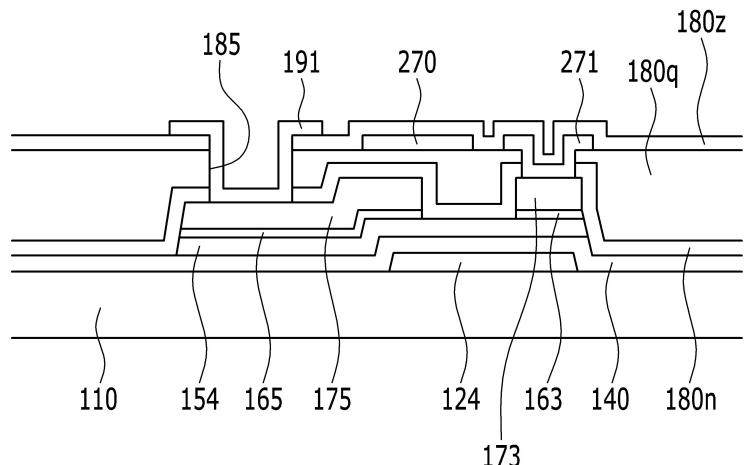
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막 트랜지스터 표시판 및 액정 표시 장치

### (57) 요 약

본 발명 한 실시예에 따른 박막 트랜지스터 표시판은 기판, 기판위에 형성되어 있는 게이트선, 게이트선 위에 형성되어 있는 데이터선, 데이터선 위에 형성된 보호막, 및 보호막 위에 형성되어 있는 공통 전극 및 연결 전극을 포함하며, 상기 데이터선은 단선되어 있고, 상기 보호막은 단선된 데이터선 일부를 노출시키는 접촉 구멍을 가지고 있으며, 상기 연결 전극은 공통 전극과 동일 층에 위치하며, 접촉 구멍을 통해 데이터선을 연결한다. 본 발명 한 실시예에 따른 박막 트랜지스터 표시판은 게이트 전극 상부에서 데이터선을 단선한 후, 이를 연결 전극으로 연결하고, 데이터선 일부를 광차단 마진으로 사용함으로써 반도체 채널 면적의 감소 없이 게이트 전극의 길이를 감소시킬 수 있다. 따라서, 본 발명에 따른 박막 트랜지스터 표시판을 사용한 액정 표시 장치는, 블랙 매트릭스에 의해 가려지는 영역이 감소하므로 투과율이 개선된다.

### 대 표 도 - 도2



(72) 발명자

김향율

경기 화성시 동탄공원로 21-12, 907동 901호 ( 능동, 푸른마을포스코더샵아파트)

---

송진호

경기 용인시 수지구 포은대로 219, 305동 1403호  
(상현동, 서원마을현대아이파크아파트3단지)

## 명세서

### 청구범위

#### 청구항 1

기판,

상기 기판위에 형성되어 있는 게이트선,

상기 게이트선 위에 형성되어 있으며, 단선되어 있는 데이터선,

상기 데이터선 위에 형성된 보호막, 및

상기 보호막 위에 형성되어 있는 공통 전극 및 연결 전극을 포함하며,

상기 보호막은 단선된 데이터선 일부를 노출시키는 접촉 구멍을 가지고 있으며,

상기 연결 전극은 공통 전극과 동일 층에 위치하며, 접촉 구멍을 통해 상기 단선된 데이터선을 연결하는 것을 특징으로 하는 박막 트랜지스터 표시판.

#### 청구항 2

제1항에서,

상기 게이트선은 게이트 전극을 포함하며, 상기 데이터선은 게이트 전극 상부에서 단선되어 있는 것을 특징으로 하는 박막 트랜지스터 표시판.

#### 청구항 3

제2항에서,

상기 데이터선은 게이트선과 교차하는 제1 데이터선, 게이트선과 나란하는 드레인 전극으로 이루어져 있으며, 단선된 제1 데이터선 사이에 드레인 전극이 위치하는 것을 특징으로 하는 박막 트랜지스터 표시판.

#### 청구항 4

제3항에서,

상기 드레인 전극은 단선된 제1 데이터선 사이를 가로지르는 가로부 및 제1 데이터선과 나란한 세로부를 가지는 것을 특징으로 하는 박막 트랜지스터 표시판.

#### 청구항 5

제4항에서,

상기 드레인 전극의 가로부 및 세로부의 양쪽 면이 곡선으로 연결된 것을 특징으로 하는 박막 트랜지스터 표시판.

#### 청구항 6

제3항에서,

상기 제1 데이터선 및 상기 드레인 전극 사이에 반도체 채널이 위치하는 것을 특징으로 하는 박막 트랜지스터 표시판.

#### 청구항 7

제6항에서,

상기 반도체 채널의 폭은  $4 \mu\text{m}$  이상인 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 8**

제6항에서,

상기 반도체 채널의 면적은  $38 \mu\text{m}^2$  이상인 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 9**

제2항에서,

상기 반도체 채널 영역의 상부 가장자리로부터 게이트 전극의 상부 가장자리까지의 거리(G2)가, 드레인 전극 가로부의 폭(D1) 및 드레인 전극 하부 가장자리로부터 게이트 전극의 하부 가장자리까지의 거리(G3)의 합과 동일한 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 10**

제9항에서,

상기 반도체 채널 영역의 상부 가장자리로부터 게이트 전극의 상부 가장자리까지의 거리가  $4.5 \mu\text{m}$  이상인 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 11**

제2항에서,

상기 게이트 전극의 세로 길이(G1)는  $15 \mu\text{m}$  미만인 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 12**

제1항에서,

상기 연결 전극은 IZO 및 금속의 이중막으로 이루어진 것을 특징으로 하는 트랜지스터 표시판.

**청구항 13**

제12항에서,

상기 연결 전극의 금속은 데이터선의 금속과 동일한 물질인 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 14**

제13항에서,

상기 금속은 몰리브덴 또는 몰리브덴 합금 하부막, 알루미늄 또는 알루미늄 합금 중간막, 및 몰리브덴 또는 몰리브덴 합금 상부막의 삼중막인 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 15**

제1항에서,

상기 연결 전극은 금속으로 이루어진 것을 특징으로 하는 트랜지스터 표시판.

**청구항 16**

제15항에서,

상기 금속은 몰리브덴 또는 몰리브덴 합금 하부막, 알루미늄 또는 알루미늄 합금 중간막, 및 몰리브덴 또는 몰리브덴 합금 상부막의 삼중막인 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 17**

제1 기판,

제2 기판,

제1 기판 및 제2 기판 사이에 형성된 액정층을 포함하며,  
 상기 제1기판은 제1 기판위에 형성되어 있는 게이트선 및 게이트 전극,  
 상기 게이트선 위에 형성되어 있는 데이터선,  
 상기 데이터선 위에 형성된 제1 보호막,  
 상기 제1 보호막 위에 형성되어 있는 공통 전극 및 연결 전극,  
 상기 공통 전극 및 연결 전극 상부의 제2 보호막,  
 상기 제2 보호막 상부의 화소 전극으로 이루어져 있고,  
 상기 데이터선은 게이트 전극 상부에서 단선되어 있고,  
 상기 제1 보호막은 단선된 데이터선 일부를 노출시키는 접촉 구멍을 가지고 있으며, 상기 연결 전극은 접촉 구멍을 통해 상기 단선된 데이터선을 연결하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 18

제17항에서,

상기 데이터 선은 게이트 선과 교차하는 제1 데이터선, 게이트선과 나란하는 드레인 전극으로 이루어져 있으며, 단선된 제1 데이터선 사이에 드레인 전극이 위치하고, 제1 데이터선 및 드레인 전극 사이에 반도체 채널이 존재하는 것을 특징으로 하는 박막 트랜지스터 표시판.

### 청구항 19

제17항에서,

상기 게이트 전극의 세로 길이(G1)는  $15 \mu\text{m}$  미만인 것을 특징으로 하는 박막 트랜지스터 표시판.

### 청구항 20

제18항에서,

상기 연결 전극은 IZO 및 금속의 이중막 또는 금속 단독으로 이루어진 것을 특징으로 하는 액정 표시 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 박막 트랜지스터 표시판 및 액정 표시 장치에 대한 것이다.

### 배경 기술

[0002] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 액정 표시 장치에서, 데이터선 및 게이트선, 반도체는 하나의 박막 트랜지스터를 이룬다. 상기 박막 트랜지스터 영역은 블랙 매트릭스에 의해 가려지는 영역으로, 상기 영역의 크기가 투과율에 직접적인 영향을 미친다. 따라서 액정 표시 장치의 투과율을 높이기 위해서는 상기 박막 트랜지스터 영역의 크기를 감소시키는 것이 중요하다.

## 발명의 내용

### 해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 게이트 전극 상부에서 데이터선을 단선한 후, 이를 연결 전극으로 연결 함으로써 상하 게이트 영역을 감소시켜 투과율을 증가시킨 박막 트랜지스터 표시판 및 이를 이용한 액정 표시 장치를 제공하는 것이다.

## 과제의 해결 수단

[0005] 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판위에 형성되어 있는 게이트선, 상기 게이트선 위에 형성되어 있는 데이터선, 상기 데이터선 위에 형성된 보호막, 및 상기 보호막 위에 형성되어 있는 공통 전극 및 연결 전극을 포함하며, 상기 데이터선은 단선되어 있고, 상기 보호막은 단선된 데이터선 일부를 노출시키는 접촉 구멍을 가지고 있으며, 상기 연결 전극은 공통 전극과 동일 층에 위치하며, 접촉 구멍을 통해 데이터선을 연결하고 있다.

[0006] 상기 게이트선은 게이트 전극을 포함하며, 상기 데이터선은 게이트 전극 상부에서 단선되어 있을 수 있다.

[0007] 상기 데이터선은 게이트선과 교차하는 제1 데이터선, 게이트선과 나란하는 드레인 전극으로 이루어져 있으며, 단선된 제1 데이터선 사이에 드레인 전극이 위치할 수 있다. ,

[0008] 상기 드레인 전극은 단선된 제1 데이터선 사이를 가로지르는 가로부 및 제1 데이터선과 나란한 세로부를 가질 수 있다.

[0009] 상기 드레인 전극의 가로부 및 세로부의 안쪽 면은 곡선으로 연결될 수 있다.

[0010] 상기 제1 데이터선 및 상기 드레인 전극 사이에 반도체 채널이 위치할 수 있다.

[0011] 상기 반도체 채널의 폭은  $4 \mu\text{m}$  이상일 수 있다.

[0012] 상기 반도체 채널의 면적은  $38 \mu\text{m}^2$  이상일 수 있다.

[0013] 상기 반도체 채널 영역의 상부 가장자리로부터 게이트 전극의 상부 가장자리까지의 거리(G2)가, 드레인 전극 가로부의 폭(D1) 및 드레인 전극 하부 가장자리로부터 게이트 전극의 하부 가장자리까지의 거리(G3)의 합과 동일 할 수 있다.

[0014] 상기 반도체 채널 영역의 상부 가장자리로부터 게이트 전극의 상부 가장자리까지의 거리가  $4.5 \mu\text{m}$  이상일 수 있다.

[0015] 상기 게이트 전극의 세로 길이(G1)는  $15 \mu\text{m}$  미만일 수 있다.

[0016] 상기 연결 전극은 IZO 및 금속의 이중막으로 이루어질 수 있다.

[0017] 상기 연결 전극의 금속은 데이터선의 금속과 동일한 물질일 수 있다.

[0018] 상기 금속은 몰리브덴 또는 몰리브덴 합금 하부막, 알루미늄 또는 알루미늄 합금 중간막, 및 몰리브덴 또는 몰리브덴 합금 상부막의 삼중막일 수 있다.

[0019] 상기 연결 전극은 금속으로 이루어질 수 있다.

[0020] 상기 금속은 몰리브덴 또는 몰리브덴 합금 하부막, 알루미늄 또는 알루미늄 합금 중간막, 및 몰리브덴 또는 몰리브덴 합금 상부막의 삼중막일 수 있다.

[0021] 본 발명의 한 실시예에 따른 액정 표시 장치는 제1 기판, 제2 기판, 제1 기판 및 제2 기판 사이에 형성된 액정 층을 포함하며, 상기 제 1기판은 제1 기판 위에 형성되어 있는 게이트선 및 게이트 전극, 상기 게이트선 위에 형성되어 있는 데이터선, 상기 데이터선 위에 형성된 제1 보호막, 상기 제1 보호막 위에 형성되어 있는 공통 전극 및 연결 전극, 상기 공통 전극 및 연결 전극 상부의 제2 보호막, 상기 제2 보호막 상부의 화소 전극으로 이루어져 있고, 상기 데이터선은 게이트 전극 상부에서 단선되어 있고, 상기 제1 보호막은 단선된 데이터선 일부를 노출시키는 접촉 구멍을 가지고 있으며, 상기 연결 전극은 접촉 구멍을 통해 단선된 데이터선을 연결하고 있다.

[0022] 상기 데이터 선은 게이트 선과 교차하는 제1 데이터선, 게이트선과 나란하는 드레인 전극으로 이루어져 있으며, 단선된 제1 데이터선 사이에 드레인 전극이 위치하고, 제1 데이터선 및 드레인 전극 사이에 반도체 채널이 존재 할 수 있다.

[0023] 상기 게이트 전극의 세로 길이(G1)는  $15 \mu\text{m}$  미만일 수 있다.

[0024] 상기 연결 전극은 IZO 및 금속의 이중막 또는 금속 단독으로 이루어질 수 있다.

## 발명의 효과

[0025] 이상과 같이 본 발명에 따른 박막 트랜지스터 표시판은, 게이트 전극 상부에서 데이터선을 단선한 후, 이를 연결 전극으로 연결하고, 데이터선 일부를 광차단 마진으로 사용함으로써 반도체 채널 면적의 감소 없이 게이트 전극의 길이를 감소시킬 수 있다. 따라서, 본 발명에 따른 박막 트랜지스터 표시판을 사용한 액정 표시 장치는, 블랙 매트릭스에 의해 가려지는 영역이 감소하므로 투과율이 개선된다.

## 도면의 간단한 설명

[0026] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

도 2는 도 1에 도시한 실시예에 따른 박막 트랜지스터 표시판을 II-II 선을 따라 잘라 도시한 단면도이다.

도 3은 도 1에 도시한 실시예에 따른 박막 트랜지스터 표시판을 III-III 선을 따라 잘라 도시한 단면도이다.

도 4는 비교예의 박막 트랜지스터 표시판의 게이트 전극을 확대하여 나타낸 것이다.

도 5는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 게이트 전극을 확대하여 나타낸 것이다.

도 6은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

도 7은 도 6에 도시한 실시예에 따른 박막 트랜지스터 표시판의 게이트 전극을 확대하여 나타낸 것이다.

도 8은 본 발명의 한 실시예에 따른 액정 표시 장치의 단면도이다.

## 발명을 실시하기 위한 구체적인 내용

[0027] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0028] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0029] 박막 트랜지스터 표시판에서 게이트선의 일부인 소스 전극 및 드레인 전극, 그 사이에 위치하는 반도체 채널은 박막 트랜지스터를 구성한다. 이때, 박막 트랜지스터 영역 위아래로 일정 크기의 광차단 마진이 요구된다. 광차단 마진이란 채널이 외부 광의 영향을 받지 않기 위해 요구되는 최소의 길이를 의미하는 것으로, 충분한 광차단 마진이 제공되지 않으면 반도체 채널이 외부 광에 의해 영향을 받는다.

[0030] 현재 일반적으로 널리 적용되는 폭  $4 \mu\text{m}$ , 길이  $10 \mu\text{m}$ 의 반도체 채널의 경우, 반도체 채널 위아래로, 최소  $4.5 \mu\text{m}$ 의 게이트 전극의 광차단 마진이 필요하다. 광차단 마진이  $4.5 \mu\text{m}$  보다 작아지는 경우 입사되는 빛에 의하여 채널이 영향을 받게 되고,  $I_{off}$ 가 증가하여 때일록이 발현되는 문제점이 발생할 수 있다. 따라서, 폭  $4 \mu\text{m}$ , 길이  $10 \mu\text{m}$ 의 반도체 채널의 경우 게이트 전극의 광차단 마진을  $4.5 \mu\text{m}$  이하로 줄이는 것은 불가능하다. 이때, 반도체 채널의 길이  $10 \mu\text{m}$ 에 상하 광차단 마진  $4.5 \mu\text{m}$  가 더해지므로 게이트 전극의 길이는 최소  $19 \mu\text{m}$  가 된다. 이는 블랙 매트릭스에 의해 가려지는 부분으로서, 박막 트랜지스터 표시판의 개구율에 직접적으로 영향을 미친다. 따라서, 박막 트랜지스터 표시판의 개구율을 개선하기 위해서는, 게이트 전극 길이의 최소화가 요구된다.

[0031] 그러나, 게이트 전극의 길이를 줄이기 위해 반도체 채널의 길이를 줄이는 경우, 충전율에 문제가 발생한다. 채널 영역의 너비가 충분하지 못하기 때문에, 충전율이 저하되고 RC-delay가 증가하며, Switching error가 발생한다. 따라서, 반도체 채널의 길이를 축소하여 게이트 전극 영역을 축소하는 것 역시 불가능하다.

[0032] 따라서 현재 박막 트랜지스터 구조로는 게이트 전극 영역의 크기를 줄이기 어렵다. 그러나, 본 발명의 박막 트랜지스터 표시판은 게이트 전극 상부에서 데이터선을 단선한 후, 이를 연결 전극으로 연결하고, 데이터선 일부를 광차단 마진으로 사용함으로써 반도체 채널 면적의 감소 없이 게이트 전극의 길이를 감소시켰다.

[0033] 그러면 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대하여 설명한다.

[0034] 먼저, 도 1 내지 도 3을 참고하여, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 설명한다. 도

1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1에 도시한 실시예에 따른 박막 트랜지스터 표시판을 II-II 선을 따라 잘라 도시한 단면도이고, 도 3은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판을 III-III 선을 따라 잘라 도시한 단면도이다.

[0035] 투명한 유리 또는 플라스틱 등으로 이루어진 절연 기판(110) 위에 게이트선(121)을 포함하는 게이트 도전체가 형성되어 있다.

[0036] 게이트선(121)은 게이트 전극(124) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(도시하지 않음)을 포함한다. 게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 게이트선(121)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.

[0037] 게이트 선(121) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 등으로 이루어지는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 물리적 성질이 다른 적어도 두 개의 절연층을 포함하는 다중막 구조를 가질 수도 있다.

[0038] 게이트 절연막(140) 위에는 비정질 규소 또는 다결정 규소 등으로 만들어진 반도체(154)가 형성되어 있다. 반도체(154)는 산화물 반도체를 포함할 수 있다.

[0039] 반도체(154) 위에는 저항성 접촉 부재(163, 165)가 형성되어 있다. 저항성 접촉 부재(163, 165)는 인(phosphorus) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재(163, 165)는 쌍을 이루어 반도체(154) 위에 배치될 수 있다. 반도체(154)가 산화물 반도체인 경우, 저항성 접촉 부재(163, 165)는 생략 가능하다.

[0040] 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 소스 전극(173)을 포함하는 데이터선(171)과 드레인 전극(175)을 포함하는 데이터 도전체가 형성되어 있다.

[0041] 본 발명에서 데이터선(171)은 게이트 선과 교차하며, 드레인 전극(173)은 게이트선과 나란하다. 드레인 전극(173)은 데이터선(171)의 진행방향과 나란한 세로부 및 단선된 드레인 전극 사이를 가로지르는 가로부로 이루어져 있다. 상기 드레인 전극의 세로부는 데이터선(171)과 평행하며, 드레인 전극의 가로부는 게이트선(121)과 평행하다.

[0042] 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(도시하지 않음)을 포함한다.

[0043] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)의 일부와 중첩하며, 게이트선(121)의 나머지 부분에서는 데이터선(171)은 분리되어 있다. 본 실시예에서는 게이트 전극(124)의 일부와 중첩하는 하나의 끝단을 가지며, 또 다른 하나의 끝단은 게이트선(121)과는 중첩하지 않는다. 데이터선(171)의 길이는 하나의 화소의 길이에 준한다. 상하로 인접하는 데이터선(171)간에는 후술하는 연결 전극(271)에 의하여 전기적으로 연결되어 있다. 상기 데이터선(171) 중 게이트 전극(124) 일부와 중첩하는 끝단은 게이트 전극(124)의 중간까지 진행한다. 즉, 게이트 전극(124)의 중심을 기준으로 상하 영역을 분리하였을 때, 상부 영역에는 데이터선(171)의 끝단이 위치하며, 하부 영역에는 드레인 전극이 위치한다.

[0044] 이 때, 데이터선(171)은 액정 표시 장치의 최대 투과율을 얻기 위해서 굽어진 형상을 갖는 제1 굴곡부를 가질 수 있으며, 굴곡부는 화소 영역의 중간 영역에서 서로 만나 V자 형태를 이룰 수 있다. 화소 영역의 중간 영역에 제1 굴곡부와 소정의 각도를 이루도록 굽어진 제2 굴곡부를 더 포함할 수 있다.

[0045] 데이터선(171)의 제1 굴곡부는 게이트선(121)이 뻗어 있는 방향(x 방향)과 90도를 이루는 세로 기준선(y, y방향으로 뻗어 있는 기준선)과 약 7° 정도 이루도록 굽어 있을 수 있다. 화소 영역의 중간 영역에 배치되어 있는 제2 굴곡부는 제1 굴곡부와 약 7° 내지 약 15° 정도 이루도록 더 굽어 있을 수 있다. 이때, 게이트 전극(124) 상부에서 데이터선(171)은 단선된다. 세로 방향으로 뻗은 데이터선(171)은 게이트 전극(124) 중앙에서 더 이상 진행하지 못하고 끊어지며, 게이트 전극(124) 외부에서 다시 새로운 데이터선(171)이 진행한다. 즉, 하나의 화소 영역을 기준으로 할 때, 하나의 화소 영역에는 세로 방향으로 뻗은 하나의 데이터선(171)이 각각 존재한다. 각 세로 방향의 데이터선(171)은 서로 만나지 않으며, 게이트 전극(124)을 기준으로 하여 하나의 데이터선(171)은 게이트 전극(124) 상부에, 다른 데이터선(171)은 게이트 전극과 접촉하지 않는 아래 부분에 위치한다. 상기 데이터선(171)에서 게이트 전극(124) 상부에 위치하는 영역은 소스 전극(173)이 된다.

[0046] 상기 단선된 데이터선(171) 사이에는, 드레인 전극(175)이 배치되어 있다. 드레인 전극(175)은 게이트 전극

(124) 상부에 위치하며, L자(L) 모양으로 꺾인 형태를 가지고 있다. 즉 드레인 전극(175)은 단선된 데이터선(171) 사이를 가로지르는 가로부 및 데이터선과 나란한 세로부를 가진다. 드레인 전극(175)의 가로부의 일단은 단선된 데이터선(171)을 연장시킨 가상의 연장선과 만난다. 도 1의 실시예에서는 드레인 전극(175)의 가로부는 데이터선(171)의 가상의 연장선 전체가 가로부와 만나도록 위치하고 있다. 하지만, 실시예에 따라서는 가상의 연장선 중 일부는 가로부와 만나지 않을 수 있다.

[0047] 드레인 전극(175)의 세로부는 게이트 전극 상부에 위치하는 데이터선(171)의 끝단을 기준으로, 데이터선(171)의 끝단보다 게이트 전극 상부 방향으로 진행해 있다. 즉, 드레인 전극(175) 세로부 끝단의 수평 가상 연장선은, 데이터선(171) 끝단의 수평 가상 연장선보다 상부에 위치한다.

[0048] 드레인 전극(175)의 세로부는 게이트선(121)의 연장 방향으로 연장되고 확장되어 있는 확장부를 더 포함한다. 드레인 전극(175)의 확장부는 제1 접촉 구멍(185)에 의하여 노출되어 있다.

[0049] 상기 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(154)에 형성된다. 드레인 전극이 니은자로 꺾여 있기 때문에, 소스 전극과 드레인 전극 사이에 위치하는 반도체 채널 역시 동일한 형상을 가진다.

[0050] 이와 같이 게이트 선(171)이 단선되고, 그 사이에 드레인 전극(175)이 위치함으로서 드레인 전극(175)의 가로부가 기존 게이트 전극(124)이 수행하던 광차단 마진 역할을 하게 된다. 따라서, 반도체 채널의 면적을 유지하면서도 게이트 전극의 길이를 감소시킬 수 있다.

[0051] 이하 도 4 및 도 5를 참고하여 보다 자세히 설명한다. 도 4는 일반적인 소스 전극, 드레인 전극, 반도체 채널이 배치된 박막 트랜지스터를, 도 5는 본 발명의 한 실시예에 따른 박막 트랜지스터를 도시한 것이다.

[0052] 도 4에서와 같이, 반도체 채널 상하부로 광차단 마진(G2)이 요구된다. 광차단 마진이 충분하지 않으면, 입사되는 광에 의해 반도체 채널이 영향을 받아  $I_{off}$ 가 증가하게 된다. 따라서, 게이트 전극의 길이(G1)는 상부 광차단 마진(G2) + 하부 광차단 마진(G3) + 채널 길이(C2)의 합으로 이루어진다. 충분한 성능을 발휘하기 위한 반도체 채널의 최소 크기는 가로(C1)  $4 \mu\text{m}$ , 세로(C2)  $10 \mu\text{m}$ , 즉  $40 \mu\text{m}^2$  정도의 면적이 요구된다. 반도체 채널의 면적이 이보다 작아지는 경우 충전율이 저하되어 충분한 성능을 발휘하지 못한다. 상기 크기의 반도체 채널의 경우 요구되는 최소 광차단 마진은 위 아래로  $4.5 \mu\text{m}$  이다. 따라서 게이트 전극의 최소 크기는  $G2 (4.5 \mu\text{m}) + G3 (4.5 \mu\text{m}) + C2 (10 \mu\text{m}) = 19 \mu\text{m}$  이다.

[0053] 그러나, 도 5에서는 드레인 전극이 세로부와 가로부를 가지며, 드레인 전극의 가로부가 광차단 마진 역할을 한다. 즉, 드레인 전극 가로부의 폭 D1 이 광차단 마진으로 기능하여, D1 및 G3의 합이 최소 광차단 마진이 된다. 따라서, 도 5의 G3는 도 4의 G3에 비해 D1만큼 길이가 짧아도 되므로, 전체적인 게이트 전극의 길이가 줄어든다. 게이트 전극이 길이가 줄어들지만, 반도체 채널은 소스 전극과 드레인 전극 사이에 구부러져 존재하면서 기존 구조 대비 동일한 채널 면적을 확보할 수 있다. 따라서 트랜지스터의 성능은 변함없이 유지 된다.

[0054] 상기 내용을 구체적 수치를 대입하여 확인하면 다음과 같다. 도 5에서, 통상적으로 드레인 전극의 폭(D1)은  $3.3 \mu\text{m}$  이다. 이때, 드레인 전극의 폭 D1이 하부 광차단 마진 역할을 하기 때문에, 실제적으로 게이트 전극에서 요구되는 광차단 마진 G3는  $1.2 \mu\text{m}$ 이다. 게이트 전극의 광차단 마진이  $1.2 \mu\text{m}$  만 되어도, 드레인 전극의 폭  $3.3 \mu\text{m}$ 과 합쳐져서 최소 광차단 마진인  $4.5 \mu\text{m}$ 을 확보할 수 있는 것이다.

[0055] 또한 도 5에서, 게이트 선의 통상적인 폭은  $4.4 \mu\text{m}$  이다. 따라서, 채널의 세로 길이가  $5.5 \mu\text{m}$  인 경우에, 총 채널 면적이  $39.6 \mu\text{m}^2$  이 된다. 기존 채널 면적  $40 \mu\text{m}^2$ 를 확보하기 위해서는 반도체 채널의 세로 길이가  $10 \mu\text{m}$ 가 요구되었으나, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 반도체 채널의 세로 길이가  $5.5 \mu\text{m}$  인 경우에도 유사한 채널 면적이 확보된다.

[0056] 따라서, 본 발명의 한 실시예에서 게이트 전극의 길이는 상부 광차단 마진 (G2)  $4.5 \mu\text{m}$  + 채널 영역의 길이 (C2)  $5.5 \mu\text{m}$  + 드레인 전극의 폭 (D1)  $3.3 \mu\text{m}$  + 하부 광차단 마진 (G3)  $1.2 \mu\text{m}$  의 합으로, 총 길이는  $14.5 \mu\text{m}$  가 된다. 이는 기존 구조에서 동일한 반도체 채널의 면적을 가지는 트랜지스터의 경우 게이트 전극의 최소 길이가  $19 \mu\text{m}$  인 것에 비해 현저히 줄어든 수치이다.

[0057] 데이터선(171)과 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않

음을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171)과 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

[0058] 데이터 도전체(171, 173, 175), 게이트 절연막(140), 그리고 반도체(154)의 노출된 부분 위에는 제1 보호막(180n)이 배치되어 있다. 제1 보호막(180n)은 유기 절연 물질 또는 무기 절연 물질 등으로 이루어질 수 있다.

[0059] 제1 보호막 상부에는, 제2 보호막이 배치되어 있다. 제2 보호막(180q)은 생략 가능하다. 제2 보호막(180q)은 색필터일 수 있다. 제2 보호막(180q)이 색필터인 경우, 제2 보호막(180q)은 기본색(primary color) 중 하나를 고유하게 표시할 수 있으며, 기본색의 예로는 적색, 녹색, 청색 등 삼원색 또는 황색(yellow), 청록색(cyan), 자홍색(magenta) 등을 들 수 있다. 도시하지는 않았지만, 색필터는 기본색 외에 기본색의 혼합색 또는 백색(white)을 표시하는 색필터를 더 포함할 수 있다.

[0060] 제1 보호막(180n) 및 제2 보호막(180q)은 데이터선 노출시키는 접촉 구멍(185, 186, 187)을 갖는다. 상기 접촉 구멍 중 드레인 전극(175) 상부에 위치하는 제1 접촉 구멍(185)은 드레인 전극(175)과 화소 전극(191)을 물리적, 전기적으로 연결하게 된다. 또한, 소스 전극 상부 및 데이터 선에 위치하는 제2 접촉 구멍(186, 187)은 연결 전극과 물리적 전기적으로 연결되어, 연결 전극을 통해 단선된 데이터 선이 연결되게 된다.

[0061] 상기 제1 보호막 상부에 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 면형으로서 기판(110) 전면 위에 통판으로 형성되어 있을 수 있고, 드레인 전극(175) 주변에 대응하는 영역에 배치되어 있는 개구부를 가질 수 있다. 즉 공통 전극(270)은 판 형태의 평면 형태를 가질 수 있다. 상기 공통 전극과 동일 평면에, 단선된 게이트선 상부에 위치하는 연결 전극(271)이 형성되어 있다. 상기 연결 전극은 접촉 구멍(186, 187)을 통해 게이트선과 물리적 전기적으로 접촉하며, 게이트 신호는 연결 전극(271)을 통해 다음 게이트 선으로 전달된다.

[0062] 상기 연결 전극은 공통 전극과 동일한 물질로 이루어지거나 다른 물질로 이루어질 수 있다. 상기 연결 전극은 공통 전극과 동시에 형성될 수 있다. 또한, 상기 연결 전극은 공통 전극과 동일한 물질에 다른 물질이 추가되어 형성될 수 있다. 구체적으로, 연결 전극은 IZO(인듐 아연 산화막)일 수 있다. 또한, 연결 전극은 IZO 및 금속의 이중막으로 이루어질 수 있다. 연결 전극을 IZO 및 금속의 이중막으로 형성하는 경우, 데이터선과 연결 전극의 접촉에 의한 RC-delay를 감소시킬 수 있다. 또한, 연결 전극은 금속 단일막으로 형성될 수 있다.

[0063] 상기 연결 전극에서 사용되는 금속은 데이터선과 동일한 물질일 수 있다. 구체적으로, 상기 금속은 몰리브덴 또는 몰리브덴 합금 하부막, 알루미늄 또는 알루미늄 합금 중간막, 및 몰리브덴 또는 몰리브덴 합금 상부막의 삼중막일 수 있다. 공통 전극(270)과 연결 전극(271)은 연속적으로 이어지는 하나의 판 형태일 수도 있고, 일부 분리된 영역을 가진 형태일 수도 있다. 본 발명의 도 2에서는, 공통 전극(270)과 연결 전극(271)이 일부 분리된 영역을 갖는 구조로 도시하였으나, 공통 전극(270)과 연결 전극(271)은 서로 분리되지 않고 이어져 있을 수 있다. 상기 공통 전극(270) 및 연결 전극(271) 상부에 제3 보호막(180z)이 형성되어 있다. 제3 보호막(180z) 위에는 화소 전극(191)이 형성되어 있다. 화소 전극(191)은 데이터선(171)의 제1 굴곡부 및 제2 굴곡부와 거의 나란한 굴곡변(curved edge)을 포함한다. 화소 전극(191)은 복수의 제1 절개부(92)를 가지며, 복수의 제1 절개부(92)에 의해 정의되는 복수의 제1 가지 전극(192)을 포함한다.

[0064] 제1 보호막(180n), 제2 보호막(180q), 그리고 제3 보호막(180z)에는 드레인 전극(175)을 드러내는 제1 접촉 구멍(185)이 형성되어 있다. 화소 전극(191)은 제1 접촉 구멍(185)을 통해 드레인 전극(175)과 물리적 전기적으로 연결되어, 드레인 전극(175)으로부터 전압을 인가받는다.

[0065] 그러면, 도 6 및 7을 참고하여 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판에 대하여 설명한다.

[0066] 도 6을 참고하면, 본 실시예에 따른 액정 표시 장치는 도 1 및 도 5에 도시한 실시예에 따른 액정 표시 장치와 유사하다. 유사한 구성 요소에 대한 구체적인 설명은 생략한다.

[0067] 그러나, 본 실시예에 따른 액정 표시 장치는 도 1 및 도 5에 도시한 실시예에 따른 액정 표시 장치와는 달리, 드레인 전극의 가로부 및 세로부의 안쪽 면이 곡선으로 연결되어 있다. 즉 도 1 및 도 5의 경우, 드레인 전극의 가로부와 세로부가 만나는 모서리로부터 소스 전극 사이의 거리는, 반도체 채널의 폭 C1보다 길어지게 된다. 그러나 본 실시예에 따른 박막 트랜지스터 표시판은 드레인 전극의 가로부 및 세로부가 만나는 면이 완만한 원호를 그림으로서, 드레인 전극과 소스 전극 사이의 거리가 C1으로 일정하게 유지된다.

[0068] 이하, 도 8을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 본 발명의 한 실시예에

따른 액정 표시 장치는 서로 마주보는 하부 표시판(100) 및 상부 표시판(200)과 그 사이 주입되어 있는 액정층(3)을 포함한다.

[0069] 먼저 하부 표시판(100)에 대하여 설명한다.

[0070] 투명한 유리 또는 플라스틱 등으로 이루어진 절연 기판(110) 위에 게이트선(121)을 포함하는 게이트 도전체가 형성되어 있다.

[0071] 게이트선(121)은 게이트 전극(124) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(도시하지 않음)을 포함한다. 게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 게이트선(121)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.

[0072] 게이트 선(121) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 등으로 이루어지는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 물리적 성질이 다른 적어도 두 개의 절연층을 포함하는 다중막 구조를 가질 수도 있다.

[0073] 게이트 절연막(140) 위에는 비정질 규소 또는 다결정 규소 등으로 만들어진 반도체(154)가 형성되어 있다. 반도체(154)는 산화물 반도체를 포함할 수 있다.

[0074] 반도체(154) 위에는 저항성 접촉 부재(163, 165)가 형성되어 있다. 저항성 접촉 부재(163, 165)는 인(phosphorus) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재(163, 165)는 쌍을 이루어 반도체(154) 위에 배치될 수 있다. 반도체(154)가 산화물 반도체인 경우, 저항성 접촉 부재(163, 165)는 생략 가능하다.

[0075] 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 소스 전극(173)을 포함하는 데이터선(171)과 드레인 전극(175)을 포함하는 데이터 도전체가 형성되어 있다. 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(도시하지 않음)을 포함한다.

[0076] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)의 일부와 중첩하며, 게이트 선(121)의 나머지 부분에서는 데이터선(171)은 분리되어 있다. 본 실시예에서는 게이트 전극(124)의 일부와 중첩하는 하나의 끝단을 가지며, 또 다른 하나의 끝단은 게이트선(121)과는 중첩하지 않는다. 데이터선(171)의 길이는 하나의 화소의 길이에 준한다. 상하로 인접하는 데이터선(171)간에는 후술하는 연결 전극(271)에 의하여 전기적으로 연결되어 있다. 상기 데이터선(171) 중 게이트 전극(124) 일부와 중첩하는 끝단은 게이트 전극(124)의 중간까지 진행한다. 즉, 게이트 전극(124)의 중심을 기준으로 상하 영역을 분리하였을 때, 상부 영역에는 데이터선(171)의 끝단이 위치하며, 하부 영역에는 드레인 전극이 위치한다.

[0077] 이 때, 데이터선(171)은 액정 표시 장치의 최대 투과율을 얻기 위해서 굽어진 형상을 갖는 제1 굴곡부를 가질 수 있으며, 굴곡부는 화소 영역의 중간 영역에서 서로 만나 V자 형태를 이룰 수 있다. 화소 영역의 중간 영역에는 제1 굴곡부와 소정의 각도를 이루도록 굽어진 제2 굴곡부를 더 포함할 수 있다.

[0078] 데이터선(171)의 제1 굴곡부는 게이트선(121)이 뻗어 있는 방향(x 방향)과 90도를 이루는 세로 기준선(y, y방향으로 뻗어 있는 기준선)과 약 7° 정도 이루도록 굽어 있을 수 있다. 화소 영역의 중간 영역에 배치되어 있는 제2 굴곡부는 제1 굴곡부와 약 7° 내지 약 15° 정도 이루도록 더 굽어 있을 수 있다.

[0079] 이때, 게이트 전극(124) 상부에서 데이터선(171)은 단선된다. 세로 방향으로 뻗은 데이터선(171)은 게이트 전극(124) 중앙에서 더 이상 진행하지 못하고 끊어지며, 게이트 전극(124) 외부에서 다시 새로운 데이터선(171)이 진행한다. 즉, 하나의 화소 영역을 기준으로 할 때, 하나의 화소 영역에는 세로 방향으로 뻗은 하나의 데이터선(171)이 각각 존재한다. 각 세로 방향의 데이터선(171)은 서로 만나지 않으며, 게이트 전극(124)을 기준으로 하여 하나의 데이터선(171)은 게이트 전극(124) 상부에, 다른 데이터선(171)은 게이트 전극과 접촉하지 않는 아래 부분에 위치한다. 상기 데이터선(171)에서 게이트 전극(124) 상부에 위치하는 영역은 소스 전극(173)이 된다.

[0080] 상기 단선된 데이터선(171) 사이에는, 드레인 전극(175)이 배치되어 있다. 드레인 전극(175)은 게이트 전극(124) 상부에 위치하며, L자(L) 모양으로 꺾인 형태를 가지고 있다. 즉 드레인 전극(175)은 단선된 데이터선(171) 사이를 가로지르는 가로부 및 데이터선과 나란한 세로부를 가진다. 드레인 전극(175)의 가로부의 일단은 단선된 데이터선(171)을 연장시킨 가상의 연장선과 만난다. 두 1의 실시예에서는 드레인 전극(175)의 가로부는 데이터선(171)의 가상의 연장선 전체가 가로부와 만나도록 위치하고 있다. 하지만, 실시예에 따라서는 가상의

연장선 중 일부는 가로부와 만나지 않을 수 있다.

[0081] 드레인 전극(175)의 세로부는 게이트 전극 상부에 위치하는 데이터선(171)의 끝단을 기준으로, 데이터선(171)의 끝단보다 게이트 전극 상부 방향으로 진행해 있다. 즉, 드레인 전극(175) 세로부 끝단의 수평 가상 연장선은, 데이터선(171) 끝단의 수평 가상 연장선보다 상부에 위치한다.

[0082] 드레인 전극(175)의 세로부는 게이트선(121)의 연장 방향으로 연장되고 확장되어 있는 확장부를 더 포함한다. 드레인 전극(175)의 확장부는 제1 접촉 구멍(185)에 의하여 노출되어 있다. 상기 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(154)에 형성된다. 드레인 전극이 나은 자로 꺾여 있기 때문에, 소스 전극과 드레인 전극 사이에 위치하는 반도체 채널 역시 동일한 형상을 가진다.

[0083] 이와 같이 게이트 선(171)이 단선되고, 그 사이에 드레인 전극(175)이 위치함으로서 드레인 전극(175)의 가로부가 기준 게이트 전극(124)이 수행하던 광차단 마진 역할을 하게 된다. 따라서, 반도체 채널의 면적을 유지하면서도 게이트 전극의 길이를 감소시킬 수 있다.

[0084] 데이터선(171)과 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171)과 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

[0085] 데이터 도전체(171, 173, 175), 게이트 절연막(140), 그리고 반도체(154)의 노출된 부분 위에는 제1 보호막(180n)이 배치되어 있다. 제1 보호막(180n)은 유기 절연 물질 또는 무기 절연 물질 등으로 이루어질 수 있다.

[0086] 제1 보호막 상부에는, 제2 보호막이 배치되어 있다. 제2 보호막(180q)은 생략 가능하다. 제2 보호막(180q)은 색필터일 수 있다. 제2 보호막(180q)이 색필터인 경우, 제2 보호막(180q)은 기본색(primary color) 중 하나를 고유하게 표시할 수 있으며, 기본색의 예로는 적색, 녹색, 청색 등 삼원색 또는 황색(yellow), 청록색(cyan), 자홍색(magenta) 등을 들 수 있다. 도시하지는 않았지만, 색필터는 기본색 외에 기본색의 혼합색 또는 백색(white)을 표시하는 색필터를 더 포함할 수 있다.

[0087] 제1 보호막(180n) 및 제2 보호막(180q)은 데이터선 노출시키는 접촉 구멍(185, 186, 187)을 갖는다. 상기 접촉 구멍 중 드레인 전극(175) 상부에 위치하는 접촉 구멍(185)은 드레인 전극(175)과 화소 전극(191)을 물리적, 전기적으로 연결하게 된다. 또한, 소스 전극 상부 및 데이터 선에 위치하는 접촉 구멍(186, 187)은 연결 전극과 물리적 전기적으로 연결되어, 연결 전극을 통해 단선된 데이터 선이 연결되게 된다.

[0088] 상기 제1 보호막 상부에 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 면형으로서 기판(110) 전면 위에 통판으로 형성되어 있을 수 있고, 드레인 전극(175) 주변에 대응하는 영역에 배치되어 있는 개구부를 가질 수 있다. 즉 공통 전극(270)은 판 형태의 평면 형태를 가질 수 있다. 상기 공통 전극과 동일 평면에, 단선된 게이트 선 상부에 위치하는 연결 전극(271)이 형성되어 있다. 상기 연결 전극은 접촉 구멍(186, 187)을 통해 게이트 선과 물리적 전기적으로 접촉하며, 게이트 신호는 연결 전극(271)을 통해 다음 게이트 선으로 전달된다.

[0089] 상기 연결 전극은 공통 전극과 동일한 물질로 이루어지거나 다른 물질로 이루어질 수 있다. 상기 연결 전극은 공통 전극과 동시에 형성될 수 있다. 또한, 상기 연결 전극은 공통 전극과 동일한 물질에 다른 물질이 추가되어 형성될 수 있다. 구체적으로, 연결 전극은 IZO(인듐 아연 산화막)일 수 있다. 또한, 연결 전극은 IZO 및 금속의 이중막으로 이루어질 수 있다. 연결 전극을 IZO 및 금속의 이중막으로 형성하는 경우, 데이터선과 연결 전극의 접촉에 의한 RC-delay를 감소시킬 수 있다. 또한, 연결 전극은 금속 단일막으로 형성될 수 있다.

[0090] 상기 연결 전극에서 사용되는 금속은 데이터선과 동일한 물질일 수 있다. 구체적으로, 상기 금속은 몰리브덴 또는 몰리브덴 합금 하부막, 알루미늄 또는 알루미늄 합금 중간막, 및 몰리브덴 또는 몰리브덴 합금 상부막의 삼중막일 수 있다. 공통 전극(270)과 연결 전극(271)은 연속적으로 이어지는 하나의 판 형태일 수도 있고, 일부 분리된 영역을 가진 형태일 수도 있다. 본 발명의 도 2에서는, 공통 전극(270)과 연결 전극(271)이 일부 분리된 영역을 갖는 구조로 도시하였으나, 공통 전극(270)과 연결 전극(271)은 서로 분리되지 않고 이어져 있을 수 있다.

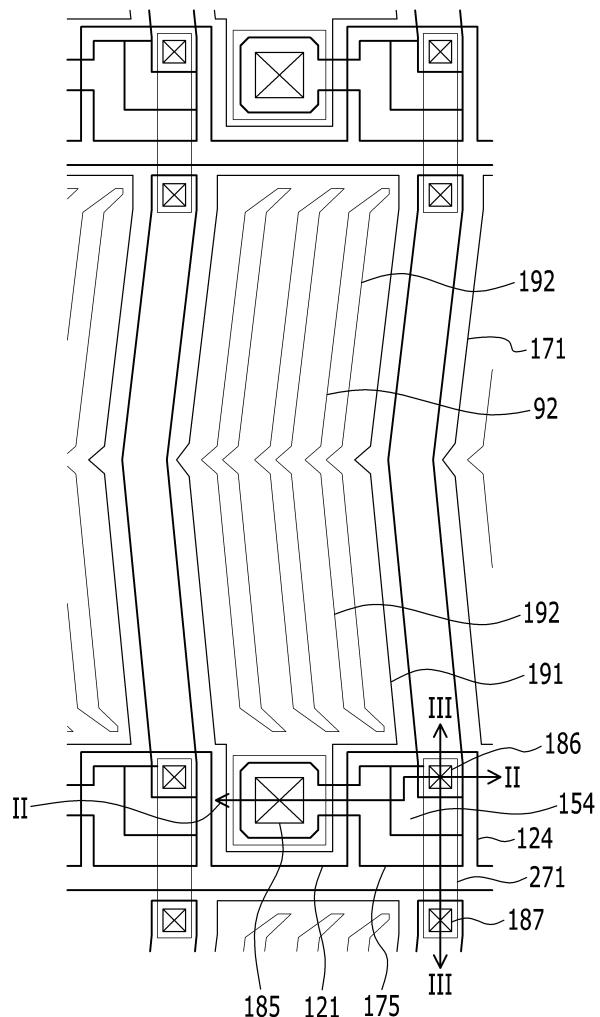
- [0091] 상기 공통 전극(270) 및 연결 전극(271) 상부에 제3 보호막(180z)이 형성되어 있다. 제3 보호막(180z) 위에는 화소 전극(191)이 형성되어 있다. 화소 전극(191)은 데이터선(171)의 제1 굴곡부 및 제2 굴곡부와 거의 나란한 굴곡변(curved edge)을 포함한다. 화소 전극(191)은 복수의 제1 절개부(92)를 가지며, 복수의 제1 절개부(92)에 의해 정의되는 복수의 제1 가지 전극(192)을 포함한다.
- [0092] 제1 보호막(180n), 제2 보호막(180q), 그리고 제3 보호막(180z)에는 드레인 전극(175)을 드러내는 제1 접촉 구멍(185)이 형성되어 있다. 화소 전극(191)은 제1 접촉 구멍(185)을 통해 드레인 전극(175)과 물리적 전기적으로 연결되어, 드레인 전극(175)으로부터 전압을 인가받는다.
- [0093] 그러면, 상부 표시판(200)에 대하여 설명한다.
- [0094] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.
- [0095] 기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 하부 표시판(100)의 제2 보호막(180q)이 색필터 인 경우, 상부 표시판(200)의 색필터(230)는 생략될 수 있다. 또한, 상부 표시판(200)의 차광 부재(220) 역시 하부 표시판(100)에 형성될 수 있다.
- [0096] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- [0097] 덮개막(250) 위에는 배향막이 배치되어 있을 수 있다.
- [0098] 액정층(3)은 양의 유전율 이방성을 가지는 네마티ック(nematic) 액정 물질을 포함한다. 액정층(3)의 액정 분자는 그 장축 방향이 표시판(100, 200)에 평행하게 배열되어 있고, 그 방향이 하부 표시판(100)의 배향막의 러빙 방향으로부터 상부 표시판(200)에 이르기까지 나선상으로  $90^{\circ}$  비틀린 구조를 가진다.
- [0099] 화소 전극(191)은 드레인 전극(175)으로부터 데이터 전압을 인가 받고, 공통 전극(270)은 표시 영역 외부에 배치되어 있는 공통 전압 인가부로부터 일정한 크기의 공통 전압을 인가 받는다.
- [0100] 전기장 생성 전극인 화소 전극(191)과 공통 전극(270)은 전기장을 생성함으로써 두 전극(191, 270) 위에 위치하는 액정층(3)의 액정 분자는 전기장의 방향과 평행한 방향으로 회전한다. 이와 같이 결정된 액정 분자의 회전 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다.

### 부호의 설명

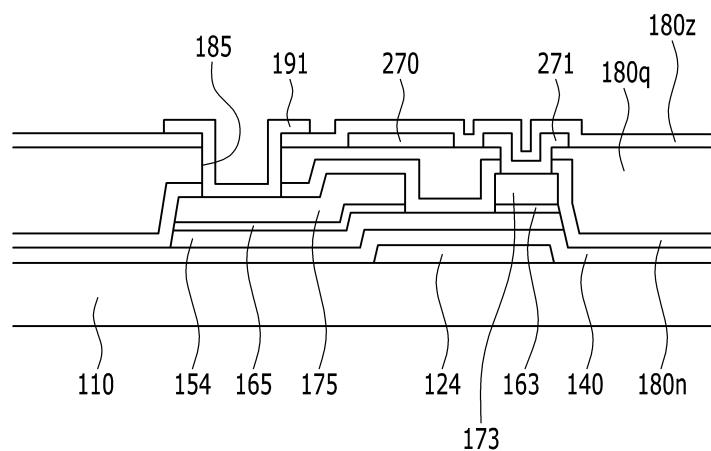
- |                      |                            |
|----------------------|----------------------------|
| 110, 210: 절연 기판      | 3: 액정층                     |
| 121: 게이트선            | 124: 게이트 전극                |
| 140: 게이트 절연막         | 154: 반도체                   |
| 163, 165: 저항성 접촉 부재  |                            |
| 171: 데이터선            | 173: 소스 전극                 |
| 175: 드레인 전극          | 180, 180n, 180q, 180z: 보호막 |
| 185, 186, 187: 접촉 구멍 | 191: 화소 전극                 |
| 230: 컬러 필터           | 220: 차광 부재                 |
| 250: 덮개막             |                            |
| 270: 공통 전극           | 271: 연결 전극                 |

도면

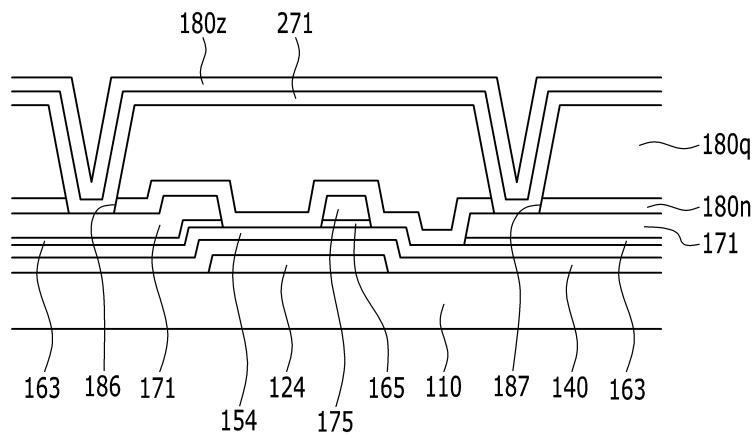
도면1



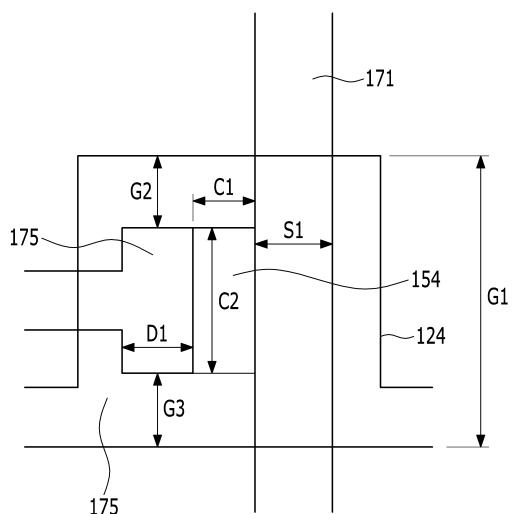
도면2



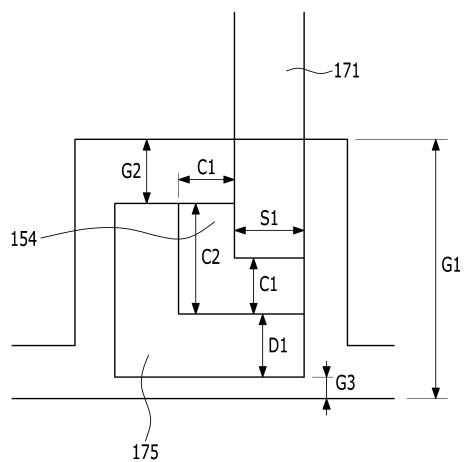
도면3



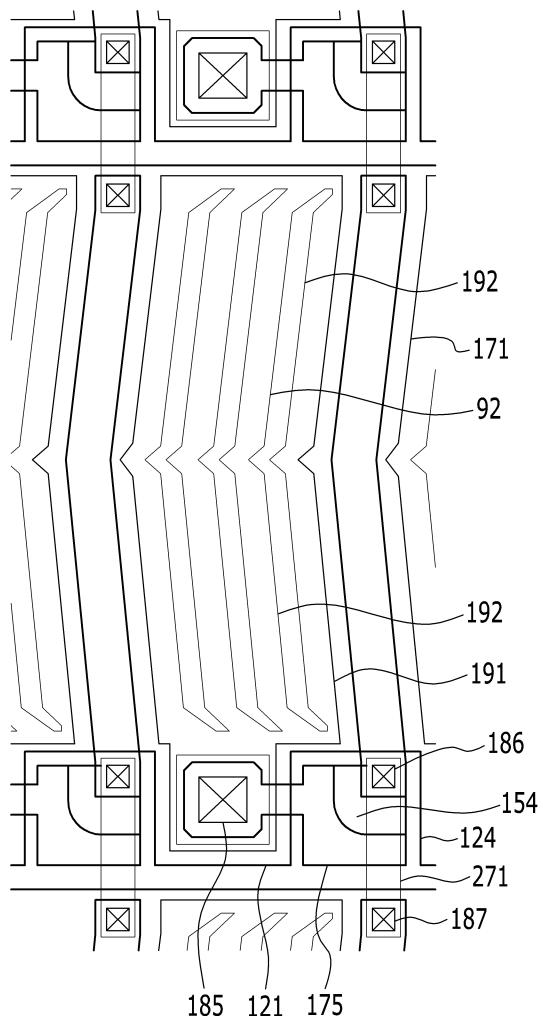
도면4



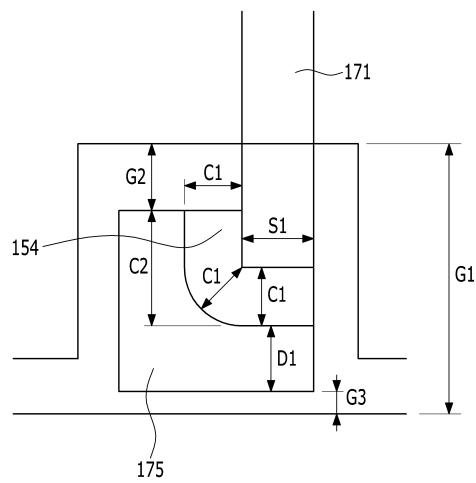
도면5



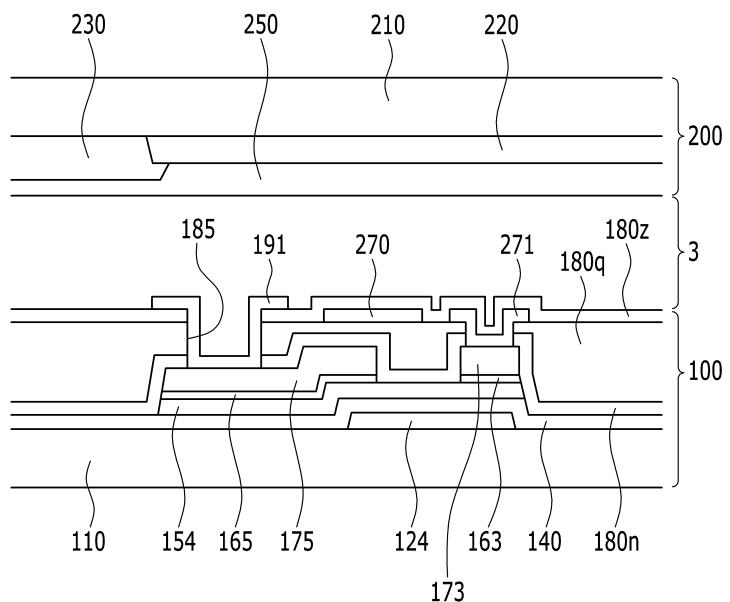
도면6



도면7



도면8



专利名称(译)	标题 : 薄膜晶体管显示面板和液晶显示装置		
公开(公告)号	<a href="#">KR1020150035134A</a>	公开(公告)日	2015-04-06
申请号	KR1020130115352	申请日	2013-09-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON WOONG KI 전용기 OH DONG GUN 오동건 KIM HYANG YUL 김향율 SONG JEAN HO 송진호		
发明人	전용기 오동건 김향율 송진호		
IPC分类号	G02F1/136 G02F1/1343 H01L29/786		
CPC分类号	G02F1/134309 G02F1/13439 G02F1/136286 G02F1/1368		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

根据本发明一个实施例的面板，其包括公共电极和形成在所述保护膜上的连接电极，和形成在数据线的保护膜的各方面的TFT，形成在数据线的栅极线，形成在基底，在基底上的栅极线，数据线断开，保护膜具有用于暴露部分断开的数据线的接触孔，并且连接电极位于与公共电极相同的层上并通过接触孔连接数据线。在根据本发明实施例的薄膜晶体管面板中，数据线与栅电极的上部断开，并且，通过使用遮光边缘将数据线的一部分连接到电极，可以减小栅电极的长度而不减小半导体沟道的面积。因此，在使用根据本发明的薄膜晶体管面板的液晶显示装置中，黑矩阵覆盖的面积减小，这提高。

