(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0026586
(43) 공개일자 2015년03월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1339 (2006.01) *G02F 1/1335* (2006.01)
(21) 출원번호 10-2013-0105644
(22) 출원일자 2013년09월03일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
권태욱
경기도 파주시 후곡로 50, 418동 1401호 (금촌동, 후곡마을아파트)
강하석
경기도 파주시 청석로 300, 921동 1304호 (다율동, 청석마을대원효성아파트)
심석호
경기도 파주시 한빛로 70, 504동 1602호 (야당동, 한빛마을5단지 캐슬&칸타빌)
(74) 대리인
박장원

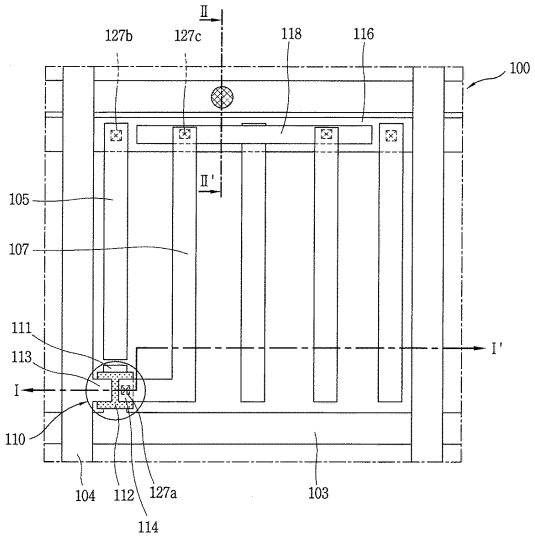
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **컬럼스페이서를 구비한 액정표시소자**

(57) 요 약

본 발명은 압력에 의한 컬럼스페이서의 유동이 최소화된 액정표시소자에 관한 것으로, 제1기판 및 제2기판; 상기 제1기판에 종횡으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인; 각각의 화소에 형성된 박막트랜지스터; 상기 화소에 형성되어 전계를 형성하는 제1전극 및 제2전극; 상기 게이트라인 상부에 배치되어 제1기판과 제2기판의 간격을 일정하게 유지하는 복수의 컬럼스페이서; 상기 컬럼스페이서가 배치된 게이트라인 양측중 적어도 일측에 배치되어 컬럼스페이서가 이동할 때 컬럼스페이서의 이동을 정지시키는 스토퍼; 제2기판에 형성되어 광을 차단하는 블랙매트릭스; 및 제2기판에 형성되어 컬러를 구현하는 컬러필터층으로 구성된다.

대 표 도 - 도5



특허청구의 범위

청구항 1

제1기판 및 제2기판;

상기 제1기판에 종횡으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

각각의 화소에 형성된 박막트랜지스터;

상기 화소에 형성되어 전계를 형성하는 제1전극 및 제2전극;

상기 게이트라인 상부에 배치되어 제1기판과 제2기판의 간격을 일정하게 유지하는 복수의 컬럼스페이서;

상기 컬럼스페이서가 배치된 게이트라인 양측중 적어도 일측에 배치되어 컬럼스페이서가 이동할 때 컬럼스페이서의 이동을 정지시키는 스토퍼;

제2기판에 형성되어 광을 차단하는 블랙매트릭스; 및

제2기판에 형성되어 컬러를 구현하는 컬러필터층으로 구성된 액정표시소자.

청구항 2

제1항에 있어서, 상기 박막트랜지스터는,

제1기판에 형성된 게이트전극;

상기 게이트전극 위에 형성된 게이트절연층;

상기 게이트절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 3

제1항에 있어서, 상기 스토퍼의 두께는 컬럼스페이서가 접촉하는 제1기판의 접촉영역 보다 크게 형성되어 압력에 의해 컬럼스페이서가 이동할 때 상기 컬럼스페이서가 접촉하는 것을 특징으로 하는 액정표시소자.

청구항 4

제1항에 있어서, 상기 스토퍼는,

제1기판에 게이트라인과 평형하게 배치된 제1전극라인;

상기 공통라인 위에 형성된 게이트절연층;

상기 게이트절연츠 위에 형성된 반도체층;

상기 반도체층 위에 형성된 제2전극라인;

상기 제2전극 라인 위에 형성된 보호층; 및

상기 보호층 위에 형성된 도전층으로 구성된 것을 특징으로 하는 액정표시소자.

청구항 5

제4항에 있어서, 상기 제1전극라인은 제1전극과 전기적으로 연결되고 제2전극라인은 제2전극과 전기적으로 연결되는 것을 특징으로 하는 액정표시소자.

청구항 6

제4항에 있어서, 상기 제1전극라인은 게이트라인으로부터 20㎛ 이내의 간격으로 배치되는 것을 특징으로 하는 액정표시소자.

청구항 7

제4항에 있어서, 상기 블랙매트릭스는 게이트라인 및 제1전극라인과 그 사이의 영역을 커버하는 것을 특징으로 하는 액정표시소자.

청구항 8

제2항에 있어서, 상기 스토퍼는,

상기 게이트라인의 적어도 일측에 배치된 일정 면적의 제1금속층;

상기 제1금속층 위에 형성된 게이트절연층;

상기 게이트절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 제2금속층;

상기 제2금속층 위에 형성된 보호층; 및

상기 보호층 위에 형성된 제3금속층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 9

제8항에 있어서, 제1금속층은 박막트랜지스터의 게이트전극과 동일 물질로 형성되고 제2금속층은 박막트랜지스터의 소스전극 및 드레인전극과 동일 물질로 형성되며, 제3금속층은 박막트랜지스터의 제1전극 및 제2전극과 동일 물질로 형성되는 것을 특징으로 하는 액정표시소자.

청구항 10

제8항에 있어서, 상기 제1금속층은 게이트라인으로부터 20㎛ 이내의 간격으로 배치되는 것을 특징으로 하는 액정표시소자.

청구항 11

제8항에 있어서, 상기 블랙매트릭스는 게이트라인 및 제1전극라인과 그 사이의 영역을 커버하는 것을 특징으로 하는 액정표시소자.

청구항 12

제1항에 있어서, 상기 제1전극 및 제2전극은 실질적으로 평행하게 배열되는 것을 특징으로 하는 액정표시소자.

청구항 13

제1항에 있어서, 상기 제1전극 및 제2전극은 투명한 도전물질로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 14

제1항에 있어서, 상기 게이트라인 양측에 배치되는 스토퍼는 동일한 구조로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 15

제1항에 있어서, 상기 게이트라인 양측에 배치되는 스토퍼는 서로 다른 구조로 이루어진 것을 특징으로 하는 액정표시소자.

명 세 서

기 술 분 야

[0001] 본 발명은 액정표시소자에 관한 것으로, 특히 압력에 의해 컬럼스페이서가 이동하여 배향막을 파손함으로써 발생하는 화질저하를 방지할 수 있는 액정표시소자에 관한 것이다.

배 경 기 술

[0002] 근래, 핸드폰(Mobile Phone), PDA, 노트북컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 경박단소용의 평판표시장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display), VFD(Vacuum Fluorescent Display) 등이 활발히 연구되고 있지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현이라는 이유로 인해 현재에는 액정표시소자(LCD)가 각광을 받고 있다.

[0003] 도 1은 일반적인 액정패널(liquid crystal display panel)의 단면을 개략적으로 나타낸 것이다. 도면에 도시한 바와 같이, 액정패널(1)는 제1기판(20)과 제2기판(30) 및 상기 제1기판(20)과 제2기판(30) 사이에 형성된 액정층(40)으로 구성되어 있다. 제1기판(20)은 구동소자 어레이(Array)기판으로써, 도면에는 도시하지 않았지만, 상기 제1기판(20)에는 복수의 화소(pixel)가 형성되어 있으며, 각각의 화소에는 박막트랜지스터(Thin Film Transistor)와 같은 구동소자(driving device)가 형성되고, 제2기판(30)은 컬러필터(Color Filter)기판으로써, 실제 칼라를 구현하기 위한 칼라필터층이 형성되어 있다. 또한, 상기 제1기판(20) 및 제2기판(30)에는 각각 화소전극 및 공통전극(common electrode)이 형성되어 있으며 액정층(40)의 액정분자를 배향하기 위한 배향막(alignment layer)이 도포되어 있다.

[0004] 상기 제1기판(20) 및 제2기판(30)은 기판의 외곽에 형성된 실런트(sealant;50)에 의해 합착되며, 이들(제1기판 및 제2기판) 사이에 형성된 스페이서(spacer;56)에 의해 일정한 셀갭(cell gap)을 유지한다. 그리고, 상기 기판들(20,30) 사이에 형성된 액정층(40)이 상기 제1기판(20)에 형성된 구동소자에 의해 액정분자를 구동하여 액정층을 투과하는 광량을 제어함으로써 정보를 표시하게 된다.

[0005] 상기와 같이 구성된 액정패널은 제1기판(20)에 구동소자를 형성하는 구동소자 어레이기판공정에 의해서 형성되고, 상기 제2기판(30)은 칼라필터를 형성하는 칼라필터기판공정에 의해서 형성된다. 이후에, 스페이서 및 실런트형성공정을 통해 액정표소자가 완성된다.

[0006] 구동소자 어레이기판공정은 제1기판(10)상에 배열되어 화소영역을 정의하는 복수의 게이트라인(Gate Line) 및 데이터라인(Data Line)을 형성하고 상기 화소영역 각각에 상기 게이트라인과 데이터라인에 접속되는 구동소자인 박막트랜지스터(thin film transistor)를 형성한 후, 박막트랜지스터에 접속되어 박막트랜지스터를 통해 신호가 인가됨에 따라 액정층을 구동하는 화소전극을 형성함으로써 이루어진다.

[0007] 또한, 칼라필터기판공정은 제2기판(30)에 블랙매트릭스를 형성한 후, 그 상부에 칼라필터를 형성한 다음, 공통전극을 형성함으로써 이루어진다.

[0008] 상기 스페이서(56)로는 주로 컬럼스페이서(column spacer)를 사용한다. 종전에는 주로 볼스페이서(ball spacer)를 사용했지만, 볼스페이서의 경우 산포(scattering)시 서로 뭉치는 등 불균일하게 산포되어 액정패널의 셀갭을 일정하게 유지하기 어렵다는 문제가 있을 뿐만 아니라 산포에 의해 액정패널의 표시영역에 볼스페이서가 불규칙적으로 분포하여 개구율(aperature ratio)을 저하시키는 문제가 있었다.

[0009] 그래서, 근래에는 주로 컬럼스페이서를 사용하는데, 그 이유는 컬럼스페이서는 액정패널 전체에 걸쳐 동일한 밀도로 원하는 위치에 형성할 수 있기 때문이다. 이와 같이, 원하는 위치에 컬럼스페이서를 형성함에 따라 액정표시소자의 셀갭을 일정하게 유지하고 개구율이 저하되는 것을 방지할 수 있게 된다.

[0010] 그러나, 이러한 컬럼스페이서는 다음과 같은 문제가 발생한다.

[0011] 도 2에 도시된 바와 같이, 종래 액정표시소자(1)에서는 종횡으로 배치되어 배치되는 게이트라인(3) 및 데이터라인(4)에 의해 복수의 화소가 정의되며, 각각의 화소내에서 게이트라인(3)과 데이터라인(4)의 교차영역에 형성된 박막트랜지스터(10)가 배치되어 있다.

[0012] 상기 박막트랜지스터(10)는 게이트라인(3)으로부터 주사신호가 인가되는 게이트전극(11)과, 상기 게이트전극(11) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(12)과, 상기 반도체층(12) 위에 형성되어 데이터라인(4)을 통해 화상신호가 인가되는 소스전극(13) 및 드레인전극(14)으로 구성되어 외부로부터 입력되는 화상신호를 액정층(40)에 인가한다.

[0013] 화소내에는 데이터라인(4)과 실질적으로 평행하게 배열된 복수의 공통전극(5)과 화소전극(7)이 배치되어 있다. 또한, 화소의 중간에는 상기 공통전극(5)과 접속되는 공통라인(16)이 배치되어 있으며, 상기 공통라인(16) 위에는 화소전극(7)과 접속되는 화소전극라인(18)이 배치되어 상기 공통라인(16)과 오버랩되어 있다. 상기 공통라인

(16)과 화소전극라인(18)의 오버랩에 의해 횡전계모드 액정표시소자에는 축적용량(storage capacitance)이 형성된다.

[0014] 도면에는 도시하지 않았지만, 상기 제1기판(20) 및 제2기판(30)에는 배향막이 형성되어 액정층(40)의 액정분자가 배향막의 배향방향을 따라 배향되며, 화상신호가 화소전극(7)에 인가됨에 따라 공통전극(5)과 화소전극(7) 사이에 전계가 형성되어 액정분자의 배향상태가 변화되어 액정층(40)을 투과하는 광의 투과율이 변화됨으로써 화상이 구현된다.

[0015] 컬럼스페이서(56)는 게이트라인(3)상에 형성되어 제1기판(20)과 제2기판(30) 사이의 셀갭을 항상 일정하게 유지한다.

[0016] 상기와 같은 구성의 액정표시소자에서 컬럼스페이서(56)는 컬러필터가 형성되는 제2기판(30)에 형성되며, 그 두께가 제1기판(20)과 제2기판(30) 사이의 간격과 거의 유사하게 형성되어 제1기판(20) 및 제2기판(30)의 간격을 일정하게 유지한다. 그런데, 상기 컬럼스페이서(56)는 제2기판(30)에 형성되어 제1기판(20)과 접촉하고 있기 때문에, 일측으로 압력이 인가되는 경우, 컬럼스페이서(56)가 제1기판(20) 위에서 미끄러져 제1기판(20)에 형성된 배향막과 마찰을 일으키게 된다.

[0017] 도 3a에 도시된 바와 같이, 제1기판(20) 등에 압력이 인가되는 경우, 압력이 인가되는 위치에 따라 상기 컬럼스페이서(56)가 좌측 또는 우측으로 일정 거리(d1) 이동하게 되며, 이러한 이동에 의해 컬럼스페이서(56)가 제1기판(20)에 형성된 제1배향막(29a)가 접촉하여 마찰을 일으키게 된다.

[0018] 일반적으로 제1기판(20) 및 제2기판(30)에 형성된 제1배향막(29a) 및 제2배향막(29b)은 러빙처리되어 설정된 방향으로 복수의 미세홈이 형성되어 액정분자가 상기 미세홈을 따라 프리틸트각(pre-tilt angle)으로 배향된다.

[0019] 그런데, 압력이 인가되어 컬럼스페이서(56)가 제1배향막(29a)과 마찰하게 되면, 제1배향막(29a)에 형성된 미세홈이 마찰력에 의해 파손되거나 심지어 도포된 배향막 자체가 벗겨지는 등의 파손이 발생하게 되는데, 이와 같은 미세홈이나 배향막의 파손은 파손된 영역과 대응하는 액정층에서의 액정분자를 설정된 방향으로 배향할 수 없게 되기 때문에, 이 영역에서는 원하는 컬러가 구현되지 않고 광이 누설된다.

[0020] 도 3b에 도시된 바와 같이, 압력이 인가되는 위치에 따라 컬럼스페이서(56)가 게이트라인(3)의 상부방향 또는 하부방향으로 이동하게 되므로, 상기와 같은 광누설영역이 게이트라인(3)의 중심으로 양방향으로 발생하게 된다.

[0021] 이러한 문제를 해결하기 위해, 광누설영역에 블랙매트릭스(black matrix)를 형성함으로써 누설되는 광을 차단할 수는 있지만, 이 경우 블랙매트릭스가 게이트라인(3)의 상하방향으로 설정된 거리(ℓ 1=25㎛) 이상 연장되어 형성되어야만 하기 때문에, 개구율 및 휘도가 저하되는 문제가 있었다.

발명의 내용

해결하려는 과제

[0022] 본 발명은 상기한 문제를 해결하기 위한 것으로, 압력 인가시 컬럼스페이서의 이동을 최소화함으로써 배향막의 파손에 의한 광누설을 최소화할 수 있는 액정표시소자를 제공하는 것이다.

과제의 해결 수단

[0023] 상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시소자는 제1기판 및 제2기판; 상기 제1기판에 종횡으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인; 각각의 화소에 형성된 박막트랜지스터; 상기 화소에 형성되어 전계를 형성하는 제1전극 및 제2전극; 상기 게이트라인 상부에 배치되어 제1기판과 제2기판의 간격을 일정하게 유지하는 복수의 컬럼스페이서; 상기 컬럼스페이서가 배치된 게이트라인 양측중 적어도 일측에 배치되어 컬럼스페이서가 이동할 때 컬럼스페이서의 이동을 정지시키는 스토퍼; 제2기판에 형성되어 광을 차단하는 블랙매트릭스; 및 제2기판에 형성되어 컬러를 구현하는 컬러필터층으로 구성된다.

[0024] 상기 스토퍼의 두께는 컬럼스페이서가 접촉하는 제1기판의 접촉영역 보다 크게 형성되어 압력에 의해 컬럼스페이서가 이동할 때 상기 컬럼스페이서가 접촉한다.

[0025] 상기 스토퍼는 제1기판에 게이트라인과 평행하게 배치된 제1전극라인; 상기 공통라인 위에 형성된 게이트절연층; 상기 게이트절연층 위에 형성된 반도체층; 상기 반도체층 위에 형성된 제2전극라인; 상기 제2전

극 라인 위에 형성된 보호층; 및 상기 보호층 위에 형성된 도전층으로 구성될 수 있다.

[0026] 또한, 상기 스토퍼는 상기 게이트라인의 적어도 일측에 배치된 일정 면적의 제1금속층; 상기 제1금속층 위에 형성된 게이트절연층; 상기 게이트절연층 위에 형성된 반도체층; 상기 반도체층 위에 형성된 제2금속층; 상기 제2금속층 위에 형성된 보호층; 및 상기 보호층 위에 형성된 제3금속층으로 이루어질 수 있다.

발명의 효과

[0027] 본 발명에서는 압력 인가시 컬럼스페이서의 이동을 최소화함으로써 배향막의 파손에 의한 광누설을 최소화할 수 있게 된다. 또한, 본 발명에서는 광누설을 차단하기 위한 블랙매트릭스의 면적을 최소화할 수 있기 때문에, 종래에 비해 개구율과 휘도를 향상시킬 수 있게 된다.

도면의 간단한 설명

[0028] 도 1은 종래 액정표시소자의 개략적인 구조를 나타내는 개략 단면도.

도 2는 종래 액정표시소자의 구조를 나타내는 평면도.

도 3a 및 도 3b는 종래 액정표시소자에서 압력이 인가되었을 때의 광누설영역이 발생하는 것을 나타내는 도면.

도 4는 본 발명에 따른 액정표시소자의 컬럼스페이서와 스토퍼의 구조를 개념적으로 나타내는 도면.

도 5는 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 평면도.

도 6a는 도 5의 I-I'선 단면도로서, 박막트랜지스터와 화소의 구조를 나타내는 도면.

도 6b는 도 5의 Ⅱ-Ⅱ'선 단면도로서, 컬럼스페이서 및 공통라인을 포함하는 스토퍼의 구조를 나타내는 도면.

도 7a는 본 발명의 제2실시예에 따른 액정표시소자의 구조를 나타내는 평면도.

도 7b는 도 7a의 Ⅲ-Ⅲ'선 단면도.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면을 참조하여 본 발명에 대해 상세히 설명한다.

[0030] 도 4는 본 발명에 따른 액정표시소자의 기본적인 개념을 나타내는 도면이다. 도 4에 도시된 바와 같이, 본 발명에서는 게이트라인(103) 위에 컬럼스페이서(156)가 배치된다. 도면에는 도시하지 않았지만, 상기 게이트라인(103)은 하부기판에 형성되고 컬럼스페이서는 상부기판에 형성되며, 게이트라인(103) 위에는 게이트절연층과 보호층 등의 각종 층이 형성되어 컬럼스페이서(156)의 하부와 접촉한다.

[0031] 도면에서는 상기 컬럼스페이서(156)의 단면이 원형상으로 이루어지지만, 상기 컬럼스페이서(156)의 단면이 이러한 원형상에 한정되는 것이 아니라 삼각형이나 사각형, 오각형과 같은 다각형상 및 타원형상과 같은 다양한 형상으로 형성될 수 있을 것이다.

[0032] x-방향으로 연장되는 게이트라인(103)의 상하부, 즉, 게이트라인(103)으로부터 y방향 및 -y방향으로 일정 거리(d2) 이격된 영역에는 2개의 스토퍼(180a,180b)가 형성된다. 이때, 상기 제1스토퍼(180a), 컬럼스페이서(156), 제2스토퍼(180b)는 모두 y방향을 따라 일선상에 형성되므로, 압력 인가에 의해 컬럼스페이서(156)가 이동하는 경우, 상기 제1스토퍼(180a) 및 제2스토퍼(180b)에 의해 컬럼스페이서(156)가 y방향 및 -y방향으로 이동하는 것을 정지시킬 수 있게 된다.

[0033] 이때, 압력이 인가되는 경우, 컬럼스페이서(156)는 y방향 또는 -y방향으로 이동한 후, 상기 제1스토퍼(180a) 또는 제2스토퍼(180b)에 의해 정지하므로, 게이트라인(103)에서 제1스토퍼(180a) 및 제2스토퍼(180b)까지는 상기 컬럼스페이서(156)가 이동하는 영역이다. 따라서, 압력이 인가되는 경우, 게이트라인(103)에서 제1스토퍼(180a) 및 제2스토퍼(180b)까지는 컬럼스페이서(156)의 마찰에 의해 배향막이 파손되는(또는 배향막의 미세홈이 파손되는) 영역이므로, 광누설현상이 발생하는 영역이 된다.

[0034] 따라서, 본 발명에서는 상부기판에 형성되는 블랙매트릭스(132)를 상기 광누설영역까지 연장함으로써 광이 누설되는 것을 방지할 수 있게 된다.

[0035] 본 발명에서는 게이트라인(103)으로부터 상기 제1스토퍼(180a) 및 제2스토퍼(180b)의 이격거리(ℓ_2)를 20㎛ 이하로 설정하므로, 블랙매트릭스(132)가 게이트라인(103)으로부터 y방향 및 -y방향으로 20㎛ 이하로 연장된다.

종래 액정표시소자에서 블랙매트릭스(132)가 게이트라인(103)으로부터 y방향 및 -y방향으로 25㎛ 이상으로 연장되는 것과 비교하면, 본 발명의 액정표시소자에서는 블랙매트릭스(132)의 연장길이가 5㎛ 이상 감소하므로, 개구율과 휘도가 대폭 향상된다.

[0036] 한편, 도면에서는 상기 제1스토퍼(180a) 및 제2스토퍼(180b)가 게이트라인(103)의 양측에 형성되어 컬럼스페이서(156)가 y방향 및 -y방향의 양측방향으로 이동하는 것을 방지하지만, 제1스토퍼(180a) 또는 제2스토퍼(180b)만이 게이트라인(103) 일측에 형성되어 컬럼스페이서(156)가 y방향 또는 -y방향의 일측방향으로 이동하는 것을 방지할 수도 있다.

[0037] 또한, 도면에서는 상기 제1스토퍼(180a) 및 제2스토퍼(180b)의 단면형상이 정사각형상으로 이루어지지만, 상기 제1스토퍼(180a) 및 제2스토퍼(180b)의 단면형상이 특정 형상에 한정되는 것이 아니라, 원형상, 타원형상, 직사각형상, 삼각형상 등과 같은 다양한 단면형상으로 이루어질 수 있을 것이다.

[0038] 상술한 바와 같이, 본 발명에서는 게이트라인(103)으로부터 일정 거리 이격하여 스토퍼(180a,180b)를 형성하여 게이트라인(103) 상부에 배치되는 컬럼스페이서(156)의 이동을 최소화함으로써 배향막의 파손을 최소화하며, 그 결과 액정표시소자의 광누설을 최소화할 수 있게 된다.

[0039] 이때, 상기 컬럼스페이서(156)의 이동을 정지시키는 스토퍼(180a,180b)의 형상은 다양한 형태로 형성할 수 있는데, 이하에서는 본 발명의 구체적인 실시예를 설명하여 상기 스토퍼의 구조에 대해 상세히 설명한다.

[0040] 도 5는 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 평면도이다. 도 5에 도시된 바와 같이, 액정표시소자의 화소는 종횡으로 배치된 게이트라인(103) 및 데이터라인(104)에 의해 정의된다. 도면에는 비록 (n,m)번째의 화소만을 도시하고 있지만 실제의 액정표시소자에는 상기한 게이트라인(103)과 데이터라인(104)이 각각 n개 및 m개 배치되어 액정표시소자 전체에 걸쳐서 n×m개의 화소를 형성한다.

[0041] 상기 화소내의 게이트라인(103)과 데이터라인(104)의 교차영역에는 박막트랜지스터(110)가 형성되어 있다. 상기 박막트랜지스터(110)는 게이트라인(103)으로부터 주사신호가 인가되는 게이트전극(111)과, 상기 게이트전극(111) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(112)과, 상기 반도체층(112) 위에 형성되어 데이터라인(104)을 통해 화상신호가 인가되는 소스전극(113) 및 드레인전극(114)으로 구성되어 외부로부터 입력되는 화상신호를 액정층에 인가한다.

[0042] 화소내에는 데이터라인(10)과 실질적으로 평행하게 배열된 복수의 공통전극(105)과 화소전극(107)이 배치되어 있다. 이때, 상기 화소전극(107)은 박막트랜지스터(110)의 드레인전극(114) 위에 형성된 제1컨택홀(127a)을 통해 상기 드레인전극(114)과 전기적으로 연결된다.

[0043] 화소의 상부 영역, 즉 인접하는 화소의 게이트라인(103)의 근처에는 상기 공통전극(105)과 접속되는 공통라인(116)이 배치되어 있으며, 상기 공통라인(116) 위에는 화소전극(107)과 접속되는 화소전극라인(118)이 배치되어 상기 공통라인(116)과 오버랩되어 있다. 도면에는 도시하지 않았지만, 상기 공통라인(116)과 화소전극라인(118) 사이에는 게이트절연층이 배치되어 상기 공통라인(116)과 화소전극라인(118) 사이에 축적용량(storage capacitance)이 형성된다.

[0044] 상기 공통전극(105)은 게이트절연층 및 보호층(도면표시하지 않음)에 형성된 제2컨택홀(129b)를 통해 공통라인(116)과 전기적으로 접속되고 상기 화소전극(107)은 보호층에 형성된 제3컨택홀(129c)를 통해 화소전극라인(118)과 전기적으로 접속된다.

[0045] 물론, 본 발명에서 공통전극(105)과 화소전극(107)을 각각 공통라인(116) 및 화소전극라인(118)과 동일층에 형성하여 컨택홀을 통하지 않고 공통전극(105)과 화소전극(107)을 각각 공통라인(116) 및 화소전극라인(118)에 연결할 수 있을 것이다.

[0046] 다시 말해서, 본 발명에서는 공통전극(105)과 화소전극(107) 및 공통라인(116)과 화소전극라인(118)을 다양한 형태로 구성할 수 있을 것이다.

[0047] 상기와 같이 구성된 액정표시소자에서 공통전극(105) 및 화소전극(107)이 평행하게 배열되므로, 박막트랜지스터(110)가 작동하여 화소전극(107)에 신호가 인가되면, 공통전극(105)과 화소전극(107) 사이에는 기판의 표면과 실질적으로 평행한 횡전계가 발생하게 된다. 액정분자는 상기 횡전계를 따라 기판의 표면과 평행하게 회전하게 되므로, 액정분자의 굴절율 이방성에 의한 계조반전을 방지할 수 있게 된다.

[0048] 상기 게이트라인(103) 위에는 컬럼스페이서(156)가 형성된다. 도면에서는 컬럼스페이서(156)가 하나의 화소에

대응하는 게이트라인(103) 상부에 배치되지만, 실질적으로 상기 컬럼스페이서(156)는 모든 화소에 형성될 수 있고 특정 화소에 형성될 수도 있을 것이다. 예를 들면, 상기 컬럼스페이서(156)는 R화소 마다, 또는 G화소마다, 또는 B화소마다 형성될 수 있을 것이다.

[0049] 상술한 바와 같이, 본 발명에서는 오버랩된 공통라인(116) 및 화소전극라인(118)이 게이트라인(103)과 평행하게 배치된다. 이때, 상기 오버랩된 공통라인(116) 및 화소전극라인(118)의 높이가 게이트라인(103)의 높이 보다 크기 때문에, 상기 오버랩된 공통라인(116) 및 화소전극라인(118)이 컬럼스페이서(156)의 이동을 차단하는 스토퍼로서의 역할을 하게 된다. 다시 말해서, 본 발명에서 컬럼스페이서(156)의 이동을 방지하는 스토퍼는 다양한 형태로 형성될 수 있지만, 이 실시예에서는 오버랩된 공통라인(116) 및 화소전극라인(118)이 상기 스토퍼로서 작용한다. 이때, 상기 공통라인(116) 및 화소전극라인(118)은 게이트라인(103)으로부터 20㎛ 이하의 간격으로 배열된다.

[0050] 상기와 같은 구조의 액정표시소자를 단면도를 이용하여 더욱 상세히 설명한다.

[0051] 도 6a는 도 5의 I-I'선 단면도로서 박막트랜지스터와 화소의 구조를 나타내며, 도 6b는 도 5의 II-II'선 단면도로서 게이트라인, 컬럼스페이서, 공통라인 및 화소전극라인의 구조를 나타낸다.

[0052] 도 6a에 도시된 바와 같이, 유리와 같은 투명한 물질로 이루어진 제1기판(120) 위에는 박막트랜지스터가 형성된다. 도면에는 도시하지 않았지만, 액정표시소자는 R,G,B화소로 이루어지며, 상기 박막트랜지스터는 R,G,B화소에 각각 형성된다. 상기 박막트랜지스터는 제1기판(120) 위에 형성된 게이트전극(111)과, 상기 게이트전극(111)이 형성된 제1기판(120) 전체에 걸쳐 형성된 게이트절연층(122)과, 상기 게이트절연층(122) 위에 형성된 반도체층(112)과, 상기 반도체층(112) 위에 형성된 소스전극(114) 및 드레인전극(115)으로 구성된다.

[0053] 상기 게이트전극(111)은 Cr, Mo, Ta, Cu, Ti, Al 또는 Al합금 등의 금속으로 형성될 수 있으며, 게이트절연층(122)은 SiO_2나 SiNx와 같은 무기절연물질로 이루어진 단일층 또는 SiO_2 및 SiNx으로 이루어진 이중의 층으로 이루어질 수 있다. 또한, 상기 반도체층(112)은 비결정질 실리콘이나 결정질 실리콘, 또는 IGZO(Indium Gallium Zinc Oxide)와 같은 산화물반도체로 형성할 수 있으며, 소스전극(114) 및 드레인전극(115)은 Cr, Mo, Ta, Cu, Ti, Al 또는 Al합금으로 형성할수 있다.

[0054] 상기 박막트랜지스터가 형성된 제1기판(120) 위에는 보호층(124)이 형성된다. 상기 보호층(124)은 포토아크릴 등과 같은 유기물질 또는 SiO_2나 SiNx와 같은 무기절연물질로 이루어질 수 있다.

[0055] 상기 보호층(124) 위에는 공통전극(105)과 화소전극(107)이 수평하게 형성된다. 상기 공통전극(105)과 화소전극(107)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 금속산화물이나 Al합금 등과 같은 금속으로 이루어진다. 이때, 상기 보호층(124)에는 제1컨택홀(127a)이 형성되어 박막트랜지스터의 드레인전극(114)이 상기 제1컨택홀(127a)을 통해 외부로 노출되어, 상기 제1컨택홀(127a)을 통해 보호층(124) 위의 화소전극(107)과 전기적으로 연결됨으로써, 외부의 신호가 박막트랜지스터의 소스전극(113) 및 드레인전극(114)을 통해 화소전극(107)을 인가된다.

[0056] 도면에서는 상기 공통전극(105)과 화소전극(107)이 데이터라인(104)과 수평하게 배치되지만, 상기 공통전극(105)과 화소전극(107)이 이러한 구조에만 한정되는 것이 아니라, 상기 공통전극(105)과 화소전극(107)이 화소 내에서 서로 평행하게 적어도 1회 일정 각도로 절곡되어 화소를 서로 다른 시야각방향을 갖는 복수의 도메인으로 분할하여 액정표시소자의 시야각특성을 향상시킬 수 있게 된다.

[0057] 상기와 같이, 공통전극(105) 및 화소전극(107)이 형성된 제1기판(120) 위에 러빙 등의 방법에 의해 액정분자를 특정 방향으로 배향하기 위한 배향방향이 결정된 제1배향막(129a)이 형성된다.

[0058] 제2기판(130)에는 블랙매트릭스(132)와 컬러필터층(134)이 형성되어 있다. 상기 블랙매트릭스(132)는 액정분자가 동작하지 않는 영역으로 광이 누설되는 것을 방지하기 위한 것으로, 도면에 도시한 바와 같이 박막트랜지스터(10) 영역 및 화소와 화소 사이(즉, 게이트라인 및 데이터라인 영역)에 주로 형성된다. 이때, 상기 블랙매트릭스(132)는 Cr이나 CrO와 같은 금속 또는 금속산화물이나 블랙수지(black resin) 등을 사용할 수 있다. 컬러필터층(134)은 R(Red), B(Blue), G(Green)로 구성되어 실제 컬러를 구현하기 위한 것이다.

[0059] 도면에는 도시하지 않았지만, 상기 컬러필터층(134) 위에는 상기 컬러필터층(134)을 보호하고 기판의 평탄성을 향상시키기 위한 오버코트층(overcoat layer)이 형성될 수 있으며, 상기 컬러필터층(134) 위 또는 오버코트층 위에 배향방향이 결정된 제2배향막(129b)이 형성되어 있다.

[0060] 상기 제1기판(120) 및 제2기판(130) 사이에는 액정층(40)이 형성되어 액정패널(1)이 완성된다.

[0061] 도 6b에 도시된 바와 같이, 제1기판(120) 위에는 게이트라인(103) 및 공통라인(116)이 일정 거리 이격된 상태로 배치된다. 상기 게이트라인(103) 및 공통라인(116)은 다른 금속으로 다른 공정에서 형성될 수 있지만, 동일한 금속으로 동일한 공정에서 형성될 수 있다. 이때, 상기 게이트라인(103) 및 공통라인(116)은 박막트랜지스터의 게이트전극(111)과 동일한 금속으로 동일한 공정에서 형성될 수 있다.

[0062] 상기 게이트라인(103) 및 공통라인(116)이 형성된 제1기판(120) 위에는 게이트절연층(122)이 형성되며, 공통라인(116)의 상부 게이트절연층(122)위에 반도체층(112a) 및 화소전극라인(119)이 형성된다. 상기 반도체층(112a)은 비결정질 실리콘이나 결정질 실리콘, 또는 IGZO(Indium Gallium Zinc Oxide)와 같은 산화물반도체로 형성되는 것으로, 박막트랜지스터의 반도체층(112)과 동일 공정에 의해 형성될 수 있으며, 상기 화소전극라인(119)은 박막트랜지스터의 소스전극(113) 및 드레인전극(114)과 동일 금속으로 동일 공정에 의해 형성될 수 있다. 또한, 상기 공통라인(116) 위에는 반도체층(112a)이 형성되지 않고, 화소전극라인(119)만이 형성되어, 상기 공통라인(116)과 화소전극라인(116)이 게이트절연층(122)을 사이에 두고 오버랩될 수 있다.

[0063] 상기 화소전극라인(116)이 위에 보호층(124)이 형성되고 상기 화소전극라인(116) 상부의 보호층(124) 위에 도전층(105a)이 형성된다. 상기 도전층(105a)은 금속 또는 투명한 도전물질로 이루어진 것으로, 화소내의 공통전극(105)과 화소전극(107)의 형성시 형성될 수 있다.

[0064] 상기 보호층(124) 및 도전층(105a) 위에는 러빙 등의 방법에 의해 액정분자를 특정 방향으로 배향하기 위한 배향방향이 결정된 제1배향막(129a)이 형성된다.

[0065] 제2기판(130)에는 블랙매트릭스(132)와 컬러필터층(134)이 형성된다. 이때, 상기 블랙매트릭스(132)는 게이트라인(103)과 공통라인(116), 그 사이의 영역까지 완전히 덮도록 형성되어 이 영역으로 광이 누설되는 것을 차단한다.

[0066] 또한, 상기 제2기판(130)에는 컬럼스페이서(156)가 형성되어 제1기판(120)과 제2기판(130)을 일정한 간격으로 유지한다. 상기 컬럼스페이서(156)는 유기물질로 형성된다. 도면에서는 상기 컬럼스페이서(156)가 제2기판(130)에서는 밑면의 면적이 넓고 제1기판(130)으로 갈수록 좁아지는 형상으로 되어 있지만, 상기 컬럼스페이서(156)의 단면적이 제2기판(130)과 제1기판(120) 근처에서 동일하게 될 수도 있다.

[0067] 상기 컬럼스페이서(156)는 게이트라인(103)에 대응하는 제2기판(130) 상에 형성되어, 상기 게이트라인(103) 상부의 제1배향막(129a)과 접촉한다(이 영역을 이후 접촉영역이라 한다).

[0068] 상기 공통라인(116), 화소전극라인(119), 반도체층(112a), 도전층(105a)은 게이트라인(116)의 일측에 형성되어 접촉영역에 배치되는 컬럼스페이서(156)가 압력에 의해 해당 방향으로 이동하는 경우 컬럼스페이서(156)의 이동을 정지시키는 스토퍼(180)의 역할을 한다.

[0069] 상기 공통라인(116), 화소전극라인(119), 반도체층(112a), 도전층(105a) 등으로 이루어진 스토퍼(180)의 두께(t3)가 게이트라인(103) 등으로 이루어진 접촉영역의 두께보다 크기 때문에(t3>t2), 컬럼스페이서(156)의 두께(t1)가 스토퍼(180) 상부의 셀갭의 두께(t4) 보다 크게 되므로(t1>t4), 압력에 의해 컬럼스페이서(156)가 이동할 때 상기 스토퍼(180)가 이동하는 컬럼스페이서(180)와 접촉하여 컬럼스페이서(156)의 이동이 정지하게 된다.

[0070] 상술한 바와 같이, 본 발명의 제1실시예에서는 공통라인(116)과 화소전극라인(119)을 게이트라인(103)의 근처에 형성하여 압력의 인가시 컬럼스페이서(156)가 게이트라인(103) 쪽으로 이동하는 것을 방지한다. 이때, 상기 공통라인(116)과 게이트라인(103)은 그 간격을 약 20㎛ 이하로 배치하므로, 종래 액정표시소자에 비해 광누설영역을 최소화할 수 있게 되어 종래에 비해 개구율과 휘도를 향상시킬 수 있게 된다.

[0071] 도 7a 및 도 7b는 본 발명의 제2실시예에 따른 액정표시소자의 구조를 나타내는 도면으로, 도 7a는 평면도이고 도 7b는 게이트라인과 컬럼스페이서의 구조를 나타내는 단면도이다.

[0072] 도 7a에 도시된 바와 같이, 화소내의 게이트라인(203)과 데이터라인(204)의 교차영역에는 박막트랜지스터(210)가 형성되어 있다. 상기 박막트랜지스터(210)는 게이트라인(203)으로부터 주사신호가 인가되는 게이트전극(211)과, 상기 게이트전극(211) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(212)과, 상기 반도체층(212) 위에 형성되어 데이터라인(204)을 통해 화상신호가 인가되는 소스전극(213) 및 드레인전극(214)으로 구성되어 외부로부터 입력되는 화상신호를 액정층에 인가한다.

[0073] 화소내에는 데이터라인(204)과 실질적으로 평행하게 배열된 복수의 공통전극(205)과 화소전극(207)이 배치되어

있다. 이때, 상기 화소전극(207)은 박막트랜지스터(210)의 드레인전극(214) 위에 형성된 제1컨택홀(227a)을 통해 상기 드레인전극(214)과 전기적으로 연결된다.

[0074] 화소의 상부 영역, 즉 인접하는 화소의 게이트라인(203) 하부의 근처에는 상기 공통전극(205)과 접속되는 공통라인(216)이 배치되어 있으며, 상기 공통라인(216) 위에는 화소전극(207)과 접속되는 화소전극라인(218)이 배치되어 상기 공통라인(216)과 오버랩되어 있다. 도면에는 도시하지 않았지만, 상기 공통라인(216)과 화소전극라인(218) 사이에는 게이트절연층이 배치되어 상기 공통라인(216)과 화소전극라인(218) 사이에 축적용량(storage capacitance)이 형성된다.

[0075] 상기 공통전극(205)은 게이트절연층 및 보호층에 형성된 제2컨택홀(229b)를 통해 공통라인(216)과 전기적으로 접속되고 상기 화소전극(207)은 보호층에 형성된 제3컨택홀(229c)를 통해 화소전극라인(218)과 전기적으로 접속된다.

[0076] 상기 게이트라인(203)의 상부에는 제1기판과 제2기판의 간격을 일정하게 유지하는 컬럼스페이서(256)가 배치된다.

[0077] 게이트라인(203)의 상부 근처, 즉 인접 화소내에는 일정 크기의 스토퍼(280)가 형성된다. 이때, 상기 스토퍼(280)는 컬럼스페이서(256)와 y-방향을 따라 동일한 선상에 배치되므로, 압력이 인가되어 컬럼스페이서(256)가 -y-방향을 따라 이동하는 경우 공통라인(216) 및 화소전극라인(218)에 의해 컬럼스페이서(256)의 이동이 정지하고 y-방향으로의 이동은 스토퍼(280)에 의해 정지된다.

[0078] 물론, 본 발명에서는 상기 스토퍼(280)가 게이트라인(203)의 하부 근처에 형성되고 공통라인(216) 및 화소전극라인(218)이 게이트라인(203) 상부 근처에 형성되어 컬럼스페이서(256)의 이동을 정지시킬 수도 있을 것이다.

[0079] 도면에서는 상기 스토퍼(280)의 형상이 정사각형상으로 형성되어 있지만, 상기 스토퍼(280)의 형상은 다양하게 형성할 수 있을 것이다. 또한, 상기 스토퍼(280)의 면적도 컬럼스페이서(256)가 압력에 의해 이동할 때 상기 컬럼스페이서(256)와 접촉하여 컬럼스페이서(256)를 정지시킬 수만 있다면 어떠한 크기도 가능하다.

[0080] 상기 공통라인(216) 및 화소전극라인(218)은 게이트라인(203)으로부터 하부방향으로 20㎛ 이하의 간격으로 배열되며, 상기 스토퍼(280)는 게이트라인(203)으로부터 상부방향으로 20㎛ 이하의 간격으로 배열되어, 압력에 의한 컬럼스페이서(256)의 이동을 이 범위 내로 한정시킬 수 있게 된다.

[0081] 도 7b에 도시된 바와 같이, 제1기판(220) 위에는 게이트라인(203) 및 공통라인(216)이 일정 거리 이격된 상태로 배치되며, 상기 게이트라인(203) 및 공통라인(216)이 형성된 제1기판(220) 위에는 게이트절연층(222)이 형성되며, 공통라인(216)의 상부 게이트절연층(222) 위에는 반도체층(212a) 및 화소전극라인(219)이 형성된다. 이때, 상기 공통라인(216) 위에는 반도체층(212a)이 형성되지 않고, 화소전극라인(219)만이 형성되어, 상기 공통라인(216)과 화소전극라인(216)이 게이트절연층(222)을 사이에 두고 오버랩될 수 있다.

[0082] 상기 화소전극라인(216)이 위에는 보호층(224)이 형성되고 상기 화소전극라인(216) 상부의 보호층(224) 위에 도전층(205a)이 형성되며, 상기 보호층(224) 및 도전층(205a) 위에 러빙 등의 방법에 의해 액정분자를 특정 방향으로 배향하기 위한 배향방향이 결정된 제1배향막(229a)이 형성된다.

[0083] 또한, 제1기판(230) 위의 게이트라인(203)의 상부 근처에는 상기 게이트라인(203)과 일정 거리 이격되어 스토퍼(280)가 형성된다.

[0084] 상기 스토퍼(280)는 제1기판(230) 위에 형성된 제1금속층(291)과, 상기 제1금속층(291) 위에 형성된 게이트절연층(211), 상기 게이트절연층(211) 위에 형성된 반도체층(212b), 상기 반도체층(212b) 위에 형성된 제2금속층(292), 상기 금속층(292) 위에 형성된 보호층(224), 상기 보호층(224) 위에 형성된 제3금속층(293)으로 이루어진다.

[0085] 이때, 상기 제1금속층(291)은 박막트랜지스터의 게이트전극(211)과 동일한 금속으로 동일한 공정에 의해 형성될 수 있으며 반도체층(212b)은 박막트랜지스터의 반도체층(212)과 동일한 공정에 의해 형성될 수 있다. 또한, 상기 제2금속층(292)은 박막트랜지스터의 소스전극(213) 및 드레인전극(214)과 동일한 공정에 의해 형성될 수 있으며, 제3금속층(293)은 화소내에 형성되는 공통전극(205) 및 화소전극(207)과 동일한 공정에 의해 금속이나 투명도전물질로 형성될 수 있다.

[0086] 한편, 제2기판(230)에는 블랙매트릭스(232)와 컬러필터층(234)이 형성된다. 이때, 상기 블랙매트릭스(132)는 게이트라인(103)과 공통라인(116) 및 그 사이의 영역, 스토퍼(280) 및 스토퍼(280)과 게이트라인(203) 사이의 영

역까지 완전히 덮도록 형성되어 게이트라인(203)의 상하부 영역으로 광이 누설되는 것을 차단한다.

[0087] 또한, 상기 제2기판(230)에는 컬럼스페이서(256)가 형성되어 제1기판(220)과 제2기판(230)을 일정한 간격으로 유지한다.

[0088] 이 실시예에서는 스토퍼(280)와 공통라인(216) 상부의 적층구조는 그 형상 등의 실질적은 구조는 다르지만, 스토퍼(280)의 적층구조는 공통라인(216) 상부의 적층구조와 동일하다. 따라서, 스토퍼(280)와 공통라인(216) 상부의 적층구조를 동일한 공정에 의해 형성할 수 있게 된다.

[0089] 또한, 이 실시예에서는 스토퍼(280)의 높이가 공통라인(216) 상부의 적층구조의 높이와 동일하게 형성되므로, 압력에 의해 게이트라인(203)을 중심으로 상하방향을 따라 컬럼스페이서(256)의 이동이 상기 스토퍼(280)와 공통라인(216) 상부의 적층 구조에 의해 정지되어 상기 영역에서 컬럼스페이서(256)의 마찰에 의한 배향막의 파손을 방지할 수 있게 된다.

[0090] 한편, 도면에서는 상기 스토퍼(280)가 공통라인(216) 상부의 적층구조와 동일와 구조로 이루어져 있지만, 본 발명이 이러한 구조에만 한정되는 것이 아니다. 상기 스토퍼(280)는 압력에 의해 게이트라인(203)이 움직일 때 상기 게이트라인(203)과 접촉하여 게이트라인(203)을 움직임을 정지시킬 수 있다면 어떠한 구조나 높이로도 형성할 수 있다. 예를 들어, 본 발명에서 스토퍼(280)의 구조를 유기물질로 이루어진 하나의 층으로 형성할 수도 있고 하나의 금속층으로 형성할 수도 있으며, 이들의 다수의 층으로 형성할 수도 있을 것이다.

[0091] 다시 말해서, 본 발명에서는 스토퍼(280)의 구조를 공통라인(216) 상부의 적층구조 및 그 제조공정과는 무관하게 다양한 형상으로 형성할 수 있을 것이다.

[0092] 또한, 도면에서는 컬럼스페이서(256)의 양측에는 각각 스토퍼(280)와 공통라인(216) 상부의 적층구조가 배치되어 있지만, 양측에 일정 면적의 스토퍼(28)가 배치될 수도 있다. 이때 컬럼스페이서(256)의 스토퍼는 동일한 구조로 형성될 수도 있고 각각 다른 구조로 형성될 수도 있을 것이다.

[0093] 상술한 바와 같이, 본 발명에서는 컬럼스페이서 양측에 스토퍼를 구비함으로써 액정표시소자에 압력이 인가되어 스토퍼가 유동하여 배향막이 파손되는 것을 방지할 수 있게 된다. 따라서, 배향막의 파손에 의한 광누설을 방지할 수 있으며, 광누설을 차단하기 위한 블랙매트릭스를 최소의 면적으로 형성할 수 있게 되므로, 개구율 및 휘도를 향상시킬 수 있게 된다.

[0094] 한편, 상술한 본 발명에서는 액정표시소자의 전극구조 및 스토퍼의 구조가 특정 구조로 설명되고 있지만, 본 발명이 이러한 특정 구조에만 한정되는 것은 아니다. 본 발명은 기판으로부터 돌출되어 컬럼스페이서가 유동할 때 상기 컬럼스페이서와 접촉하여 컬럼스페이서의 이동을 방지할 수만 있다면 어떠한 구조의 액정표시소자나 어떠한 구조의 스토퍼도 적용될 수 있을 것이다.

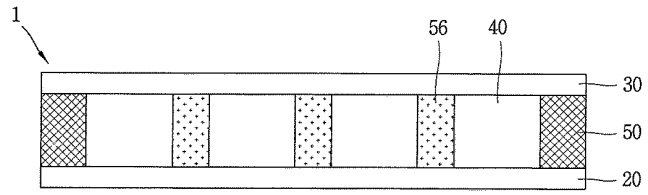
부호의 설명

[0095]

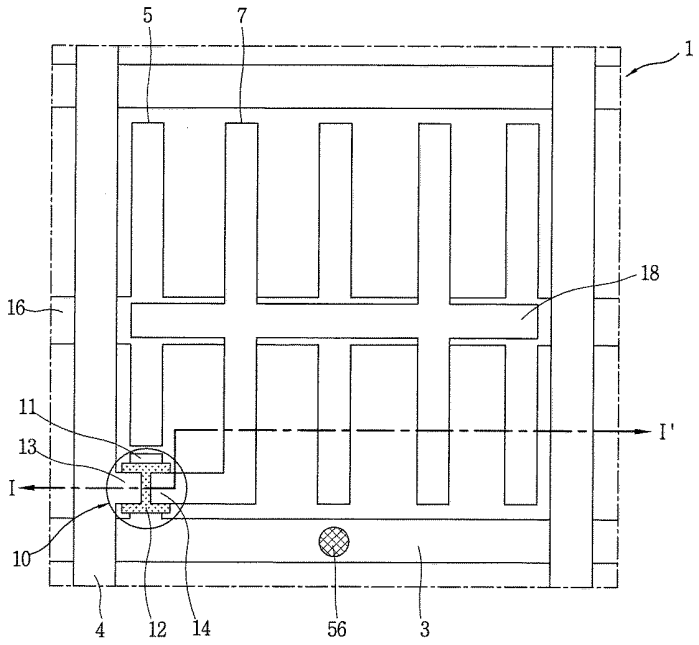
103 : 게이트라인	104 : 데이터라인
105 : 공통전극	107 : 화소전극
110 : 박막트랜지스터	116 : 공통라인
118 : 화소전극라인	129a,129b : 배향막
156 : 컬럼스페이서	180 : 스토퍼

도면

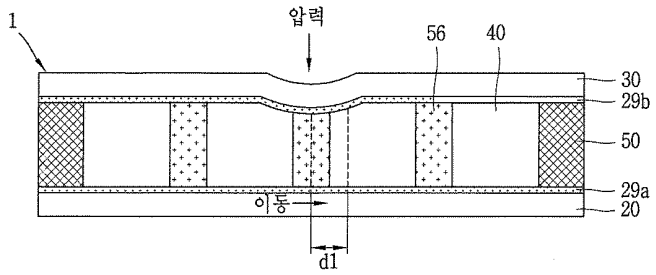
도면1



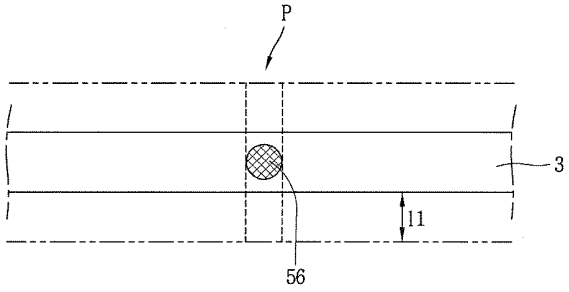
도면2



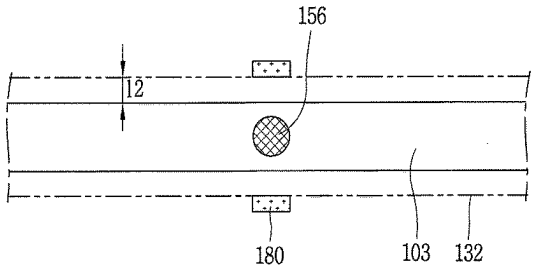
도면3a



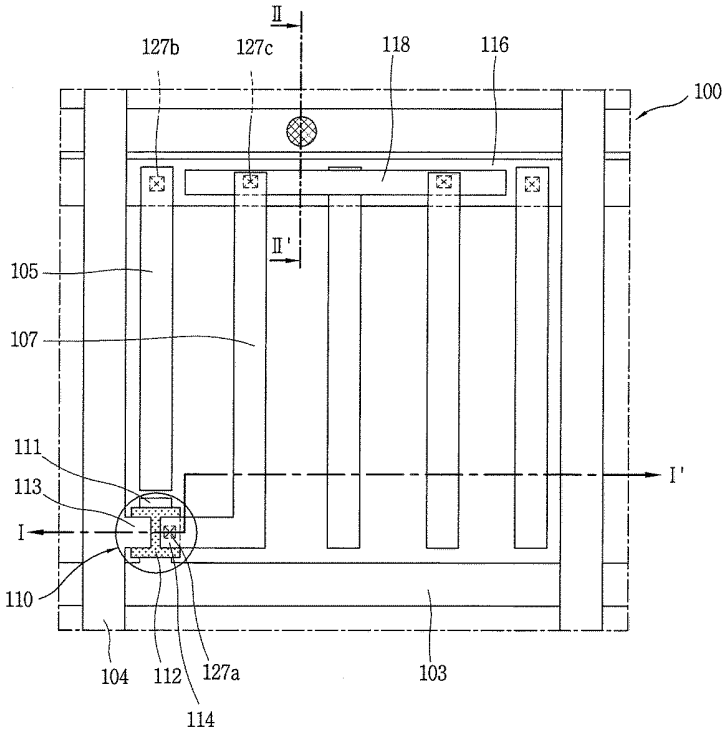
도면3b


P
3
11
56

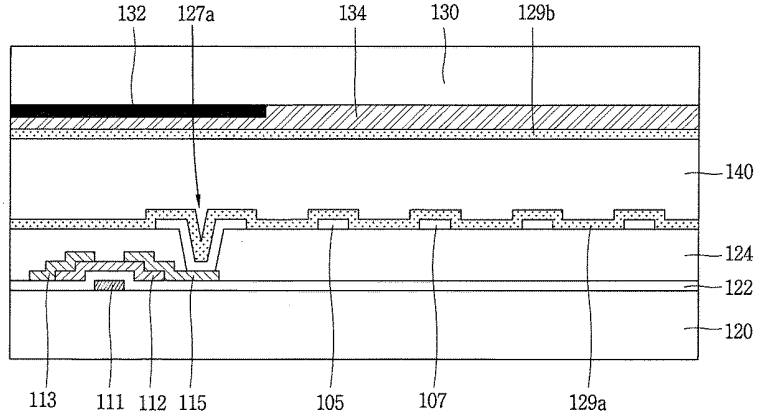
도면4


156
12
180
103
132

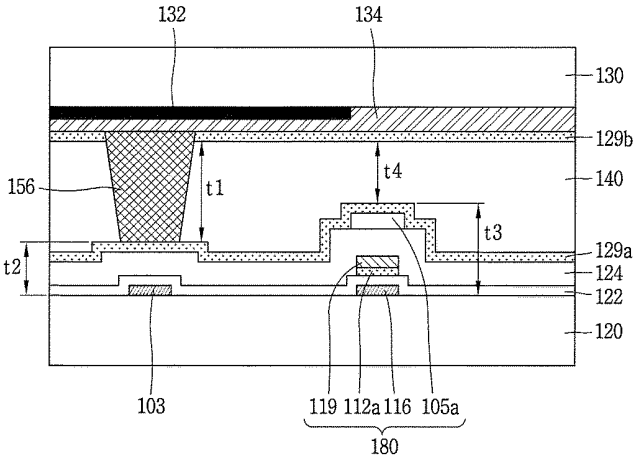
도면5


Ⅱ
127b
127c
118
116
100
Ⅱ'
105
107
111
113
I
I'
110
104
112
127a
114
103

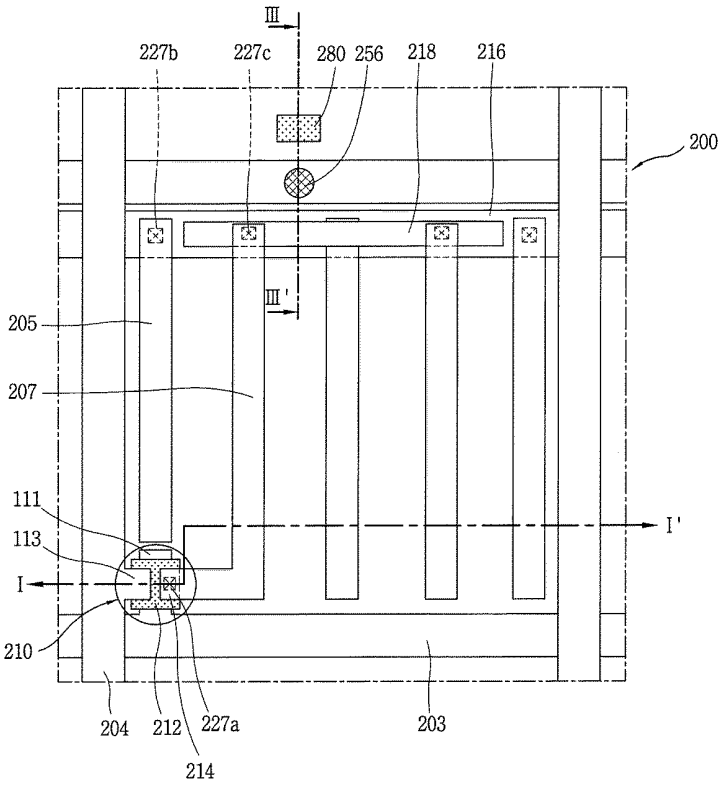
도면6a


132
127a
134
130
129b
140
124
122
120
113
111
112
115
105
107
129a

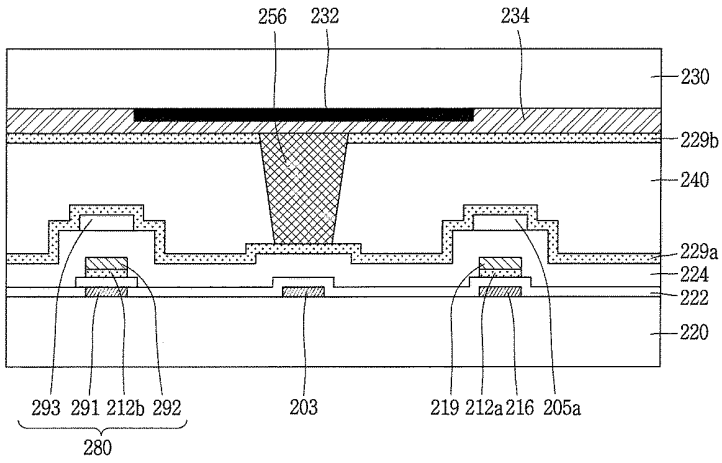
도면6b


132
134
130
129b
140
156
t1
t4
t3
t2
129a
124
122
120
103
119
112a
116
105a
180

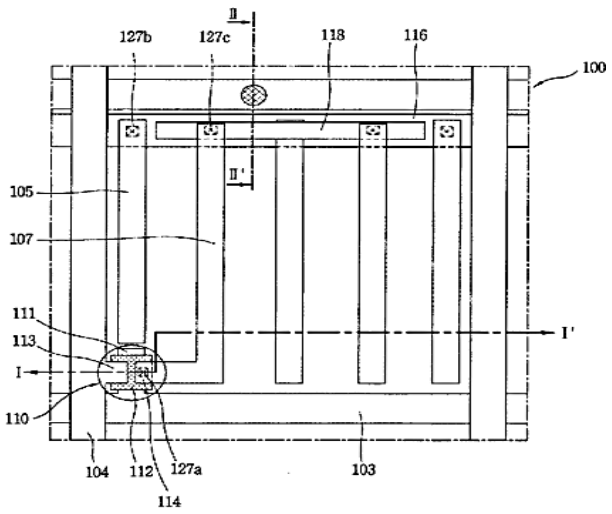
도면7a


Ⅲ
227b
227c
280
256
218
216
200
Ⅲ'
205
207
111
113
I
I'
210
204
212
227a
214
203

도면7b


256
232
234
230
229b
240
229a
224
222
220
293
291
212b
292
280
203
219
212a
216
205a

专利名称(译)	一种具有柱状间隔物的液晶显示装置		
公开(公告)号	KR1020150026586A	公开(公告)日	2015-03-11
申请号	KR1020130105644	申请日	2013-09-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON TAE WOOK 권태욱 KANG HA SUK 강하석 SHIM SEOK HO 심석호		
发明人	권태욱 강하석 심석호		
IPC分类号	G02F1/1339 G02F1/1335		
CPC分类号	G02F1/13394 G02F1/133509 G02F1/1362		
代理人(译)	PARK，JANG WON		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其中柱状间隔物的移动最小化。液晶显示装置包括：第一和第二基板;多条栅极线和数据线，垂直和水平地排列在第一基板上以限定多个像素;薄膜晶体管，形成在每个像素上;第一和第二电极，形成在像素上以形成电场;多个柱状衬垫，设置在栅极线上，以恒定地保持第一和第二衬底之间的距离;止动器设置在栅极线的两侧的至少一侧上，柱状衬垫料设置在该栅极间隔件上，以在柱状衬垫料移动时停止柱状衬垫料的移动;黑矩阵，在第二基板上形成黑光;和滤色器层，其形成在第二基板上以实现颜色。