



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0002254
(43) 공개일자 2015년01월07일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1345 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0075853
(22) 출원일자 2013년06월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김호현
경상북도 칠곡군 석적읍 서중리5길 66-6, 102동
703호 (중리금호어울림)
권춘호
경상북도 칠곡군 석적읍 석적로 905, 101동 1106
호 (한솔솔파크강변아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 7 항

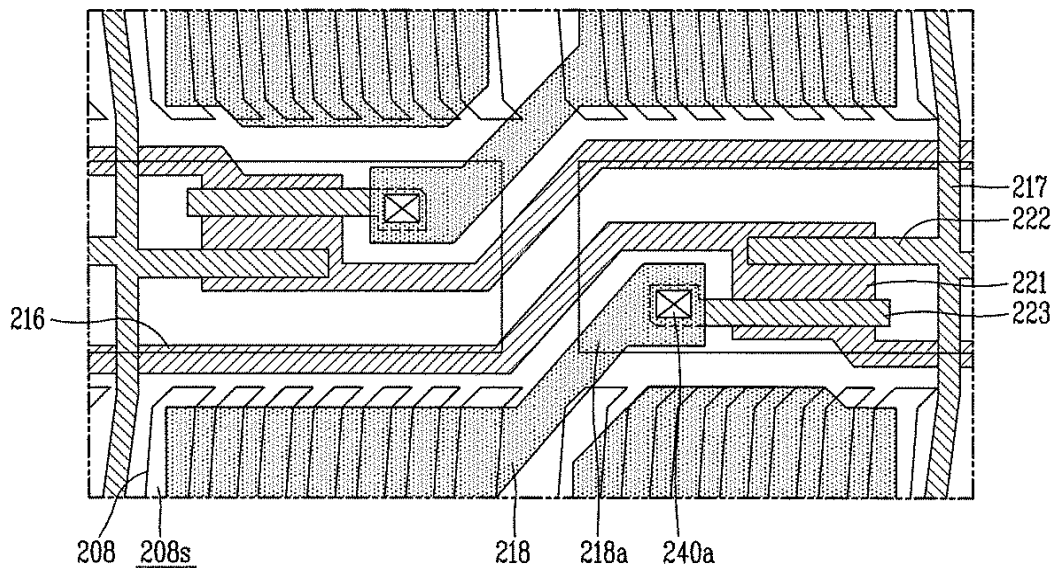
(54) 발명의 명칭 액정표시장치용 어레이 기판

(57) 요약

본 발명의 액정표시장치용 어레이 기판은 생산단가를 낮추기 위해 데이터라인의 개수를 반으로 줄인 DRD(double rate driving) 구조의 어레이 기판에 있어, 컬럼 인버전(column inversion) 방식을 구현하여 소비전력을 낮추는 한편 박막 트랜지스터의 디자인을 변경하여 투과율을 향상시키기 위한 것으로, 기판; 상기 기판 위에 일 방향으

(뒷면에 계속)

대표도 - 도6



로 형성되는 복수의 게이트라인, 및 상기 게이트라인의 일부를 구성하는 게이트전극; 상기 게이트전극 위에 형성된 액티브층; 상기 액티브층이 형성된 기판 위에 형성되며, 상기 게이트라인과 교차하여 복수의 화소를 정의하는 복수의 데이터라인; 상기 액티브층 위에 형성되며, 상기 데이터라인으로부터 연장된 소오스전극 및 상기 소오스전극과 대향하여 일자형의 채널을 형성하는 드레인전극; 상기 소오스전극/드레인전극 및 데이터라인이 형성된 기판 위에 형성되며, 각각의 화소 내에서 복수의 슬릿을 가지는 공통전극; 및 상기 공통전극이 형성된 기판 위에 형성되며, 상기 드레인전극과 전기적으로 연결되는 화소전극을 포함하며, 상기 화소는 기수 게이트라인에 접속된 제 1 그룹의 화소, 및 우수 게이트라인에 접속되어 좌우로 이웃한 상기 제 1 그룹의 화소 각각과 데이터라인을 공유하는 제 2 그룹의 화소를 포함하는 것을 특징으로 한다.

특허청구의 범위

청구항 1

기관;

상기 기관 위에 일 방향으로 형성되는 복수의 게이트라인, 및 상기 게이트라인의 일부를 구성하는 게이트전극;

상기 게이트전극 위에 형성된 액티브층;

상기 액티브층이 형성된 기관 위에 형성되며, 상기 게이트라인과 교차하여 복수의 화소를 정의하는 복수의 데이터라인;

상기 액티브층 위에 형성되며, 상기 데이터라인으로부터 연장된 소오스전극 및 상기 소오스전극과 대향하여 일 자형의 채널을 형성하는 드레인전극;

상기 소오스전극/드레인전극 및 데이터라인이 형성된 기관 위에 형성되며, 각각의 화소 내에서 복수의 슬릿을 가지는 공통전극; 및

상기 공통전극이 형성된 기관 위에 형성되며, 상기 드레인전극과 전기적으로 연결되는 화소전극을 포함하며,

상기 화소는 기수 게이트라인에 접속된 제 1 그룹의 화소, 및 우수 게이트라인에 접속되어 좌우로 이웃한 상기 제 1 그룹의 화소 각각과 데이터라인을 공유하는 제 2 그룹의 화소를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서, 상기 화소전극은 제 1 콘택홀을 통해 상기 드레인전극에 전기적으로 연결되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 3

제 2 항에 있어서, 상기 화소전극은 상기 드레인전극 쪽으로 수평하게 연장된 화소전극 연결패턴을 구비하며, 상기 화소전극 연결패턴은 상기 제 1 콘택홀을 통해 상기 드레인전극에 전기적으로 연결되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 4

제 3 항에 있어서, 소정 화소의 화소전극 연결패턴은 해당 이웃한 화소에 인접하여 형성된 드레인전극까지 연장되어 그 드레인전극에 전기적으로 연결되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 5

제 1 항에 있어서, 상기 공통전극은 제 2 콘택홀을 통해 상기 게이트라인과 평행하게 배치된 공통라인에 전기적으로 연결되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 6

제 5 항에 있어서, 상기 공통전극은 상기 공통라인이 상기 데이터라인 방향으로 연장된 공통라인 패턴에 전기적으로 연결되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 7

제 1 항에 있어서, 상기 드레인전극은 상기 게이트전극의 양측으로 돌출되어 각 층간 오버레이 틀어짐에 따른 기생 커패시턴스의 변동을 제어하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

명세서

기술분야

[0001] 본 발명은 액정표시장치용 어레이 기판에 관한 것으로, 보다 상세하게는 데이터라인의 개수를 반으로 줄인 DRD(double rate driving) 구조의 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들면서 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 경량화, 박형화, 저소비전력화의 우수한 성능을 지닌 박막 트랜지스터(Thin Film Transistor; TFT) 액정표시장치(Liquid Crystal Display; LCD)가 개발되어 기존의 브라운관(Cathode Ray Tube; CRT)을 대체하고 있다.

[0003] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor; TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.

[0004] 이하, 도면을 참조하여 일반적인 액티브 매트릭스 방식의 액정표시장치의 구조를 상세히 설명한다.

[0005] 도 1은 일반적인 액티브 매트릭스 방식의 액정표시장치의 구조를 개략적으로 나타내는 도면이다.

[0006] 상기 도 1을 참조하면, 액티브 매트릭스 타입의 액정표시장치는 복수의 게이트라인(GL) 및 데이터라인(DL)의 교차지점에 구비되는 복수의 스위칭 소자(T)로 이루어지는 액정패널(1)을 포함하며, 이러한 액정패널(1)은 디지털 비디오 신호를 감마전압을 기준으로 아날로그 신호로 변환하여 데이터라인(DL)에 공급함과 동시에 게이트 신호를 게이트라인(GL)에 공급함으로써, 데이터신호를 액정 셀(C)에 충전시키는 구조이다.

[0007] 자세히 도시하지 않았지만, 스위칭 소자(T)의 게이트전극은 게이트라인(GL)에 접속되고, 소오스전극은 데이터라인(DL)에 접속되며, 그리고 스위칭 소자(T)의 드레인전극은 액정 셀(C)의 화소전극에 접속된다.

[0008] 액정 셀(C)의 공통전극에는 공통라인(CL)을 통해 공통전압(Vcom)이 공급된다. 게이트 신호가 게이트라인(GL)에 인가되면 스위칭 소자(T)가 턴-온 되어 소오스전극과 드레인전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정 셀(C)의 화소전극에 공급한다. 이때, 액정 셀(C)의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광에 따른 영상을 표시하게 된다.

[0009] 이때, 상기 액정패널(1)의 공통전극과 화소전극의 위치에 따라 액정표시장치의 구동모드인 트위스티드 네마틱(Twisted Nematic; TN) 모드 또는 인-플레인 스위칭(In Plane Switching; IPS) 모드가 결정되며, 특히 공통전극과 화소전극이 하나의 기판 상에 평행하게 배치되어 수평전계를 형성하는 IPS 모드는 공통전극과 화소전극이 서로 다른 기판에 대향하도록 배치되어 수직전계를 형성하는 TN 모드에 비해 시야각이 넓다는 장점이 있다.

[0010] 한편, 액정표시장치의 액정패널(1)은 복수의 게이트라인(GL)을 구동하기 위한 게이트 구동부(2)와 복수의 데이터라인(DL)을 구동하기 위한 데이터 구동부(3)가 연결되며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 구동부를 이루는 집적회로(Integrated Circuit; IC)의 개수는 증가하게 된다.

[0011] 그런데, 데이터 구동부(3)의 IC는 타 소자에 비해 상대적으로 고가이기 때문에 최근에는 액정표시장치의 생산단가를 낮추기 위해 IC 개수를 줄일 수 있는 기술이 연구 개발되고 있으며, 이중 하나로써 기존 대비 게이트라인(GL)들의 개수는 2배로 늘리는 대신 데이터라인(DL)들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일한 해상도를 구현하는 DRD(double rate driving) 구조가 개발되고 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 상기한 문제를 해결하기 위한 것으로, 데이터라인의 개수를 반으로 줄인 DRD(double rate driving) 구조의 액정표시장치용 어레이 기판을 제공하는데 목적이 있다.

[0013] 본 발명의 다른 목적은 상기 DRD 구조의 어레이 기판에 있어, 컬럼 인버전(column inversion) 방식을 구현하여 소비전력을 낮추는 한편 박막 트랜지스터의 디자인을 변경하여 투과율을 향상시킨 액정표시장치용 어레이 기판을 제공하는데 있다.

[0014] 기타, 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0015] 상기한 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 액정표시장치용 어레이 기판은 기판; 상기 기판

위에 일 방향으로 형성되는 복수의 게이트라인, 및 상기 게이트라인의 일부를 구성하는 게이트전극; 상기 게이트전극 위에 형성된 액티브층; 상기 액티브층이 형성된 기판 위에 형성되며, 상기 게이트라인과 교차하여 복수의 화소를 정의하는 복수의 데이터라인; 상기 액티브층 위에 형성되며, 상기 데이터라인으로부터 연장된 소오스전극 및 상기 소오스전극과 대향하여 일자형의 채널을 형성하는 드레인전극; 상기 소오스전극/드레인전극 및 데이터라인이 형성된 기판 위에 형성되며, 각각의 화소 내에서 복수의 슬릿을 가지는 공통전극; 및 상기 공통전극이 형성된 기판 위에 형성되며, 상기 드레인전극과 전기적으로 연결되는 화소전극을 포함하며, 상기 화소는 기수 게이트라인에 접속된 제 1 그룹의 화소, 및 우수 게이트라인에 접속되어 좌우로 이웃한 상기 제 1 그룹의 화소 각각과 데이터라인을 공유하는 제 2 그룹의 화소를 포함할 수 있다.

- [0016] 이때, 상기 화소전극은 제 1 콘택홀을 통해 상기 드레인전극에 전기적으로 연결될 수 있다.
- [0017] 이때, 상기 화소전극은 상기 드레인전극 쪽으로 수평하게 연장된 화소전극 연결패턴을 구비하며, 상기 화소전극 연결패턴은 상기 제 1 콘택홀을 통해 상기 드레인전극에 전기적으로 연결될 수 있다.
- [0018] 이때, 소정 화소의 화소전극 연결패턴은 해당 이웃한 화소에 인접하여 형성된 드레인전극까지 연장되어 그 드레인전극에 전기적으로 연결될 수 있다.
- [0019] 상기 공통전극은 제 2 콘택홀을 통해 상기 게이트라인과 평행하게 배치된 공통라인에 전기적으로 연결될 수 있다.
- [0020] 이때, 상기 공통전극은 상기 공통라인이 상기 데이터라인 방향으로 연장된 공통라인 패턴에 전기적으로 연결될 수 있다.
- [0021] 상기 드레인전극은 상기 게이트전극의 양측으로 돌출되어 각 층간 오버레이 틀어짐에 따른 기생 커패시턴스의 변동을 제어할 수 있다.

발명의 효과

- [0022] 상술한 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치용 어레이 기판은 데이터라인의 개수를 반으로 줄인 DRD 구조의 어레이 기판에 있어, 컬럼 인버전 방식을 구현하는 동시에 박막 트랜지스터의 디자인을 변경함으로써 생산단가와 소비전력을 낮추는 동시에 투과율을 향상시킬 수 있는 효과를 제공하게 된다.
- [0023] 한편, 이와 같이 생산단가나 소비전력에 대한 경쟁 우위 중 취사 선택이 가능하여 제품 경쟁력을 확보할 수 있는 효과를 제공하게 된다.

도면의 간단한 설명

- [0024] 도 1은 일반적인 액티브 매트릭스 방식의 액정표시장치의 구조를 개략적으로 나타내는 도면.
- 도 2는 DRD 구조의 액정표시장치의 화소구조를 개략적으로 나타내는 도면.
- 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판의 일부를 개략적으로 나타내는 평면도.
- 도 4는 상기 도 3에 도시된 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판에 블랙매트릭스가 적용된 상태를 개략적으로 나타내는 도면.
- 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판을 개략적으로 나타내는 평면도.
- 도 6은 상기 도 5에 도시된 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 일부를 확대하여 나타내는 도면.
- 도 7은 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판에 블랙매트릭스가 적용된 상태를 개략적으로 나타내는 도면.
- 도 8a 내지 도 8e는 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조공정을 순차적으로 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치용 어레이 기판의 바람직한 실시예를 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

- [0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0027] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0028] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다.
- [0029] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0030] 도 2는 DRD 구조의 액정표시장치의 화소구조를 개략적으로 나타내는 도면이다.
- [0031] 도면에 도시된 바와 같이, DRD 구조의 액정표시장치는 일 예로, 하나의 수평선상에 배치된 복수의 화소(P1, P2)가 두 개의 게이트라인(GL1, GL2)과 한 개의 데이터라인(DL2)에 접속되며, 또한 상기 수평선상에 배치된 복수의 화소(P3, P4)가 두 개의 게이트라인(GL3, GL4)과 상기 데이터라인(DL2)에 접속된다.
- [0032] 일 예로, 이러한 화소 어레이에서 적색 데이터가 인가되는 적색 액정 셀, 녹색 데이터가 인가되는 녹색 액정 셀, 청색 데이터가 인가되는 청색 액정 셀 각각은 컬럼(column) 방향을 따라 배치된다. 이 화소 어레이에서 하나의 화소는 컬럼 방향과 직교하는 로우(row) 방향을 따라 이웃하는 적색 액정 셀, 녹색 액정 셀 및 청색 액정 셀을 포함한다.
- [0033] 이때, 동일한 데이터라인(DL1, DL2, DL3, DL4, ...)을 공유하는 한 쌍의 액정 셀들은 이웃한 게이트라인(GL1, GL2, GL3, GL4, ...)에 각각 접속된다.
- [0034] 이러한 구조에 따라, DRD 구조의 액정표시장치는 플리커(flicker)를 최소화함과 아울러 소비전력을 줄이기 위한 프레임동안 하나의 데이터라인(DL1, DL2, DL3, DL4, ...)에 동일 극성의 데이터신호를 인가하는 경우에 컬럼 인버전(column inversion)이 구현될 수 있다.
- [0035] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기관의 일부를 개략적으로 나타내는 평면도이다.
- [0036] 그리고, 도 4는 상기 도 3에 도시된 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기관에 블랙매트릭스가 적용된 상태를 개략적으로 나타내는 도면이다.
- [0037] 이때, 상기 도 3은 화소전극과 공통전극 사이에 형성되는 프린지 필드가 슬릿을 관통하여 화소 및 화소전극 상에 위치하는 액정분자를 구동시킴으로써 화상을 구현하는 프린지 필드형(Fringe Field Switching; FFS) 액정표시장치용 어레이 기관 일부를 나타내고 있다. 다만, 본 발명이 상기 FFS 액정표시장치에 한정되는 것은 아니며, 전술한 TN 모드, IPS 모드 또는 수직 배향(Vertical Alignment; VA) 모드 등 어떠한 액정모드라도 구현될 수 있다.
- [0038] 또한, 본 발명은 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 상기 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하며, 상기 백라이트 유닛은 직하형(direct type) 또는 에지형(edge type)으로 구현될 수 있다.
- [0039] 도면들에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기관은, 기관 상에 일 방향으로 연장되어 서로 평행하게 형성된 복수의 게이트라인(116)과 상기 게이트라인(116)과 교차하도록 배치되어

화소를 정의하는 복수의 데이터라인(117)이 형성되어 있다.

- [0040] 상기 화소에는 게이트전극(121), 액티브층(미도시), 상기 데이터라인(117)의 연장배선(122a)과 연결되는 소오스 전극(122) 및 이에 대하여 "U"자 또는 "L"자형 채널을 형성하는 드레인전극(123)을 포함하는 박막트랜지스터가 구비된다.
- [0041] 상기 화소의 전면에는 상기 게이트라인(116) 및 데이터라인(117)과 이격된 공간을 두고 투명한 화소전극(118)이 배치되어 있으며, 상기 화소전극(118) 상부에는 절연막(미도시)을 사이에 두고 복수의 슬릿(108s)을 구비한 투명한 공통전극(108)이 배치되어 있다.
- [0042] 이때, 상기 화소전극(118)은 제 1 콘택홀(140a)을 통해 상기 드레인전극(123)에 전기적으로 연결되어 있다. 또한, 상기 공통전극(108)은 제 2 콘택홀(미도시)을 통해 상기 게이트라인(116)과 평행하게 배치된 공통라인(미도시)에 전기적으로 연결되는데, 구체적으로 상기 공통전극(108)은 상기 공통라인이 상기 데이터라인(117) 방향으로 연장된 공통라인 연결패턴(108a)에 전기적으로 연결되게 된다.
- [0043] 이와 같이 본 발명의 제 1 실시예에 따른 액정표시장치는 기존 대비 데이터라인(117)들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일한 해상도를 구현하는 DRD 구조를 채택함으로써 액정표시장치의 생산단가를 낮추는 동시에 컬럼 인버전 방식을 구현함으로써 소비전력을 낮출 수 있게 된다.
- [0044] 이때, DRD 구조에서는 상기 화소는 기수 게이트라인(116)에 접속된 제 1 그룹의 화소, 및 우수 게이트라인(116)에 접속되어 좌우로 이웃한 상기 제 1 그룹의 화소 각각과 데이터라인(117)을 공유하는 제 2 그룹의 화소를 포함할 수 있다.
- [0045] 다만, 상기 본 발명의 제 1 실시예에 따른 액정표시장치는 컬럼 인버전을 구현하기 위해 수평한 연장배선(122a)이 추가되며, 또한 채널의 형태가 "U"자 또는 "L"자로 수직 폭이 다소 증가하게 된다.
- [0046] 또한, 각 층간 오버레이(overlay) 틀어짐에 따른 기생 커패시턴스의 변동을 제어하기 위해 보상패턴(121, 123a)이 추가되게 되는데, 이로 따라 수평 개구 영역이 다소 감소하게 된다.
- [0047] 이로 인해 액정의 비정상 구동영역을 가리는 블랙매트릭스(BM)의 폭(D1)이 증가하게 된다.
- [0048] 따라서, 본 발명의 제 2 실시예에서는 화소 렌더링(pixel rendering) 및 채널 디자인을 변경함으로써 DRD 구조의 어레이 기판에 있어, 컬럼 인버전 방식을 구현하는 동시에 투과율을 향상시킬 수 있게 되는데, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0049] 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판을 개략적으로 나타내는 평면도이다.
- [0050] 도 6은 상기 도 5에 도시된 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 일부를 확대하여 나타내는 도면이다.
- [0051] 그리고, 도 7은 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판에 블랙매트릭스가 적용된 상태를 개략적으로 나타내는 도면이다.
- [0052] 이때, 상기 도 5 및 도 6은 FFS 액정표시장치용 어레이 기판 일부를 나타내고 있다. 다만, 전술한 바와 같이 본 발명이 상기 FFS 액정표시장치에 한정되는 것은 아니며, TN 모드, IPS 모드 또는 VA 모드 등 어떠한 액정모드라도 구현될 수 있다.
- [0053] 이때, 상기 도 5에 도시된 바와 같이, 공통전극 및 화소전극이 꺾임 구조를 가지는 경우에는 액정분자가 2방향으로 배열되어 2-도메인(domain)을 형성함으로써 모노-도메인에 비해 시야각이 더욱 향상된다. 다만, 본 발명이 상기 2-도메인 구조의 프린지 필드형 액정표시장치에 한정되는 것은 아니며 본 발명은 2-도메인 이상의 멀티-도메인(multi-domain) 구조의 FFS 액정표시장치에 적용 가능하다.
- [0054] 또한, 본 발명은 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 상기 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하며, 상기 백라이트 유닛은 직하형 또는 에지형으로 구현될 수 있다.
- [0055] 도면들에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판은, 기판 상에 일 방향으로 연장되어 서로 평행하게 형성된 복수의 게이트라인(216)과 상기 게이트라인(216)과 교차하도록 배치되어 화소를 정의하는 복수의 데이터라인(217)이 형성되어 있다.
- [0056] 상기 화소에는 게이트전극(221), 액티브층(미도시), 상기 데이터라인(217)과 연결되는 소오스전극(222) 및 이에

대향하여 일자형 채널을 형성하는 드레인전극(223)을 포함하는 박막트랜지스터가 구비된다.

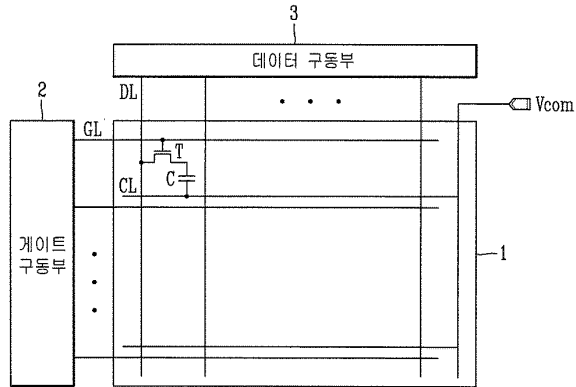
- [0057] 상기 화소의 전면에는 상기 게이트라인(216) 및 데이터라인(217)과 이격된 공간을 두고 투명한 화소전극(218)이 배치되어 있으며, 상기 화소전극(218) 상부에는 절연막(미도시)을 사이에 두고 복수의 슬릿(208s)을 구비한 투명한 공통전극(208)이 배치되어 있다.
- [0058] 이때, 상기 화소전극(218)은 제 1 콘택홀(240a)을 통해 상기 드레인전극(223)에 전기적으로 연결되어 있다. 한편, 일부의 화소전극(218)은 상기 드레인전극(223)쪽으로 수평하게 연장된 화소전극 연결패턴(218a)을 구비하며, 상기 화소전극 연결패턴(218a)은 상기 제 1 콘택홀(240a)을 통해 상기 드레인전극(223)에 전기적으로 연결되게 된다.
- [0059] 특히, 소정 화소(P2, P3)의 화소전극 연결패턴(218a)은 해당 이웃한 화소(P1, P4)에 인접하여 형성된 박막 트랜지스터까지 연장되어 그 박막 트랜지스터에 전기적으로 연결된다. 즉, 각 화소의 화소전극(218)은 가장 인접한 박막 트랜지스터가 아닌 이웃한 화소의 박막 트랜지스터에 화소전극 연결패턴(218a)을 통해 전기적으로 연결되는 구조이다.
- [0060] 또한, 상기 공통전극(208)은 제 2 콘택홀(240b)을 통해 상기 게이트라인(216)과 평행하게 배치된 공통라인(2081)에 전기적으로 연결되는데, 즉 상기 공통전극(208)은 상기 공통라인(2081)이 상기 데이터라인(217) 방향으로 연장된 공통라인 패턴(208a)에 전기적으로 연결되게 된다.
- [0061] 이와 같이 본 발명의 제 2 실시예에 따른 액정표시장치는 전술한 본 발명의 제 1 실시예와 동일하게 기존 대비 데이터라인(217)들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일한 해상도를 구현하는 DRD 구조를 채택함으로써 액정표시장치의 생산단가를 낮추는 동시에 컬럼 인버전 방식을 구현함으로써 소비전력을 낮출 수 있게 된다.
- [0062] 이때, DRD 구조에서는 상기 화소는 기수 게이트라인(216)에 접속된 제 1 그룹의 화소, 및 우수 게이트라인(216)에 접속되어 좌우로 이웃한 상기 제 1 그룹의 화소 각각과 데이터라인(217)을 공유하는 제 2 그룹의 화소를 포함할 수 있다.
- [0063] 또한, 상기 본 발명의 제 2 실시예에 따른 액정표시장치는 컬럼 인버전을 구현하기 위해 투명한 화소전극 연결패턴(218a)을 이용하는 한편, 또한 일자형 채널을 구현하여 수직 폭 증가를 방지함으로써 전술한 본 발명의 제 1 실시예와 같은 수평 개구 영역의 감소가 일어나지 않게 된다.
- [0064] 또한, 각 층간 오버레이 틀어짐에 따른 기생 커패시턴스의 변동을 제어하기 위해 전술한 본 발명의 제 1 실시예와 같은 보상패턴을 따로 형성하지 않고, 게이트전극(221)의 양측으로 드레인전극(223)이 돌출되도록 패터닝함으로써 수평 개구 영역이 증가하게 된다.
- [0065] 이로 인해 액정의 비정상 구동영역을 가리는 블랙매트릭스(BM)의 폭(D2)이 전술한 본 발명의 제 1 실시예와 비교하여 감소하게 된다.
- [0066] 이와 같이 디자인 변경을 통한 투과율 향상으로 제품 경쟁력의 우위 확보가 가능하게 되는데, 일 예로 초고화질(Full High Definition; FHD) 14인치의 경우 DRD 구조에 의해 약 4.13\$의 생산단가가 낮아지는 한편, 투과율의 개선으로 소비전력이 약 0.85W 감소되는 효과를 얻을 수 있다. 이때, APF(advanced polarization film)의 휘도 향상 필름을 삭제하는 경우 약 4.81%의 생산단가를 더 낮출 수 있게 된다.
- [0067] 이하, 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0068] 도 8a 내지 도 8e는 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 순차적으로 나타내는 도면이다.
- [0069] 도 8a에 도시된 바와 같이, 유리 와 같은 투명한 절연물질로 이루어진 기판 위에 게이트전극(221)과 게이트라인(216) 및 공통라인(미도시)과 공통라인 패턴(미도시)을 형성한다.
- [0070] 상기 게이트전극(221)은 상기 게이트라인(216)의 일부를 구성하며, 상기 공통라인은 상기 게이트라인(216)에 대해 평행한 방향으로 형성할 수 있다. 그리고, 상기 공통라인 패턴은 상기 공통라인으로부터 연장되어 상기 게이트라인(216)에 대해 수직인 데이터라인 방향으로 형성할 수 있다.
- [0071] 이때, 상기 게이트전극(221)과 게이트라인(216) 및 공통라인과 공통라인 패턴은 제 1 도전막을 상기 기판 전면

에 증착한 후 포토리소그래피공정을 통해 선택적으로 패터닝하여 형성하게 된다.

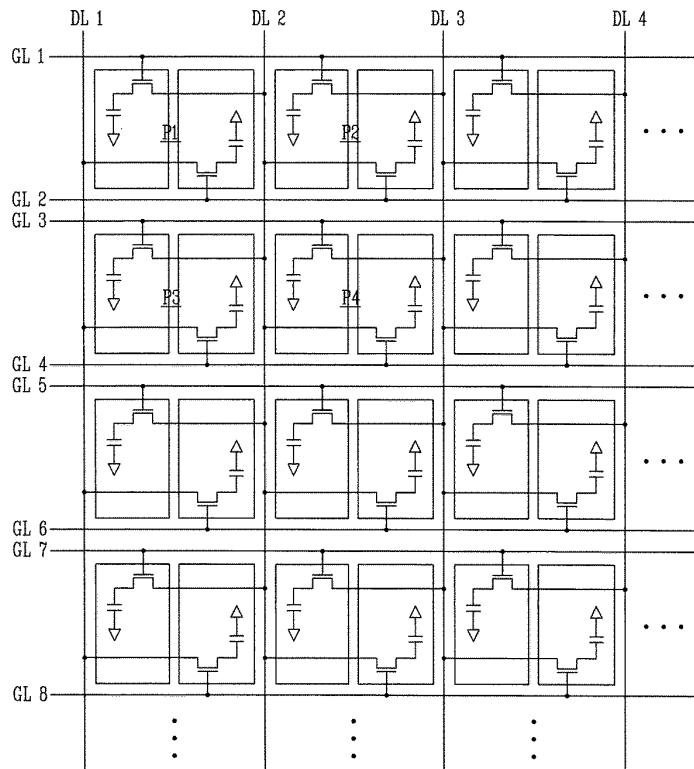
- [0072] 여기서, 상기 제 1 도전막은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0073] 다음으로, 도면에 도시하지 않았지만, 상기 게이트전극(221)과 게이트라인(216) 및 공통라인과 공통라인 패터닝이 형성된 기판 전면에 게이트절연막과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 형성한다.
- [0074] 이후, 포토리소그래피공정을 통해 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 제거함으로써 상기 기판에 상기 비정질 실리콘 박막으로 이루어진 액티브층(미도시)을 형성한다.
- [0075] 이때, 상기 액티브층 위에는 상기 액티브층과 실질적으로 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴이 형성되게 된다.
- [0076] 다음으로, 도 8b에 도시된 바와 같이, 상기 액티브층과 n+ 비정질 실리콘 박막패턴이 형성된 기판 전면에 제 2 도전막을 형성한다. 이때, 상기 제 2 도전막은 소오스전극과 드레인전극 및 데이터라인을 형성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 2 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0077] 이후, 포토리소그래피공정을 통해 상기 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 상기 액티브층 상부에 상기 제 2 도전막으로 이루어진 소오스전극(222)과 드레인전극(223)을 형성한다.
- [0078] 이때, 상기 제 3 마스크공정을 통해 상기 기판의 데이터라인 영역에 상기 제 2 도전막으로 이루어진 데이터라인(217)을 형성하게 된다.
- [0079] 상기 소오스전극(222)은 상기 게이트라인(216)에 대해 평행한 방향으로 상기 데이터라인(217)으로부터 연장되는 한편, 상기 드레인전극(223)은 상기 소오스전극(222)에 대향하여 상기 게이트전극(221) 상부에 형성되어 상기 소오스전극(222)과 함께 일자형 채널을 구성하게 된다. 또한, 상기 드레인전극(223)은 상기 게이트전극(221)의 양측으로 돌출되도록 형성됨에 따라 (별도의 보상패널을 형성하지 않고도) 각 층간 오버레이 틀어짐에 따른 기생 커패시턴스의 변동을 제어할 수 있게 된다.
- [0080] 이때, 상기 액티브층 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브층의 소오스/드레인영역과 상기 소오스/드레인전극(222, 223) 사이를 오믹-콘택시키는 오믹-콘택층(미도시)이 형성되게 된다.
- [0081] 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 액티브층과 소오스/드레인전극(222, 223) 및 데이터라인(217)은 동일한 마스크공정을 통해 형성할 수 있다. 또한, 상기 액티브층은 비정질 실리콘 박막 이외에 다결정 실리콘 박막, 산화물 반도체 등 다양한 반도체 물질로 형성할 수 있다.
- [0082] 그리고, 도 8c에 도시된 바와 같이, 상기 소오스/드레인전극(222, 223)과 데이터라인(217)이 형성된 기판 전면에 제 1 보호막(미도시)을 형성한다.
- [0083] 이때, 상기 제 1 보호막은 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기절연막이나 포토 아크릴과 같은 유기절연막으로 형성할 수 있다.
- [0084] 이후, 포토리소그래피공정을 통해 상기 제 1 보호막을 선택적으로 제거함으로써 상기 드레인전극(223)의 일부를 노출시키는 제 1 콘택홀(240a)을 형성한다.
- [0085] 다음으로, 도 8d에 도시된 바와 같이, 상기 제 1 보호막이 형성된 기판 전면에 제 3 도전막을 형성한 후, 포토리소그래피공정을 통해 선택적으로 제거함으로써 상기 기판에 상기 제 3 도전막으로 이루어진 화소전극(218)을 형성하는 한편, 상기 화소전극(218)으로부터 연장된 화소전극 연결패턴(218a)을 형성하게 된다.
- [0086] 이때, 상기 제 3 도전막은 상기 화소전극(218)과 화소전극 연결패턴(218a)을 형성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질로 형성할 수 있다.
- [0087] 전술한 바와 같이 상기 화소전극(218)은 제 1 콘택홀(240a)을 통해 상기 드레인전극(223)에 전기적으로 연결되어 있다. 한편, 일부의 화소전극(218)은 상기 드레인전극(223)쪽으로 수평하게 연장된 상기 화소전극 연결패턴(218a)을 구비하며, 상기 화소전극 연결패턴(218a)은 상기 제 1 콘택홀(240a)을 통해 상기 드레인전극(223)에

도면

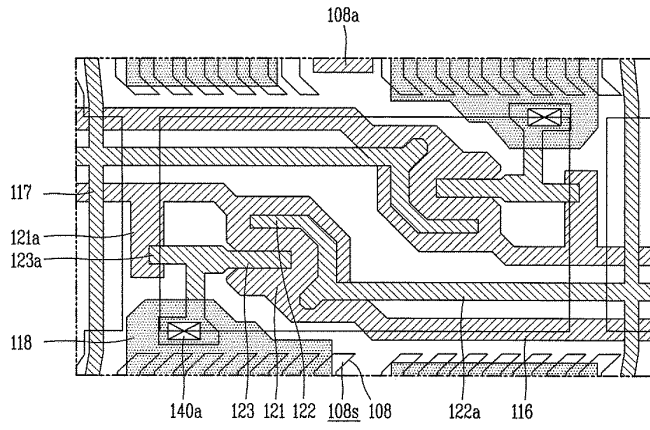
도면1



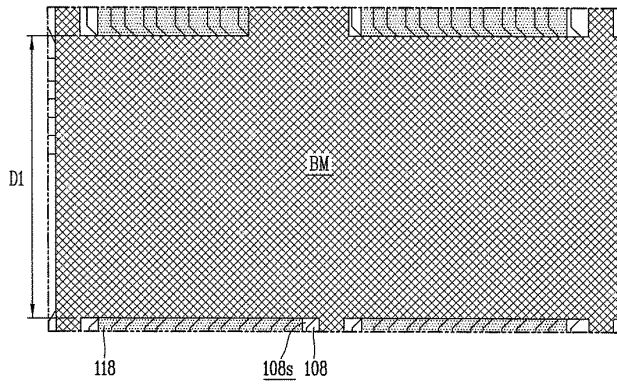
도면2



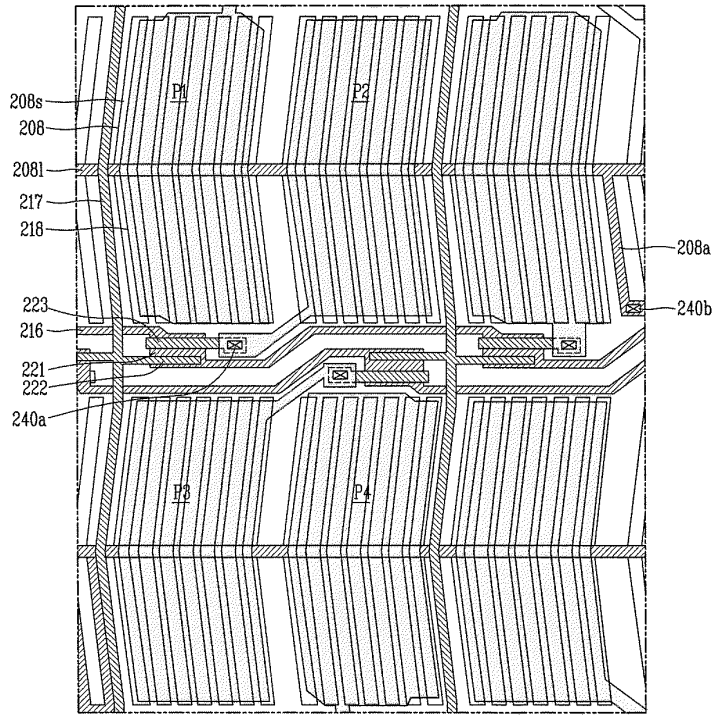
도면3



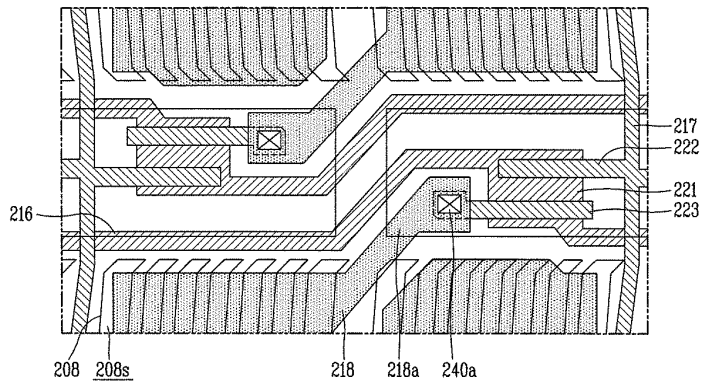
도면4



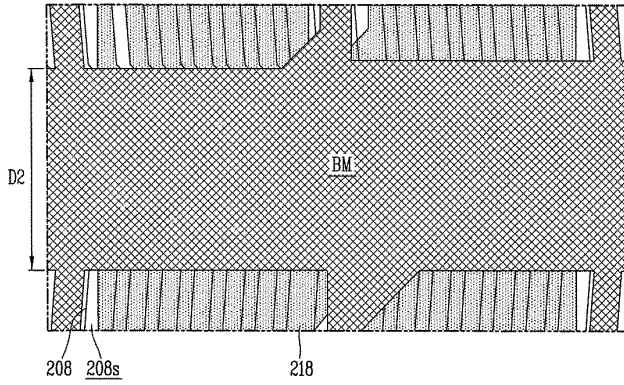
도면5



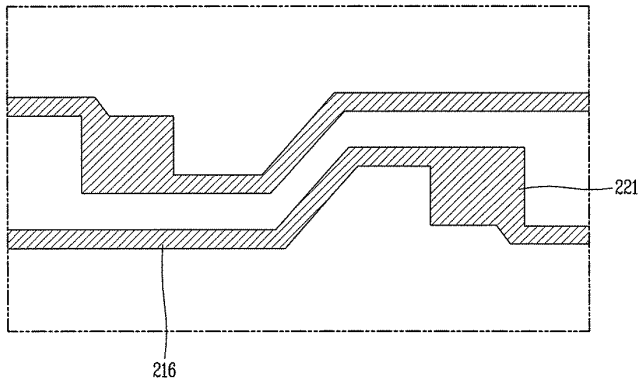
도면6



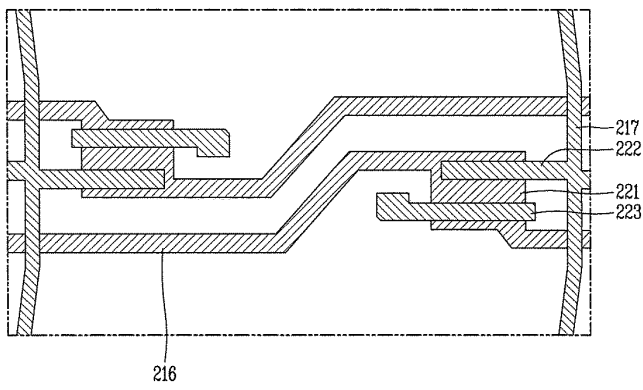
도면7



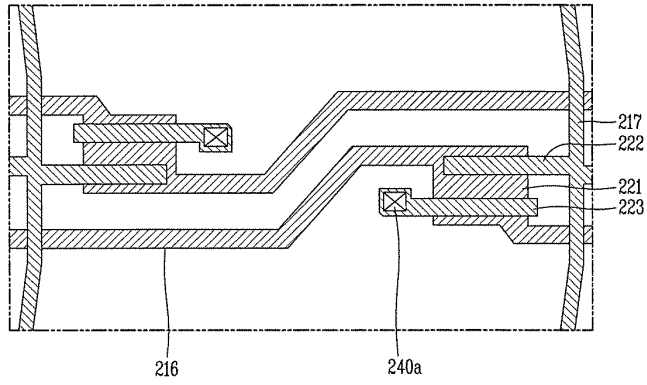
도면8a



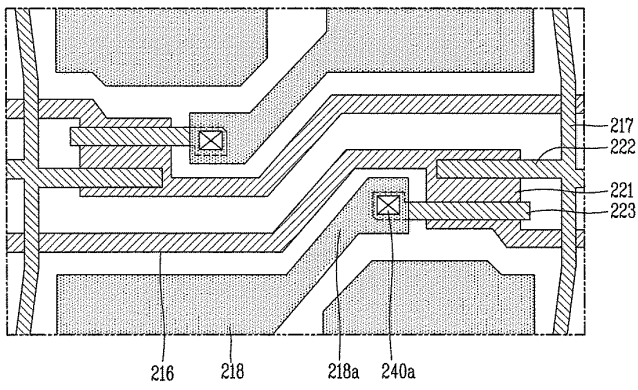
도면8b



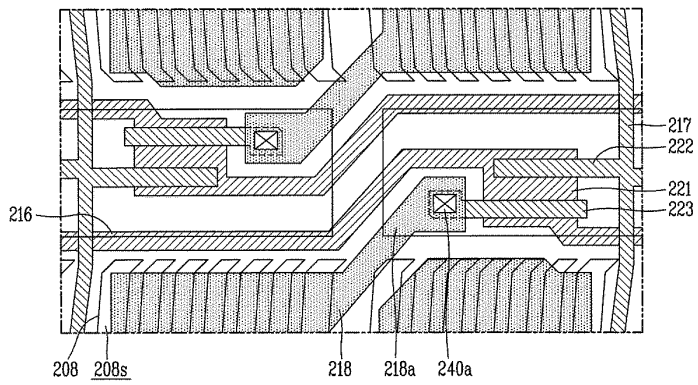
도면8c



도면8d



도면8e



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020150002254A	公开(公告)日	2015-01-07
申请号	KR1020130075853	申请日	2013-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HO HYUN 김호현 KWON CHUN HO 권춘호		
发明人	김호현 권춘호		
IPC分类号	G02F1/1368 G02F1/1345 G02F1/133		
CPC分类号	G02F1/134309 G02F1/136286 G02F1/1368 G02F2201/121		
代理人(译)	PARK , JANG WON		
其他公开文献	KR102098161B1		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示器阵列基板，在双倍速率驱动（DRD）结构的阵列基板中，将数据线数量减少一半以降低生产成本，以确保柱反转方法，改变设计薄膜晶体管，改善传输。阵列基板包括基板；栅极线形成在基板上的方向上，栅极电极形成在栅极线的一部分中；形成在栅电极上的有源层；数据线形成在具有有源层的基板上，与栅极线交叉，并限定像素；漏电极，形成在有源层上，形成从数据线延伸的源电极和面向源电极的直通沟道；公共电极，形成在具有源电极/漏电极和数据线的基板上，并且在每个像素中具有狭缝；像素电极形成在具有公共电极的基板上并且电连接到漏电极。像素包括连接到奇数栅极线的第一组像素，以及连接到偶数栅极线并且共享与两侧和数据线相邻的第一组像素的第二组像素。

