



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2014-0118125  
 (43) 공개일자 2014년10월08일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/136* (2006.01) *C09K 13/00* (2006.01)  
 (21) 출원번호 10-2013-0033488  
 (22) 출원일자 2013년03월28일  
 심사청구일자 없음

(71) 출원인  
**동우 화인켐 주식회사**  
 전라북도 익산시 약촌로 132 (신흥동)  
 (72) 발명자  
**정경섭**  
 전북 전주시 완산구 장승배기로 398, 102동 906호  
 (동서학동, 거산황궁아파트)  
**이지연**  
 서울 노원구 화랑로47길 38, 107동 703호 (월계동, 월계풍림아이원)  
**최용석**  
 전북 익산시 하나로13길 26, 106동 1205호 (영등동, 우남그랜드타운)  
 (74) 대리인  
**한양특허법인**

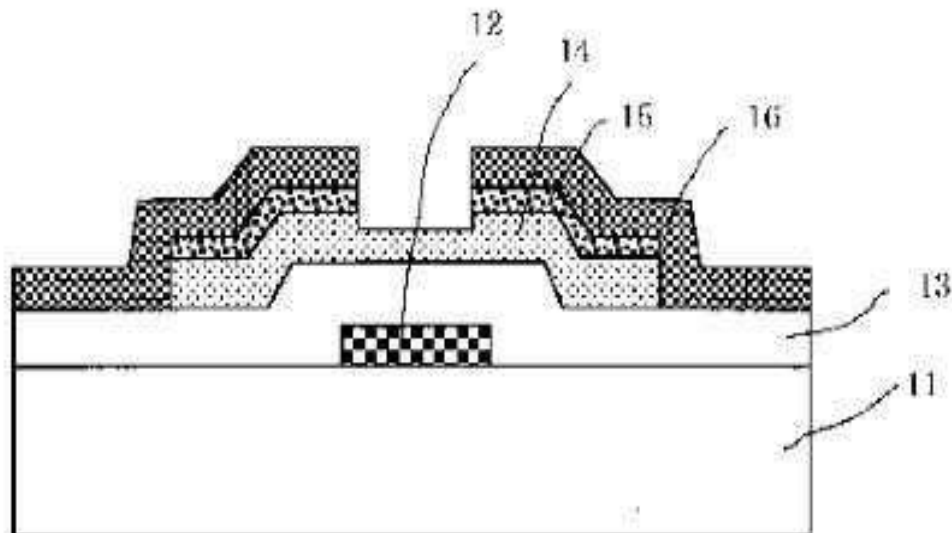
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **액정 표시 장치용 어레이 기판의 제조 방법**

**(57) 요약**

본 발명은 기판 상에 순수 비정질 실리콘(a-Si:H) 박막을 적층하고, 그 상부에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 차례대로 적층하는 단계; 상기 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 상에 식각 영역이 오픈된 마스크패턴을 형성하는 단계; 및 순수 비정질 실리콘(a-Si:H) 박막과 그 상부에 있는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각액 조성물로 일괄 식각하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법에 있어서, 상기 식각액 조성물은, 조성물 총 중량에 대하여 (A) 과황산염 5.0 내지 15.0 중량%, (B) Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, (C) 함불소 화합물 0.01 내지 10.0 중량%, (D) 무기산 5.0 내지 20.0 중량% 및 (E) 물 잔량을 포함하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조방법에 관한 것이다.

**대표도** - 도1a



## 특허청구의 범위

### 청구항 1

기판 상에 순수 비정질 실리콘(a-Si:H) 박막을 적층하고, 그 상부에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 차례대로 적층하는 단계;

상기 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 상에 식각 영역이 오픈된 마스크패턴을 형성하는 단계; 및

순수 비정질 실리콘(a-Si:H) 박막과 그 상부에 있는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각액 조성물로 일괄 식각하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법에 있어서,

상기 식각액 조성물은, 조성물 총 중량에 대하여 (A) 과황산염 5.0 내지 15.0 중량%, (B) Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, (C) 함불소 화합물 0.01 내지 10.0 중량%, (D) 무기산 5.0 내지 20.0 중량% 및 (E) 물 잔량을 포함하는 것을 특징으로 하는, 액정 표시 장치용 어레이 기판의 제조방법.

### 청구항 2

청구항 1에 있어서,

상기 액정 표시 장치용 어레이 기판이 박막트랜지스터(TFT) 어레이 기판인 것을 특징으로 하는, 액정 표시 장치용 어레이 기판의 제조방법.

### 청구항 3

조성물 총 중량에 대하여,

(A) 과황산염 5.0 내지 15.0 중량%;

(B) Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%;

(C) 함불소 화합물 0.01 내지 10.0 중량%;

(D) 무기산 5.0 내지 20.0 중량%; 및

(E) 물 잔량을 포함하는 것을 특징으로 하는,

불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막 일괄식각용 식각액 조성물.

### 청구항 4

청구항 3에 있어서, 상기 (A) 과황산염은 과황산암모늄(Ammonium Persulfate), 과황산나트륨(Sodium Persulfate) 및 과황산칼륨(Potassium Persulfate)으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것을 특징으로 하는, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막 일괄식각용 식각액 조성물.

### 청구항 5

청구항 3에 있어서, 상기 (B) Fe<sup>3+</sup> 화합물은 FeCl<sub>3</sub>, Fe(NO<sub>3</sub>)<sub>3</sub>, Fe<sub>2</sub>(SO<sub>4</sub>)<sub>3</sub>, NH<sub>4</sub>Fe(SO<sub>4</sub>)<sub>2</sub>, Fe(ClO<sub>4</sub>)<sub>3</sub>, 및 FePO<sub>4</sub>로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것을 특징으로 하는, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막 일괄식각용 식각액 조성물.

### 청구항 6

청구항 3에 있어서, 상기 (C) 함불소 화합물은 불산(hydrofluoric acid, HF), 불화암모늄(ammonium fluoride: NH<sub>4</sub>F), 불화나트륨(sodium fluoride: NaF), 불화칼륨(potassium fluoride: KF), 중불화암모늄(ammonium

bifluoride:  $\text{NH}_4\text{F} \cdot \text{HF}$ ), 중불화나트륨(sodium bifluoride:  $\text{NaF} \cdot \text{HF}$ ), 중불화칼륨(potassium bifluoride,  $\text{KF} \cdot \text{HF}$ ), 불화붕소산(fluoroboric acid,  $\text{HBF}_4$ ), 불화알루미늄(aluminium fluoride,  $\text{AlF}_3$ ), 불화칼슘(calcium fluoride,  $\text{CaF}_2$ ) 및 규불화수소산(Hydrofluorosilicic Acid,  $\text{H}_2\text{SiF}_6$ )으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것을 특징으로 하는, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막 일괄식각용 식각액 조성물.

**청구항 7**

청구항 3에 있어서, 상기 (D)무기산은 질산, 황산, 인산 및 과염소산으로 이루어진 군으로부터 선택된 1종 또는 2종 이상인 것을 특징으로 하는, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막 일괄식각용 식각액 조성물.

**청구항 8**

청구항 3 내지 청구항 7 중 어느 한 항에 기재된 식각액 조성물을 사용하여 식각된 순수 비정질 실리콘(a-Si:H) 박막 층과 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 층 및 소스/드레인 전극 및 데이터 배선 중 하나 이상을 포함하는 액정 표시 장치용 어레이 기판.

**명세서**

**기술분야**

[0001] 본 발명은 액정 표시 장치용 어레이 기판의 제조 방법에 관한 것이다.

**배경기술**

[0002] 액정 표시 장치에서 기판 위에 금속 배선을 형성하는 과정은 통상적으로 스퍼터링 등에 의한 금속막 형성공정, 포토레지스트 도포, 노광 및 현상에 의한 선택적인 영역에서의 포토레지스트 형성공정, 및 식각공정에 의한 단계로 구성되고, 개별적인 단위 공정 전후의 세정 공정 등을 포함한다. 이러한 식각공정은 포토레지스트를 마스크로 하여 선택적인 영역에 금속막을 남기는 공정을 의미하며, 통상적으로 플라즈마 등을 이용한 건식식각 또는 식각액 조성물을 이용하는 습식 식각이 사용된다.

[0003] TFT-LCD (Thin-Film Transistor Liquid Crystal Display) 장치 제조에 필수적인 요소인 TFT(Thin-Film Transistor) 제조는 중요하다.

[0004] 도 1a 내지 도 1b는 종래의 방법에 의해 제조된 TFT의 구조를 보여준다. 도 1a 및 도 1b를 참조하면, TFT의 구조는 절연성 기판(11) 상에 금속 게이트(12)가 위치하고 그 위에 게이트 절연막(13)이 형성되고 그 위로 활성층인 순수 비정질 실리콘(a-Si:H)(14) 박막이 존재하고 그 위에 소스/드레인의 접촉 저항을 줄이기 위한 불순물이 포함된 비정질 실리콘(n+ a-Si:H)(15) 박막이 존재하고, 그 상부에 소스/드레인 금속(16)이 형성되는 역스태거드 (inverted-staggerd) 방식이 주로 사용되고 있다.

[0005] 이러한 구조로 TFT를 형성하기 위해서는 순수 비정질 실리콘(a-Si:H)(14) 박막 위에 증착되는 불순물이 포함된 비정질 실리콘(n+ a-Si:H)(15) 박막을 제거하되 하부에 존재하는 순수 비정질 실리콘(a-Si:H)(14) 박막에는 영향을 최소화하는 방법이 필수적으로 필요하게 된다.

[0006] 도 1a는 건식 식각 방법을 이용하여 불순물이 포함된 비정질 실리콘(n+ a-Si:H)(15) 박막을 식각했을때로서, 불순물이 포함된 비정질 실리콘(n+ a-Si:H)(15) 박막의 식각시 순수 비정질 실리콘(a-Si:H)(14) 박막에 대한 손상이 불가피하게 존재했다. 특히 낮은 선택비(< 5:1)때문에 순수 비정질 실리콘(a-Si:H) 박막의 불필요한 식각으로 이어졌다. 즉, 불순물이 포함된 비정질 실리콘(n+ a-Si:H)(15) 박막 하부에 있는 활성층(비도핑 실리콘 박막)의 두께가 얇아지게 되는데 그 양이 공정에서 쉽게 제어 가능하지 않은 범위에 있기 때문에 공정 진행 후 활성층의 균일한 형성이 불가능해지고 결국 소자의 특성이 불균일 하게 되는 중요한 원인으로 작용하게 된다.

[0007] 종래 건식 식각에는 이와 같은 문제 때문에 불순물이 포함된 비정질 실리콘 (n+ a-Si:H)(15) 박막의 식각시 하부 순수 비정질 실리콘(a-Si:H) 박막이 영향을 받지 않도록 하기 위해서 도 1b의 경우처럼 식각 방지층(19)을 사용하기도 하였다. 이 경우 불순물이 포함된 비정질 실리콘(n+ a-Si:H)(15) 박막의 식각 시 하부에 있는 식각 방지층(19)이 순수 비정질 실리콘(a-Si:H)(14) 박막을 보호하기 때문에 손상은 피할 수가 있지만 소자(TFT)의

구조에 필수적이지 않은 하나의 층이 삽입되게 되며 공정 수의 증가와 함께 생산성의 저하를 가져오는 원인이 될 수 있다.

[0008] 상기와 같이 반도체소자를 제조하는 경우 불순물이 포함된 비정질 실리콘 (n+ a-Si:H) 박막과 순수 비정질 실리콘 (a-Si:H) 박막을 선택적으로 식각하는 과정이 필요시 되는 경우가 있는데, 종래 기술의 식각 방법을 사용하는 경우 하부층인 비정질 실리콘(a-Si:H) 박막을 식각시 손상되거나, 식각 방지층 사용에 따른 공정의 추가(박막증착 및 포토리소그래피 공정 및 식각 공정)를 가져오는 문제점이 있다.

**선행기술문헌**

**특허문헌**

[0009] (특허문헌 0001) KR 10-0392362 B

**발명의 내용**

**해결하려는 과제**

[0010] 본 발명은 실리콘 박막의 식각 방법에 관한 것으로서, 특히 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막을 동시에 일괄 식각하는 습식 식각 방법을 제공하는데 그 목적이 있다.

[0011] 또한, 본 발명은 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막을 동시에 일괄 식각하는 식각액 조성물을 사용하여 식각된 순수 비정질 실리콘(a-Si:H) 박막 층과 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 층 및 소스/드레인 전극 및 데이터 배선 중 하나 이상을 포함하는 액정 표시 장치용 어레이 기판을 제공하는데 그 목적이 있다.

[0012] 또한, 본 발명은 기존 건식 식각을 습식 식각액으로 제안함으로써, 건식 식각 과정 중 플라즈마 내의 이온의 충격이나 래디컬에 의한 금속막의 손상 및 오염이 발생하는 단점을 해결하고, 생산성을 높일 수 있는 장점을 갖는 액정 표시 장치용 어레이 기판의 제조 방법을 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0013] 본 발명은 상기 목적을 달성하기 위하여 기판 상에 순수 비정질 실리콘(a-Si:H) 박막을 적층하고, 그 상부에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 차례대로 적층하는 단계;

[0014] 상기 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 상에 식각 영역이 오픈된 마스크패턴을 형성하는 단계; 및

[0015] 순수 비정질 실리콘(a-Si:H) 박막과 그 상부에 있는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각액 조성물로 일괄 식각하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법에 있어서,

[0016] 상기 식각액 조성물은, 조성물 총 중량에 대하여 (A) 과황산염 5.0 내지 15.0 중량%, (B) Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, (C) 함불소 화합물 0.01 내지 10.0 중량%, (D) 무기산 5.0 내지 20.0 중량% 및 (E) 물 잔량을 포함하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조방법을 제공한다.

[0017] 또한, 본 발명은 조성물 총 중량에 대하여 (A) 과황산염 5.0 내지 15.0 중량%, (B) Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, (C) 함불소 화합물 0.01 내지 10.0 중량%, (D) 무기산 5.0 내지 20.0 중량% 및 (E) 물 잔량을 포함하는 것을 특징으로 하는, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막을 동시에 일괄 식각하는 식각액 조성물을 제공한다.

[0018] 또한, 본 발명은 상기 식각액 조성물을 사용하여 식각된 순수 비정질 실리콘(a-Si:H) 박막 층과 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 층 및 소스/드레인 전극 및 데이터 배선 중 하나 이상을 포함하는 액정 표시 장치용 어레이 기판을 제공한다.

**발명의 효과**

[0019] 본 발명의 식각액 조성물은 습식 식각을 사용하여 순수 비정질 실리콘(a-Si:H)박막 상부에 있는 불순물이 포함

된 비정질 실리콘(n+ a-Si:H) 박막을 일괄 식각 할 수 있으며, 본 발명의 식각액 조성물을 이용한 습식 식각의 경우 건식 식각에서 발생하게 되는 플라즈마에 의한 손상을 배제할 수 있기 때문에, 같은 일괄 식각 특성을 가지는 건식 식각 공정이 있다고 하더라도 소자의 특성 측면에서 좋은 점을 가지고 있다. 종래의 건식 식각을 이용할 경우, 고가의 장비를 이용하나, 본 발명에 따르면 일괄 습식 식각으로 일괄 식각하여 경제적이며, 생산성을 향상시키는 효과가 있다. 따라서, 본 발명을 TFT와 같은 반도체소자 제조 공정에 응용할 경우 반도체소자 제조 공정의 단순화 및 소자 특성을 향상시키는 뛰어난 효과를 가지게 된다.

[0020] 또한, 본 발명의 식각액 조성물은 액정 표시 장치용 어레이 기판을 제조시, 순수 비정질 실리콘(a-Si:H)박막 상부에 있는 불순물이 포함된 비정질 실리콘(n+ a-Si:H)박막을 포함하는, 소스/드레인 전극 및 데이터 배선을 일괄 식각할 수 있어, 식각 공정을 단순화시키며 공정 수율을 극대화시킨다.

**도면의 간단한 설명**

[0021] 도 1a 및 도 1b는 종래의 방법에 의해 제조된 박막트랜지스터의 제조 과정을 설명하기 위한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0022] 이하, 본 발명을 상세히 설명하면 다음과 같다.

[0023] 본 발명은 실리콘 박막의 식각 방법에 관한 것으로, 특히 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막을 일괄 식각 할 수 있는 습식 식각액 조성물, 식각 방법, 액정 표시 장치용 어레이 기판 및 액정 표시 장치용 어레이 기판의 제조방법에 관한 것이다. 여기서, 상기 식각액 조성물은 (A) 과황산염, (B) Fe<sup>3+</sup> 화합물, (C) 함불소 화합물, (D) 무기산 및 (E) 물을 포함하는 것을 가장 큰 특징으로 한다.

[0024] 본 발명의 식각액 조성물을 이용할 경우 높은 습식 식각 속도를 가지게 되기 때문에 반도체 소자의 제조 과정에서 기술자가 원하는 다양한 형태의 소자 구조를 형성하고자 할 때 손쉽게 공정의 제어가 가능하다.

[0025] 본 발명의 식각액 조성물은 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막을 일괄식각을 위한 식각액 조성물로서, (A) 과황산염, (B) Fe<sup>3+</sup> 화합물, (C) 함불소 화합물, (D) 무기산 및 (E) 물을 포함한다. 보다 바람직하게는, 상기 식각액 조성물은 조성물 총 중량에 대하여, (A) 과황산염 5.0 내지 15.0 중량%, (B) Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, (C) 함불소 화합물 0.01 내지 10.0 중량%, (D) 무기산 5.0 내지 20.0 중량% 및 (E) 물 잔량을 포함하는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막 일괄식각용 식각액 조성물에 관한 것이다.

[0026] 본 발명의 식각액 조성물에 포함되는 (A)과황산염은 상기 (C)함불소 화합물의 활성도를 높여주는 역할을 한다. 상기 (A) 과황산염은 조성물 총 중량에 대하여, 5.0 내지 15.0 중량%로 포함되고, 바람직하게는 7.0 내지 13.0 중량%로 포함된다. 상기 (A) 과황산염은 조성물 총 중량에 대하여 5.0 중량% 미만으로 포함되면, 식각력이 부족하여 충분한 식각이 이루어지지 않을 수 있으며, 15.0 중량%를 초과하여 포함될 경우, 식각 속도가 전체적으로 빨라지기 때문에 공정 컨트롤이 어렵다.

[0027] 상기 (A) 과황산염은 이 분야에서 사용되는 물질로서 과황산암모늄(Ammonium Persulfate), 과황산나트륨(Sodium Persulfate) 및 과황산칼륨(Potassium Persulfate)으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것이 바람직하다.

[0028] 본 발명의 식각액 조성물에 포함되는 (B) Fe<sup>3+</sup> 화합물은 상기 (C)함불소 화합물의 활성도를 높여주는 역할을 한다. 상기 (B) Fe<sup>3+</sup> 화합물은 조성물 총 중량에 대하여 1.0 내지 20.0 중량%로 포함되고, 바람직하게는 2.0 내지

10.0 중량%로 포함된다. 상기 (B)  $Fe^{3+}$  화합물은 조성물 총 중량에 대하여 1.0 중량% 범위 미만으로 포함되면, 식각력이 부족하여 충분한 식각이 이루어지지 않을 수 있으며, 20.0 중량%를 초과하여 포함될 경우, 식각 속도가 전체적으로 빨라지기 때문에 공정 컨트롤이 어렵다.

[0029] 상기 (B)  $Fe^{3+}$  화합물은 이 분야에서 사용되는 물질로서  $Fe^{3+}$  를 포함한 염의 형태로 제공되며,  $FeCl_3$ ,  $Fe(NO_3)_3$ ,  $Fe_2(SO_4)_3$ ,  $NH_4Fe(SO_4)_2$ ,  $Fe(ClO_4)_3$  및  $FePO_4$ 로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것이 바람직하다.

[0030] 본 발명의 식각액 조성물에 포함되는 (C)함불소 화합물은 물에 해리되어 플루오르 이온을 낼 수 있는 화합물을 의미한다. 상기 (C)함불소 화합물은 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막을 식각하는 주성분이며, 식각하는 용액에서 필연적으로 발생하는 잔사를 제거해 주는 역할을 한다. 상기 (C)함불소 화합물은 조성물 총 중량에 대하여 0.01 내지 10.0 중량%로 포함되고, 바람직하게는 0.1 내지 5.0 중량%로 포함된다. 상기 (C)함불소 화합물이 조성물 총 중량에 대하여 0.01 중량% 미만으로 포함되면, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막의 식각속도가 저하되어 부분적 언etch(Unetch) 현상이나 잔사가 발생할 수 있고, 10.0 중량%를 초과하여 포함될 경우, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막의 식각 성능은 향상되지만, 식각 속도가 전체적으로 빨라지기 때문에 공정 컨트롤이 어렵다.

[0031] 상기 (C)함불소 화합물은 이 분야에서 사용되는 물질로서 용액 내에서 플루오르 이온 혹은 다원자 플루오르 이온으로 해리될 수 있는 것이라면 특별히 한정되지 않는다. 하지만, 상기 (C)함불소 화합물은 불산(hydrofluoric acid, HF), 불화암모늄(ammonium fluoride:  $NH_4F$ ), 불화나트륨(sodium fluoride: NaF), 불화칼륨(potassium fluoride: KF), 중불화암모늄(ammonium bifluoride:  $NH_4F \cdot HF$ ), 중불화나트륨(sodium bifluoride:  $NaF \cdot HF$ ), 중불화칼륨(potassium bifluoride,  $KF \cdot HF$ ), 불화붕소산(fluoroboric acid,  $HBF_4$ ), 불화알루미늄(aluminium fluoride,  $AlF_3$ ), 불화칼슘(calcium fluoride,  $CaF_2$ ) 및 규불화수소산(Hydrofluorosilicic Acid,  $H_2SiF_6$ )으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것이 바람직하다.

[0032] 본 발명의 식각액 조성물에 포함되는 상기 (D)무기산은 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막에 대한 식각 후 잔류물이 남아 있지 않도록 하는 효과가 있다.

[0033] 상기 (D)무기산은 조성물 총 중량에 대하여, 5.0 내지 20.0 중량%로 포함되고, 3.0 내지 15.0 중량%로 포함되는 것이 바람직하다. 상술한 범위를 만족하면, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막이 적정량으로 식각되고, 식각 프로파일도 우수해진다. 상기 (D)무기산이 조성물 총 중량에 대하여 5.0 중량% 미만으로 포함되면, 식각속도가 저하되어 식각 프로파일에 불량이 발생할 수 있으며, 잔사가 발생할 수 있다. 20.0 중량%를 초과하면, 과식각이 발생할 수 있고, 포토레지스트에 크랙이 발생하여, 크랙으로 식각액이 침투되어 배선이 단락될 수 있다.

[0034] 상기 (D)무기산은 질산, 황산, 인산 및 과염소산으로 이루어진 군에서 선택되는 1종 또는 2종 이상인 것이 바람직하다.

[0035] 본 발명의 식각액 조성물에 포함되는 (E) 물은 조성물 총 중량이 100 중량%가 되도록 잔량 포함된다. 상기 물은 특별히 한정하지 않으나, 탈이온수를 이용하는 것이 바람직하다. 그리고, 상기 물은 물 속에 이온이 제거된 정도를 보여주는 물의 비저항값이  $18M\Omega \cdot cm$  이상인 탈이온수를 이용하는 것이 보다 바람직하다.

[0036] 또한, 전술한 성분 이외에 통상의 첨가제를 더 첨가할 수 있으며, 첨가제로는 금속 이온 봉쇄제 및 부식 방지제

등을 들 수 있다.

- [0037] 본 발명에서 사용되는 (A)과황산염, (B)  $Fe^{3+}$  화합물, (C)함불소 화합물, (D)무기산 등은 통상적으로 공지된 방법에 의해서 제조가 가능하며, 본 발명의 식각액 조성물은 반도체 공정용의 순도를 가지는 것이 바람직하다.
- [0038] 본 발명은 기판 상에 순수 비정질 실리콘(a-Si:H) 박막을 적층하고, 그 상부에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 차례대로 적층하는 단계;
- [0039] 상기 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 상에 식각 영역이 오픈된 마스크패턴을 형성하는 단계; 및
- [0040] 순수 비정질 실리콘(a-Si:H) 박막과 그 상부에 있는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각액 조성물로 일괄 식각하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법에 관한 것이다.
- [0041] 상기 액정 표시 장치용 어레이 기판은 박막트랜지스터(TFT) 어레이 기판일 수 있다. 그리고, 상기 액정 표시 장치용 어레이 기판은 본 발명의 식각액 조성물을 사용하여 식각된 순수 비정질 실리콘(a-Si:H) 박막 층과 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 층 및 소스/드레인 전극 및 데이터 배선 중 하나 이상을 포함한다.
- [0042] 본 발명의 박막트랜지스터 어레이 기판 형성 방법의 일 구현예를 구체적으로 설명하도록 한다.
- [0043] 먼저, 기판 상에 게이트 전극을 형성한다. 게이트 전극은 게이트 라인을 통하여 전달된 전기적 신호에 따라 소스/드레인 사이의 전류를 제어하는 기능을 한다. 게이트 전극은 다음과 같이 형성된다. 통상적으로는 몰리브덴(Mo) 합금막이 스퍼터링 방법 등에 의해 상기 기판 위에 균일하게 형성된다. 이 후, 상기 몰리브덴 합금막은 식각되어 소정의 형태로 패터닝된다. 상기 소정의 형태로 패터닝 되는 것은 포토리소그라피 방법 등에 의해 이루어진다. 상기 게이트 전극은 반드시 몰리브덴으로 형성될 필요는 없고, 이후 공정에서 순수 비정질 실리콘(a-Si:H) 박막으로 형성되는 활성층이 결정화될 때 발생하는 열에 의해 변화하지 않도록 높은 용점을 가지는 금속으로 형성될 수 있다.
- [0044] 다음으로, 게이트 전극 위에 게이트 절연막을 형성한다. 게이트 절연막은 상부의 순수 비정질 실리콘(a-Si:H) 박막과 게이트 전극을 분리하여 순수 비정질 실리콘(a-Si:H) 박막으로 흐르는 전류가 게이트 전극으로 흘러 들어가지 않도록 하는 기능을 한다.
- [0045] 상기 게이트 절연막은 다음과 같이 형성된다. 즉, 플라즈마 화학기상증착(CVD) 방법 등에 의해서, 상기 게이트 전극을 포함하는 기판 위에 균일하게 형성된다. 상기 게이트 절연막은 실리콘 산화물( $SiO_2$ ), 실리콘 질화물( $SiNx$ ), 실리콘 산화질화물( $SiONx$ ) 중에서 적어도 하나 이상의 물질을 절연 재료로 하여 형성될 수 있다.
- [0046] 다음으로, 상기 게이트 절연막 위에 반도체층인 순수 비정질 실리콘(a-Si:H) 박막을 형성한다. 순수 비정질 실리콘(a-Si:H) 박막은 게이트 전극의 전기적 신호에 따라 전류의 통로가 된다. 통상적으로 순수 비정질 실리콘(a-Si:H) 박막을 사용하여 플라즈마 CVD 방법 등에 의해 상기 게이트 절연막 위에 균일하게 형성될 수 있다.
- [0047] 다음으로, 상기 순수 비정질 실리콘(a-Si:H) 박막 상에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 형성한다. 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막은 순수 비정질 실리콘(a-Si:H) 박막과 소스/드레인 전극 사이에 전류가 흐를 수 있도록 한다. 통상적으로는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막으로 형성될 수 있다.
- [0048] 다음으로, 상기 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 상에 소스/드레인 전극층을 형성한다. 소스/드레인 전극층은 추후에 채널이 형성됨으로써 소스 전극과 드레인 전극으로 분리된다. 소스 전극과 드레인 전극은 화소(픽셀)로 가는 전기적 신호를 전달하는 역할을 한다.
- [0049] 소스/드레인 전극층으로는 예를 들면 구리계 금속막이 사용될 수 있다. 본 발명에서 구리계 금속막은 막의 구성 성분 중에 구리가 포함되는 금속막을 의미하는 것으로서, 단일막 또는 이중막 등의 다층막을 포함하는 개념이다. 보다 구체적인 예를 들면, 상기 구리계 금속막은 구리 또는 구리 합금의 단일막, 몰리브덴층과 상기

몰리브덴층 상에 형성된 구리층을 포함하는 구리 몰리브덴막 또는 몰리브덴 합금층과 상기 몰리브덴 합금층 상에 형성된 구리층을 포함하는 구리 몰리브덴 합금막일 수 있다. 상기 구리 합금 또는 몰리브덴 합금은 서로 독립적으로 구리 또는 몰리브덴과 Ti, Ta, Cr, Ni, Nd 및 In으로 이루어진 군에서 선택되는 적어도 1종 이상의 금속과 합금일 수 있다.

[0050] 다음으로, 박막 트랜지스터의 어레이 패턴에 따라 포토레지스트를 형성한다. 포토레지스트는 소스/드레인 전극층, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막 중에서 식각될 부분을 노출시킨 패턴으로 형성된다.

[0051] 포토레지스트가 형성된 후에는, 본 발명의 식각액 조성물로 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막을 모두 일괄 식각하여 박막트랜지스터 어레이 기판을 형성한다.

[0052] 이하, 실시예 및 실험예를 통하여 본 발명을 더욱 상세하게 설명하기로 한다. 이들 실시예 및 실험예는 단지 본 발명을 예시하기 위한 것이므로, 본 발명의 범위가 이들 실시예 및 실험예에 의해 제한되는 것으로 해석되지는 않는다.

[0053] 실시예 1 내지 5 및 비교예 1 내지 4 : 식각액 조성물의 제조

[0054] 하기 [표 1]에 기재된 조성에 따라, 각 성분들을 혼합하여 실시예 1 내지 5 및 비교예 1 내지 4의 식각액 조성물을 각각 제조하였다.

표 1

	과황산암모늄	질산제2철	중불화암모늄	질산	탈이온수
실시예1	10	5	5	10	잔량
실시예2	5	5	5	10	잔량
실시예3	10	10	5	10	잔량
실시예4	10	5	10	10	잔량
실시예5	15	5	5	20	잔량
비교예1	10	5	5	-	잔량
비교예2	3	5	5	10	잔량
비교예3	10	-	5	10	잔량
비교예4	10	10	-	10	잔량

[0056] (단위: 중량%)

[0057] 실험예 1: 식각 특성 평가

[0058] 유리기판위에 순수 비정질 실리콘(a-Si:H) 박막을 형성하고, 순수 비정질 실리콘 박막 위에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막이 적층된 기판을 준비하였다. 상기의 조성으로 제조된 실시예 1 내지 5 및 비교예 1 내지 4의 식각액 조성물로 상기 준비된 기판을 식각하였다. 식각 특성 평가 방식은 순수 비정질 실리콘(a-Si:H) 박막 층과 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 층의 일괄 Etch 가능 여부를 평가하였다. 분사식 식각 방식의 실험장비(모델명: ETCHER(TFT), SEMES사) 내에 상기 각각의 식각액을 넣고 온도를 32℃로 설정하여 가온한 후, 온도가 32±0.1℃에 도달하였을 때 식각 공정을 수행하였다. 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막의 총 식각 시간은 엔드포인트 검출(End Point Detection, EPD)을 기준으로 하여 오버 에치(Over Etch) 15%를 주어 실시하였다. 기판을 넣고 분사를 시작하여 식각이 다 되면 꺼내어 탈이온수로 세정한 후, 열풍건조장치를 이용하여 건조하고, 포토레지스트 박리기(PR stripper)를 이용하여 포토레지스트를 제거하였다. 세정 및 건조 후 전자주사현미경(SEM; 모델명: S-4700, HITACHI사 제조)을 이용하여 식각 특성을 평가하여 하기 [표 2]에 나타내었다.

[0059] 측면 식각 손실(critical dimension(CD) skew) 변화, 테이퍼 각도, 금속 산화물막 손상의 식각 특성을 평가하여, 결과를 하기 [표 2]에 나타내었다.

[0060] <평가 기준>

[0061] ◎: 매우 우수 (CD Skew ≤ 0.2μm, 테이퍼 각도: 40-60° )

[0062] ○: 우수 (1μm < CD Skew ≤ 0.4μm, 테이퍼 각도: 30-60° )

[0063] △: 양호 (1.5μm < CD Skew ≤ 0.6μm, 테이퍼 각도: 30-60° )

[0064] ×: 불량 (잔사 발생)

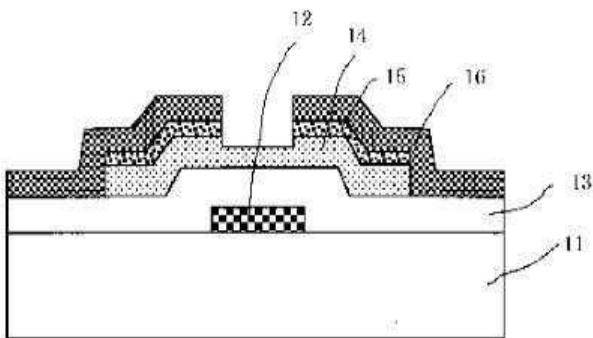
표 2

[0065]

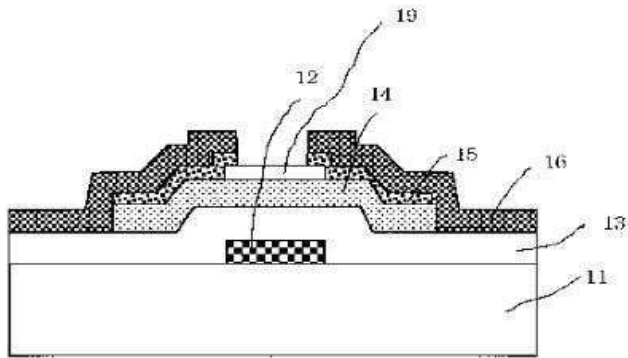
	식각 특성	비정질실리콘 Si 잔사
실시예1	◎	없음
실시예2	◎	없음
실시예3	◎	없음
실시예4	○	없음
실시예5	○	없음
비교예1	하부 a-Si:H막 UNETCH	없음
비교예2	×	있음
비교예3	×	있음
비교예4	×	있음

도면

도면1a



도면1b



专利名称(译)	用于液晶显示器的阵列基板的制造方法		
公开(公告)号	<a href="#">KR1020140118125A</a>	公开(公告)日	2014-10-08
申请号	KR1020130033488	申请日	2013-03-28
[标]申请(专利权)人(译)	东友精细化工有限公司		
申请(专利权)人(译)	东宇精细化工有限公司		
[标]发明人	JUNG KYUNG SUB 정경섭 LEE JI YEON 이지연 CHOI YONG SUK 최용석		
发明人	정경섭 이지연 최용석		
IPC分类号	G02F1/1362 C09K13/00 G02F1/136		
CPC分类号	G02F1/1362 C09K13/00		
代理人(译)	的专利法.		
其他公开文献	KR102009529B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明包括在基板上层压纯的非晶硅 ( a-Si : H ) 薄膜, 并在其上依次层压含有杂质的非晶硅 ( n + a-Si : H ) 薄膜的步骤; 形成在包含杂质的非晶硅 ( n + a-Si : H ) 薄膜上具有开口的蚀刻区域的掩模图案; 并且用蚀刻剂组合物共同蚀刻纯非晶硅 ( a-Si : H ) 薄膜和其上含有杂质的非晶硅 ( n + a-Si : H ) 薄膜。在制备方法中, 蚀刻剂组合物, ( A ) 过硫酸盐, 基于组合物的总重量, 为 5.0 至 15.0 液体%, ( B ) 1.0-20.0wt% Fe 化合物, ( C ) 0.01-10.0wt% ( F ) 含氟化合物, ( D ) 5.0-20.0wt% 无机酸和 ( E ) 水残留量一种制造装置的阵列基板的方法。

