



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월27일
 (11) 등록번호 10-1756655
 (24) 등록일자 2017년07월05일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1339 (2006.01) G02F 1/1343 (2006.01)
 G02F 1/1345 (2006.01) G02F 1/1362 (2006.01)
 (21) 출원번호 10-2010-0035187
 (22) 출원일자 2010년04월16일
 심사청구일자 2015년03월31일
 (65) 공개번호 10-2011-0115714
 (43) 공개일자 2011년10월24일
 (56) 선행기술조사문헌
 KR1020070025153 A*
 KR1020040062103 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
이민직
 경상북도 구미시 검성로 103-21 103동 907호 (황
 상동, 화진금봉타운1차아파트)
 (74) 대리인
박영복

전체 청구항 수 : 총 14 항

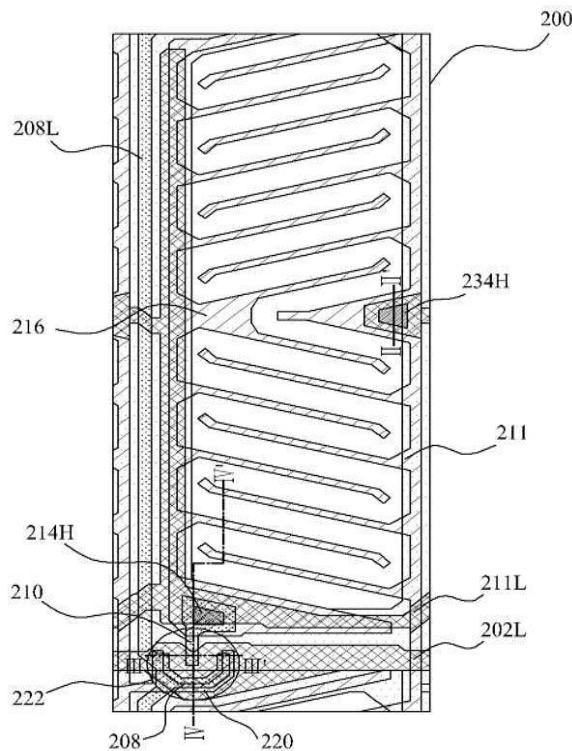
심사관 : 이수한

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 외부에서 가해지는 힘에 의해 칼럼 스페이서와 이와 접촉하는 면 사이에 발생한 정전기로 인해 발생된 불량을 해결하도록 정전기 방출 패턴을 형성한 액정 표시 장치에 관한 것으로, 서로 대향된 제 1 기판과 제 2 기판; 상기 제 1 기판 상에 서로 교차하여 화소 영역을 정의하는 복수개의 게이트 라인과 데이터 라인; 상기 각 게 (뒷면에 계속)

대표도 - 도3



이트 라인과 데이터 라인의 교차점에, 게이트 전극, 상기 게이트 전극 상에 반도체층, 상기 반도체층의 양측과 접촉하여 형성된 소오스 전극 및 드레인 전극을 포함하여 형성된 박막 트랜지스터; 상기 게이트 라인, 데이터 라인 및 박막 트랜지스터를 포함한 상기 제 1 기판 전면에 형성되는 보호층; 상기 박막 트랜지스터의 외곽에 대응되어, 상기 보호층 상에 형성되는 정전기 방출 패턴; 상기 박막 트랜지스터에 대응되며, 상기 제 2 기판 상에 형성된 칼럼 스페이서; 및 상기 제 1, 제 2 기판 사이에 채워진 액정층을 포함하여 이루어지는 것을 특징으로 한다.

명세서

청구범위

청구항 1

서로 대향된 제 1 기관과 제 2 기관;

상기 제 1 기관 상에 서로 교차하여 화소 영역을 정의하는 복수개의 게이트 라인과 데이터 라인;

상기 각 게이트 라인과 데이터 라인의 교차점에, 게이트 전극, 상기 게이트 전극 상에 반도체층, 상기 반도체층의 양측과 접속하도록 배치된 소오스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 게이트 라인, 데이터 라인 및 박막 트랜지스터를 포함한 상기 제 1 기관 전면에 배치되는 보호층;

상기 소오스 전극 및 드레인 전극 사이의 채널과 비중첩되도록 오픈 영역을 가지며, 상기 박막 트랜지스터의 외곽에 대응되어, 상기 보호층 상에 배치되는 정전기 방출 패턴;

상기 오픈 영역 내에서 상기 박막 트랜지스터와 대응되며, 상기 제 2 기관 상에 배치된 칼럼 스페이서; 및

상기 제 1, 제 2 기관 사이에 채워진 액정층을 포함하는 액정 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 정전기 방출 패턴은, 상기 제 1 기관 상의 최상층에 배치되는 액정 표시 장치.

청구항 5

제 4항에 있어서,

상기 정전기 방출 패턴은, 상기 게이트 라인과 전기적으로 접속되는 액정 표시 장치.

청구항 6

제 4항에 있어서,

상기 정전기 방출 패턴은, 상기 데이터 라인과 전기적으로 접속되는 액정 표시 장치.

청구항 7

제 1항에 있어서,

상기 화소 영역에, 서로 교번하는 화소 전극과 공통 전극이 더 구비되는 액정 표시 장치.

청구항 8

제 7항에 있어서,

상기 화소 전극과 공통 전극이, 상기 제 1 기관 상의 최상층에 배치되는 액정 표시 장치.

청구항 9

제 8항에 있어서,

상기 정전기 방출 패턴은, 상기 공통 전극과 일체형으로 이루어지는 액정 표시 장치.

청구항 10

제 8항에 있어서,

상기 정전기 방출 패턴은 상기 공통 전극과 동일층에, 상기 공통 전극과 이격되어 배치되는 액정 표시 장치.

청구항 11

제 9항 또는 제 10항에 있어서,

상기 정전기 방출 패턴은, 불투명 금속으로 이루어지는 액정 표시 장치.

청구항 12

제 9 항 또는 제 10항에 있어서,

상기 정전기 방출 패턴은, 투명 전극으로 이루어지는 액정 표시 장치.

청구항 13

제 1항에 있어서,

상기 정전기 방출 패턴은, 상기 박막 트랜지스터를 둘러싼 폐고리(closed loop)로 이루어지는 액정 표시 장치.

청구항 14

제 13항에 있어서,

상기 정전기 방출 패턴은, 상기 박막 트랜지스터의 소오스 전극의 외곽을 둘러싸도록 배치되는 액정 표시 장치.

청구항 15

제 1항에 있어서,

상기 정전기 방출 패턴은, 상기 박막 트랜지스터의 한변을 개구시켜, "U"형 또는 "ㄷ"형으로 이루어진 액정 표시 장치.

청구항 16

제 15항에 있어서,

상기 정전기 방출 패턴은, 상기 박막 트랜지스터의 소오스 전극의 외곽을 부분적으로 오버랩하며 상기 드레인 전극을 지나가도록 이루어진 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 특히, 외부에서 가해지는 힘에 의해 칼럼 스페이서와 이와 접촉하는 면 사이에 발생한 정전기로 인해 발생된 불량을 해결하도록 정전기 방출 패턴을 구비한 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

[0003] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정 표시 장치가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모

니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

- [0004] 이러한 액정 표시 장치는 상부 및 하부 기판 사이에 액정을 채운 구조로 되어있다. 액정 분자는 구조가 가늘고 길며 배열에 방향성을 가지고 있어서, 액정층에 전계를 가하면 액정 분자의 배열 방향을 조절할 수 있다.
- [0005] 액정 표시 장치에 전계를 가하면, 액정층에 인가되는 전기장에 의해 액정 분자가 움직이며 광투과율이 달라져 화상이나 문자가 표현된다. 이러한 액정 표시 장치는 화질이 우수하며, 가볍고, 소비 전력이 낮아 차세대 첨단 디스플레이 소자로 각광받고 있다.
- [0006] 한편, 액정 표시 장치에서 가장 많이 사용되는 대표적인 구동 모드(mode)는, 액정 방향자가 90° 트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 한 기판상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 횡전계 모드(In-Plane Switching Mode) 등이 있다.
- [0007] 도 1은 종래의 액정 표시 장치의 평면도이며, 도 2는 도 1의 I-I' 선상의 단면도이다.
- [0008] 도 1과 도 2를 참조하면, 액정 표시 장치의 제 1 기판(100) 위에, 종횡으로 배열되어 화소 영역을 정의하는 게이트 라인(102L)과 데이터 라인(108L)이 형성된다.
- [0009] 상기 게이트 라인(102L)과 상기 데이터 라인(108L)의 교차 영역에 박막 트랜지스터가 형성된다. 상기 박막 트랜지스터는 게이트 전극(102), 반도체층(106), 소스 전극(108), 드레인 전극(110)로 구성되며, 상기 소스 전극(108)과 드레인 전극(110) 사이에는 채널이 정의된다.
- [0010] 상기 게이트 전극(102)은 상기 게이트 라인(102L)의 일측에서 돌출 형성되고, 상기 게이트 전극(102)을 덮으며 상기 제 1 기판(100) 전면에 게이트 절연막(104)이 형성된다. 또한, 상기 게이트 절연막(104) 상부의 게이트 전극(102)을 덮는 위치에는 액티브층과 오믹콘택층이 적층된 반도체층(106)이 형성되며, 상기 반도체층(106)의 상부에는 서로 일정간격 이격된 소스 전극(108)과 드레인 전극(110)이 형성된다. 상기 소스 전극(108)은 "U"모양으로 형성된다. 상기 소스 전극(108)과 드레인 전극(110) 사이의 이격 구간에 형성되는 채널은 "U"모양으로 정의되며, 이 부위에서 상기 반도체층(106)의 오믹콘택층은 제거된다.
- [0011] 상기 소스 전극(108)은 상기 데이터 라인(108L)에서, 상기 박막 트랜지스터 형성 부위로 돌출되어 형성되며, 상기 박막 트랜지스터를 포함한 상기 게이트 절연막(104) 상부에는 상기 드레인 전극(110) 상부 일부에 제 1 콘택홀(114H)을 가지는 보호층(112)이 형성된다. 여기서, 상기 제 1 콘택홀(114H)을 통해 상기 드레인 전극(110)과 연결되어 화소 영역에 화소 전극(116)이 형성된다.
- [0012] 이어, 상기 제 1 기판(100)에 대응되도록 제 2 기판(128)이 배치되며, 상기 박막 트랜지스터 대응 부위에 칼럼 스페이서(122)가 형성된다. 이때, 상기 칼럼 스페이서(122)는 상기 제 1 기판(100)과 제 2 기판(128) 사이의 일정한 갭을 유지하는 역할을 한다.
- [0013] 도시된 바와 같이, 상기 칼럼 스페이서(122)의 위치를 박막 트랜지스터에 대응시킨 이유는, 칼럼 스페이서(122)와 대응면간의 접촉 면적을 줄여, 제 1, 제 2 기판(100, 128)을 일 방향으로 미는 터치시 발생하는 터치 불량을 방지하기 위함이다.
- [0014] 이 경우, 도 2와 같이, 단면적으로 살펴보면, 상기 칼럼 스페이서(122)가 박막 트랜지스터에 대응시 상기 칼럼 스페이서(122)는 상기 드레인 전극(110)과 그 주변의 소스 전극(108)의 일부 상의 보호층(112)이 접하게 된다.
- [0015] 또한, 상기 제 1 기판(100)과 제 2 기판(128) 사이에는 액정(미도시)이 개재되어 있다.
- [0016] 그런데, 액정패널의 형성을 완료한 후, 상기 액정패널의 이동 및 모듈과의 조립 공정이나, 혹은 진동 테스트 과정에서, 상기 액정패널에 충격이 가해지면, 외부에서 가해지는 힘에 의해 칼럼 스페이서(122)의 상하 유동이 발생하여, 상기 칼럼 스페이서(122)와 불록한 드레인 전극(110) 및 소스 전극(108) 일부 상부의 보호층(112)이 닿았다 떨어졌다를 반복하면서 상기 칼럼 스페이서(122)와 보호층(112)의 접촉면에서 정전기가 발생한다. 이러한 정전기는 보호층(112)을 타고 들어가 상기 박막 트랜지스터의 채널에 누설 전류가 발생하게 한다. 이 경우, 정전기가 발생된 해당 박막 트랜지스터는 오동작을 유발하여, 해당 부위가 블랙 상태(black state)에서 밝게 보이는 약휘점이나, 화이트 상태(white state)에서 부분적으로 검게 보이는 암점 불량이 발생케 한다.
- [0017] 따라서, 상기 박막 트랜지스터에 칼럼 스페이서(122)가 대응되는 구조에서 진동에 의한 정전기를 해결하고자 하는 노력이 제기되었다.

발명의 내용

해결하려는 과제

[0018] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 외부에서 가해지는 힘에 의해 칼럼 스페이서와 이와 접촉하는 면 사이에 발생한 정전기로 인해 발생된 불량을 해결하도록 정전기 방출 패턴을 형성한 액정 표시 장치를 제공하는데, 그 목적이 있다.

과제의 해결 수단

[0019] 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는, 서로 대향된 제 1 기판과 제 2 기판; 상기 제 1 기판 상에 서로 교차하여 화소 영역을 정의하는 복수개의 게이트 라인과 데이터 라인; 상기 각 게이트 라인과 데이터 라인의 교차점에, 게이트 전극, 상기 게이트 전극 상에 반도체층, 상기 반도체층의 양측과 접속하여 형성된 소오스 전극 및 드레인 전극을 포함하여 형성된 박막 트랜지스터; 상기 게이트 라인, 데이터 라인 및 박막 트랜지스터를 포함한 상기 제 1 기판 전면에 형성되는 보호층; 상기 박막 트랜지스터의 외곽에 대응되어, 상기 보호층 상에 형성되는 정전기 방출 패턴; 상기 박막 트랜지스터에 대응되며, 상기 제 2 기판 상에 형성된 칼럼 스페이서; 및 상기 제 1, 제 2 기판 사이에 채워진 액정층을 포함하여 이루어진다.

[0020] 상기 제 2 기판은, 컬러필터층과 블랙 매트릭스가 더 형성되어 있다.

[0021] 상기 블랙 매트릭스는, 상기 박막 트랜지스터 및 상기 게이트 라인 및 데이터 라인을 가리며, 상기 블랙 매트릭스 상에 상기 칼럼 스페이서가 형성된다.

[0022] 상기 정전기 방출 패턴은, 상기 제 1 기판 상의 최상층에 형성된다.

[0023] 상기 정전기 방출 패턴은, 상기 게이트 라인과 전기적으로 접속된다.

[0024] 상기 정전기 방출 패턴은, 상기 데이터 라인과 전기적으로 접속된다.

[0025] 상기 화소 영역에, 서로 교번하는 화소 전극과 공통 전극이 더 형성된다.

[0026] 상기 화소 전극과 공통 전극이, 상기 제 1 기판 상의 최상층에 형성된다.

[0027] 상기 정전기 방출 패턴은, 상기 공통 전극과 일체형으로 형성된다.

[0028] 상기 정전기 방출 패턴은 상기 공통 전극과 동일층에, 상기 공통 전극과 이격되어 형성된다.

[0029] 상기 정전기 방출 패턴은, 불투명 금속으로 이루어진다.

[0030] 상기 정전기 방출 패턴은, 투명 전극으로 이루어진다.

[0031] 상기 정전기 방출 패턴은, 상기 박막 트랜지스터를 둘러싼 폐고리(closed loop)로 형성된다.

[0032] 상기 정전기 방출 패턴은, 상기 박막 트랜지스터의 소오스 전극의 외곽을 둘러싸며 형성된다.

[0033] 상기 정전기 방출 패턴은, 상기 박막 트랜지스터의 한변을 개구시켜 "U"형 또는 "ㄱ"형으로 형성된다.

[0034] 상기 정전기 방출 패턴은, 상기 박막 트랜지스터의 소오스 전극의 외곽을 부분적으로 오버랩하며 상기 드레인 전극을 지나가도록 형성된다.

발명의 효과

[0035] 상기와 같은 본 발명의 액정 표시 장치는, 다음과 같은 효과가 있다.

[0036] 터치 불량을 방지하기 위해 제안된 구조로, 박막 트랜지스터에 대응되어 칼럼 스페이서를 형성시, 조립 또는 테스트 과정에서, 진동에 의한 상하 유동으로 칼럼 스페이서와 박막 트랜지스터간 정전기를, 정전기 방출 패턴을 구비하여 해결할 수 있다.

[0037] 즉, 박막 트랜지스터의 외곽을 둘러싸도록, 최상층의 패턴으로 정전기 방출 패턴을 형성하여, 칼럼 스페이서와 대응면의 접촉을 통해서 발생하는 정전기를 상기 정전기 방출 패턴을 통해 외부로 효과적으로 방출할 수 있다.

[0038] 이에 따라, 진동에 의한 칼럼 스페이서와 대응면의 순간적인 정전기가 발생한다 하더라도, 바로 정전기 방출 패턴으로 해당 정전기가 방출되도록 하여, 박막 트랜지스터로 정전기가 유입됨을 방지하여, 소자의 파괴를 방지하

였다. 이로써, 정전기로 인한 박막 트랜지스터의 백채널 형성을 방지하고, 이로써, 박막 트랜지스터 부위에서 약휘점이나 암점 불량을 방지하여, 결과적으로, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0039] 도 1은 종래의 액정 표시 장치의 평면도이다.
- 도 2는 도 1의 I-I' 선상의 단면도이다.
- 도 3은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 평면도이다.
- 도 4는 도 3의 II-II' 선상의 단면도이다.
- 도 5는 도 3의 III-III' 선상의 단면도이다.
- 도 6은 도 3의 IV-IV' 선상의 단면도이다.
- 도 7은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 평면도이다.
- 도 8은 본 발명의 제 3 실시예에 따른 액정 표시 장치의 평면도이다.
- 도 9 및 도 10은 본 발명의 다양한 형태의 정전기 방출 패턴을 나타내는 액정 표시 장치의 칼럼 스페이서 대응 부위를 나타낸 평면 확대도이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치를 상세히 설명하면 다음과 같다.
- [0041] 본 발명의 액정 표시 장치는, 특히, 칼럼 스페이서가 터치 불량을 위해 접촉면적이 작은 박막 트랜지스터에 대응하여 위치할 때, 상기 박막 트랜지스터 부위와 칼럼 스페이서 사이의 진동에 의한 정전기를 방지한 구조이다.
- [0042] 이러한 구조에서는, 또한 칼럼 스페이서는 상기 박막 트랜지스터의 상부에 위치하며, 상부 면적이 하부 면적보다 큰 기둥 형상이다. 이 경우, 상기 박막 트랜지스터의 드레인 전극 상과 소오스 전극 상의 일부의 보호층만 칼럼 스페이서와 접촉되어, 액정 패널의 표면을 일방향으로 미는 터치시, 상대적으로 제 1 기판에 비해 제 2 기판이 밀려, 쉬프트될 때, 마찰력을 줄여, 원래 상태로 돌아오는 시간을 줄여 터치 불량을 해소한 구조이다. 이러한 터치 불량 방지 구조에서, 정전기 방출 패턴을 구비하여, 진동에 의한 정전기를 해소한다.
- [0043] * 제 1 실시예 *
- [0044] 도 3은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 평면도이고, 도 4는 도 3의 II-II' 선상의 단면도이고, 도 5는 도 3의 III-III' 선상의 단면도이며, 도 6은 도 3의 IV-IV' 선상의 단면도이다.
- [0045] 도 3 내지 도 6을 참조하면, 본 발명의 제 1 실시예에 따른 액정 표시 장치는, 서로 대향된 제 1 기판(200)과 제 2 기판(228)과, 상기 제 1 기판(200) 상에 서로 교차하여 화소 영역을 정의하는 복수개의 게이트 라인(202L)과 데이터 라인(208L)과, 상기 각 게이트 라인(202L)과 데이터 라인(208L)의 교차점에, 게이트 전극(202), 상기 게이트 전극(202) 상에 반도체층(206), 상기 반도체층(206)의 양측과 접촉하여 형성된 소오스 전극(208) 및 드레인 전극(210)을 포함하여 형성된 박막 트랜지스터(TFT)와, 상기 게이트 라인(202L), 데이터 라인(208L) 및 박막 트랜지스터(TFT)를 포함한 상기 제 1 기판(200) 전면에 형성되는 보호층(212)과, 상기 박막 트랜지스터(TFT)의 외곽에 대응되어, 상기 보호층(212) 상에 형성되는 정전기 방출 패턴(216)과, 상기 박막 트랜지스터(TFT)에 대응되며, 상기 제 2 기판(228) 상에 형성된 칼럼 스페이서(222) 및 상기 제 1, 제 2 기판(200, 228) 사이에 채워진 액정층(218)을 포함하여 이루어진다.
- [0046] 여기서, 상기 게이트 전극(202)은 상기 박막 트랜지스터의 형성 부위에 상기 게이트 라인(202L)으로부터 돌출되어 형성되며, 상기 소오스 전극(208)은 상기 데이터 라인(208L)으로부터 상기 박막 트랜지스터의 형성 부위에 돌출되어 형성되며, 상기 드레인 전극(210)은 상기 소오스 전극(208)과 이격되어 형성된다. 도시된 도면과 같이, "U"자형으로 소오스 전극(208)이 형성될 때, 상기 드레인 전극(210)은 상기 "U"자형 소오스 전극(208)의 양 "I" 패턴 사이로 들어오도록 형성된다.
- [0047] 그리고, 상기 게이트 라인(202L) 층과 상기 반도체층(206) 사이의 층간에는 게이트 절연막(204)이 상기 제 1 기판(200) 전면을 덮도록 형성된다.

- [0048] 상기 반도체층(206)은 아래에서부터 차례로 액티브층(206b) 및 오믹콘택층(206a)이 적층되어 형성되며, 상기 오믹 콘택층(206a)은 상기 소오스 전극(208)과 드레인 전극(210) 사이에 제거되어 있다. 여기서, 상기 소오스 전극(208)과 드레인 전극(210) 사이의 영역을 채널이라 정의한다. 즉, 상기 소스 전극(208)과 드레인 전극(210) 간의 이격 구간에는 액티브층(206b)의 일부를 노출시킨 채널(ch)이 형성된다.
- [0049] 한편, 상기 제 2 기관(200) 상에는, 블랙 매트릭스층(224)과, 컬러 필터층이(226)이 형성된다. 이 때, 상기 블랙 매트릭스층(224)은 상기 게이트 라인(202L)과, 데이터 라인(208L)과, 박막 트랜지스터 부위를 가리도록 형성되며, 상기 컬러 필터층(226)은 적어도 화소 영역에 대응되도록 형성된다.
- [0050] 그리고, 상기 칼럼 스페이서(222)는 상기 블랙 매트릭스층(224) 상에 형성되어, 상기 박막 트랜지스터에 대응되어 형성된다. 이 경우, 상기 박막 트랜지스터(222)는, 중심에 드레인 전극(210)이, 양 측에서 소오스 전극(208) 일부가 대응되며, 이들 상부에 형성된 보호층(212)과 접하여 형성된다.
- [0051] 여기서, 상기 정전기 방출 패턴(220)은 상기 제 1 기관(100) 상의 최상층에 형성되는 것이다. 도시된 예에서는 공통 전극(211)이 최상층에 형성된 예로, 상기 공통 전극(211)과 일체형으로 정전기 방출 패턴(220)을 형성한 예를 나타낸 것이다.
- [0052] 이 경우, 상기 정전기 방출 패턴(220)은, 상기 박막 트랜지스터의 한변을 개구시켜, 상기 "U"형의 소오스 전극(208)의 외곽을 따라 형성되어 있으며, 반드시 이에 한정되는 것은 아니고, 상기 소오스 전극(208)의 주변으로 그 모양을 달리하여 형성될 수 있을 것이다.
- [0053] 한편, 도시된 도 3의 평면도 일례로 수평 IPS(In-Plane Switching) 모드를 나타낸 것으로, 화소 영역에 서로 교번하는 화소 전극(216)과 공통 전극(211)이 서로 수평 방향에서 1~45° 수준의 예각으로 경사져서 형성됨을 나타낸다. 이 경우, 공통 라인(211L)은 상기 화소 영역 내부에서는 게이트 라인(202L)과 평행한 방향으로 형성되어, 상기 공통 전극(211)과 접속되며, 이어 화소 영역 외곽에서 데이터 라인(208L)과 평행한 방향으로 연장된다.
- [0054] 상기 소스 전극(208)은 상기 데이터 라인(208L)과 연결되고, 상기 박막 트랜지스터 상부에는 제 1 콘택홀(214H)을 가지는 보호층(212)이 형성된다. 상기 화소 영역(미도시)에는 제 1 콘택홀(214H)을 통해 상기 드레인 전극(210)과 연결되는 화소 전극(216)이 형성되고, 상기 화소 전극(216)은, 상기 공통 전극(211)과 교대로 배치되어 횡전계를 발생시킨다.
- [0055] 상기 화소 전극(216) 및 공통 전극(211)은 도시된 바와 같이, 최상층에 형성될 때, 투명 전극으로 형성될 수도 있고, 차광성의 금속으로 형성될 수도 있다. 전자의 경우는, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 중 선택되어 이루어지며, 후자의 경우는 몰리브덴 혹은 몰리브덴 적층체, 구리, 알루미늄, 알루미늄-네오듐(Al-Nd) 합금, 크롬(Cr)등의 차광성 재료에서 선택한다.
- [0056] 이 경우, 상기 공통 전극(211)과 일체형으로 형성되는 정전기 방출 패턴(220)은 상기 공통 전극(211)의 재료에 따라, 투명 전극 또는 차광성 금속으로 형성될 수 있는 것이다.
- [0057] 또한, 상기와 같은 구성을 갖는 제 1 기관(200)에 대응되는 제 2 기관(228) 사이에 액정(218)이 개재되어 있다.
- [0058] 그리고, 상기 제 1 기관(200)과 제 2 기관(228)의 일정한 갭을 유지하기 위한 칼럼 스페이서(222)는 기둥 형상이며, 제 2 기관(228)과 닿아있는 상부 면적이 하부 단면의 면적보다 크게 형성된다. 또한, 상기 칼럼 스페이서(222)는 감광성 유기물질로 형성되는 것으로, 노광 공정, 잉크젯 공정, 인플레이션 공정 등을 통해 제조될 수 있다.
- [0059] 한편, 상기 공통 전극(211)과 상기 공통 라인(211L)이 같은 층에 형성되지 않으므로, 상기 공통 전극(211)과 상기 공통 라인(211L)을 연결하기 위해 상기 보호층(212)에 제 2 콘택홀(234H)을 형성한다.
- [0060] 이하, 본 발명의 액정 표시 장치에 이루어지는 진동 테스트 또는 진동 현상에 대해 설명한다.
- [0061] 상기와 같은 액정 표시 장치를 운반하거나 조립 혹은 진동 테스트 공정에서, 상기 칼럼 스페이서(222)의 상하 유동이 발생하면, 순간적으로 상기 칼럼 스페이서(222)와 그와 닿는 상기 보호층(212) 일부에 정전기가 발생할 수 있다. 이 경우, 정전기는 상기 박막 트랜지스터에 영향을 주기 전 보다 인접한 최상층의 상기 정전기 방출 패턴(216)을 타고 들어간다. 이에 따라, 정전기는 상기 공통 전극(211)과 동일층에 형성되는 정전기 방출 패턴(216)에 들어가고, 실질적으로 접지 전압 또는 상전압이 인가되는 공통 전극(211)과 연결되어, 정전기가 빠르게 방출된다.

- [0062] 따라서 본 발명의 액정 표시 장치는 정전기 방출 패턴(220)을 형성하여 정전기를 방출한다.
- [0063] 상기 정전기 방출 패턴(220)은 박막 트랜지스터로 정전기가 유입되면, 누설전류가 발생해 화면 얼룩이나 휘점 등의 화질 불량에 발생시킬 수 있으므로, 이를 방지하기 위한 것으로, 상기 정전기 방출 패턴(220)은 상기 보호층(212) 상부에 상기 박막 트랜지스터의 채널(ch)을 덮지 않으며 상기 박막 트랜지스터를 감싸도록 형성된다.
- [0064] 또한, 상기 정전기 방출 패턴(220)은 상기 공통 전극(211)에 연결되어, 상기 정전기는 상기 공통 전극(211)을 통해 액정 표시 장치의 패널에 퍼지는데, 상기 정전기가 수백 내지 수천 키로 볼트(Kilo Volt)의 정전기가 아닌 매우 약한 정전기 이므로, 상기 정전기가 패널에 퍼져도 액정 표시 장치의 구동에 영향을 미치지 않는다. 따라서, 정전기를 방출하기 위해 정전기 방출 회로를 공통 전극(211)에 연결할 필요는 없다.
- [0065] * 제 2 실시예 *
- [0066] 이하, 본 발명의 제 2 실시예에 따른 액정 표시 장치는 다음과 같다.
- [0067] 도 7은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 평면도이다.
- [0068] 도 7을 참조하여, 제 2 실시예와 제 1 실시예의 다른 점은, 정전기 방출 패턴(322)을 공통 전극(211)으로부터 이격하여 섬상으로 형성하고, 게이트 라인(302L)과의 전기적 경로를 갖는 것이다.
- [0069] 구체적으로 설명하면, 게이트 라인(302L) 상에 위치한, 제 3 콘택홀(302H)을 통해 정전기 방출 패턴(322)이 게이트 라인(302L)에 연결된다. 이 경우, 상기 제 3 콘택홀(302H)은 보호층과 게이트 절연막을 관통하여 형성되며, 상기 제 3 콘택홀(302H)을 통해 상기 게이트 라인(302L)과 상기 정전기 방출 패턴(322)이 접속된다. 그리고, 제 2 실시예는 발생한 정전기가 게이트 라인(302L)을 통해 정전기 방지 회로(미도시)로 연결되어 정전기가 방출된다. 이 경우에도, 순간적으로 발생한 정전기가 상기 최상층의 정전기 방출 패턴(322)을 타고, 게이트 라인(302L)에 전달되더라도, 게이트 하이 또는 로우 신호가 인가되고, 그 일측의 정전기 방지 회로에 게이트 라인(L)이 연결되어, 정전기 방출이 빠른 시간에 이루어지게 한다.
- [0070] * 제 3 실시예 *
- [0071] 이하, 본 발명의 제 3 실시예에 따른 액정 표시 장치는 다음과 같다.
- [0072] 도 8은 본 발명의 제 3 실시예에 따른 액정 표시 장치의 평면도이다.
- [0073] 도 8을 참조하여, 제 3 실시예와 제 1 실시예의 다른 점은, 정전기 방출 패턴(422)을 공통 전극(411)으로부터 이격하여 섬상으로 형성하고, 데이터 라인(408L)과의 전기적 경로를 갖는 것이다.
- [0074] 구체적으로 설명하면, 데이터 라인(408L) 상에 위치한, 제 4 콘택홀(402H)을 통해 정전기 방출 패턴(422)이 데이터 라인(408L)에 연결된다. 그리고, 제 3 실시예는 발생한 정전기가 게이트 라인(402L)을 통해 정전기 방지 회로(미도시)로 연결되어 정전기가 방출된다. 이 경우에도, 순간적으로 발생한 정전기가 상기 최상층의 정전기 방출 패턴(422)을 타고, 데이터 라인(408L)에 전달되더라도, 그 일측에 정전기 방지 회로에 데이터 라인(408L)이 연결되어, 정전기 방출이 빠른 시간에 이루어지게 한다.
- [0075] 이하, 본 발명의 액정 표시 장치의 다양한 정전기 방출 패턴의 변형예를 살펴본다.
- [0076] 도 9 및 도 10은 본 발명의 다양한 형태의 정전기 방출 패턴을 나타내는 액정 표시 장치의 칼럼 스페이스 대응 부위를 나타낸 평면 확대도이다.
- [0077] 도 9와 같이, 상기 정전기 방출 패턴(520)은 상기 박막 트랜지스터 소오스 전극(208)의 외곽을 부분적으로 오버랩하며 상기 드레인 전극(210)을 지나가도록 형성될 수 있다. 이 경우, 상기 정전기 방출 패턴(520)은, 상기 박막 트랜지스터의 한변을 개구시켜, "U"형 또는 "ㄷ"형으로 형성될 수 있다.
- [0078] 또한, 도 10과 같이, 정전기 방출 패턴(620)은 상기 박막 트랜지스터를 둘러싼 폐고리(closed loop) 형상으로 형성될 수 있다. 도시된 형태는 "口"형으로 도시되어 있으나, 원형, 세모형을 포함하여, 닫힌 형태의 다각형 폐고리(closed loop) 형상으로 형성될 수 있을 것이다. 이 경우, 상기 정전기 방출 패턴(620)은, 상기 박막 트랜지스터의 소오스 전극(208)의 외곽을 둘러싸며 형성된다.
- [0079] 상기와 같이, 도 9 및 도 10의 정전기 방출 패턴(520, 620)이 상기 박막 트랜지스터를 감싸며 형성되면, 칼럼 스페이스(222)의 유동으로 발생한 정전기를 보다 효과적으로 방출할 수 있다.
- [0080] 이상과 같이, 본 발명의 액정 표시 장치는, 박막 트랜지스터를 감싸는 형태로 정전기 방출 패턴을 형성하고, 상

기 정전기 방출 패턴은 공통 전극 또는 게이트 라인에 연결된다. 그리고, 상기와 같은 액정 표시 장치에 충격이 가해져 칼럼 스페이스의 유동으로 인해 정전기가 발생하면, 상기 정전기 방출 패턴을 통해 정전기가 방출된다.

[0081] 따라서, 본 발명은 박막 트랜지스터의 불량률 야기시키는 정전기를 정전기 방출 패턴을 통해 방출함으로써, 박막 트랜지스터의 파괴를 방지하고, 정전기가 채널에 유입되어 누설전류가 발생하고, 누설전류로 인하여 화면 얼룩이나 휘점 등의 불량률 야기시키는 문제를 방지하여, 액정 표시 장치의 화질과 신뢰성을 향상시킬 수 있다.

[0082] 또한, 상술한 본 발명은 액정 표시 장치는, 수평 횡전계(H-IPS: Horizontal In Plane Switching) 모드를 도시하여 설명하였으나, 이에 한정되지 않고, 본 발명은 TN 및 IPS 모드에도 확대하여 적용 가능할 것이다.

[0083] TN 모드의 경우에는 상기 칼럼 스페이스가 블랙 매트릭스층 상의 공통 전극 상에 대응하여 형성할 것이다.

[0084] 또한, 상술한 본 발명의 액정 표시 장치는, 소형 모델에 있어서, 배선 폭이 점점 줄어드는 구조에서, 칼럼 스페이스의 직경이 배선 폭보다 클 때, 배선 폭이 줄어들어, 개구율 문제로 칼럼 스페이스의 위치를 박막 트랜지스터가 아닌 타 배선 부위로 할 수 없을 경우에도 유용하게 정전기를 줄일 수 있는 구조이다.

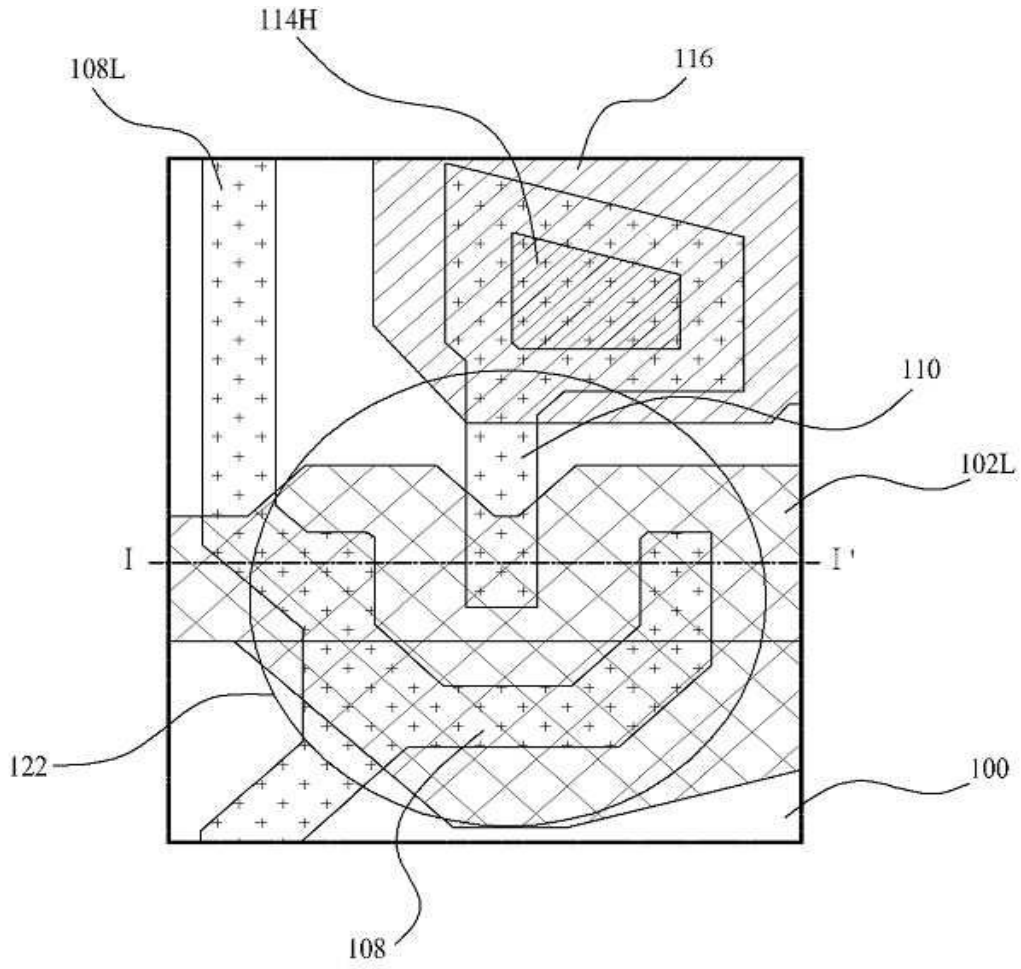
[0085] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

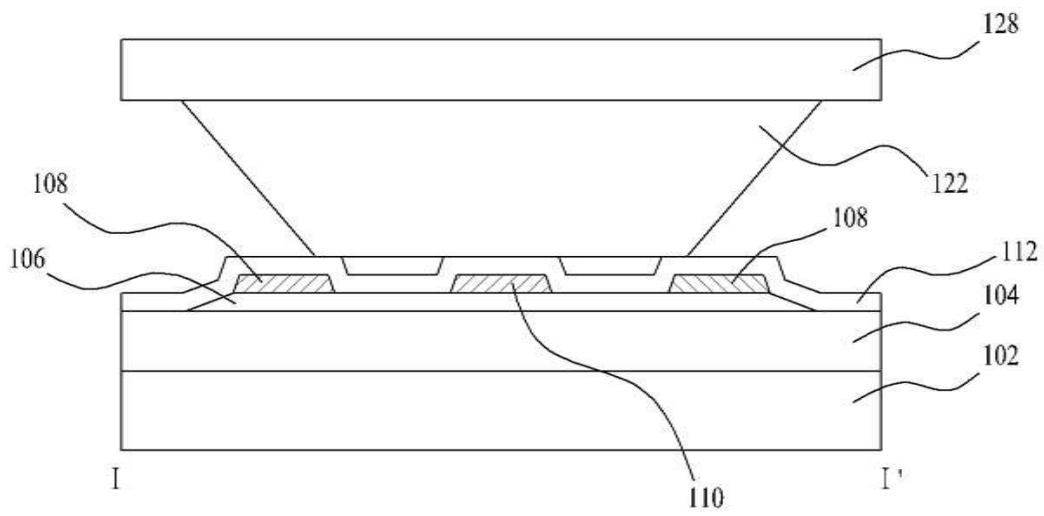
- [0086] 200: 제 1 기관 202L: 게이트 라인
- 208: 소스 전극 208L: 데이터 라인
- 210: 드레인 전극 211: 공통 전극
- 211L: 공통 라인 214H: 제 1 콘택홀
- 216: 화소 전극 220: 정전기 방출 패턴
- 222: 칼럼 스페이스 234H: 제 2 콘택홀

도면

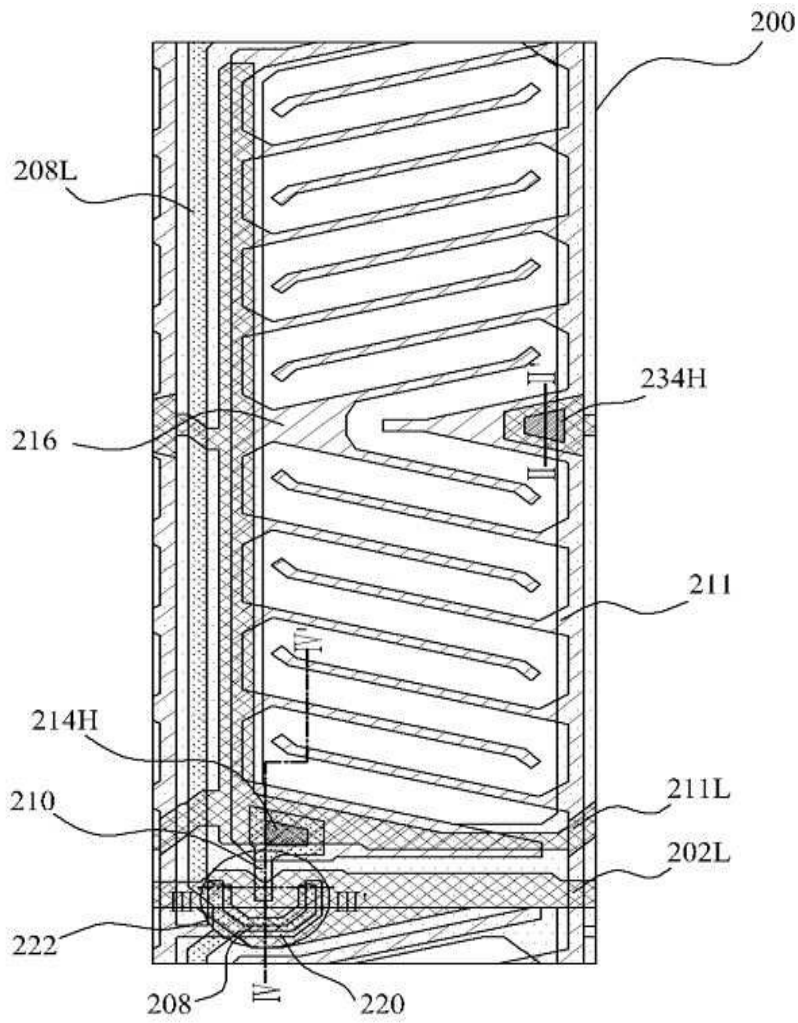
도면1



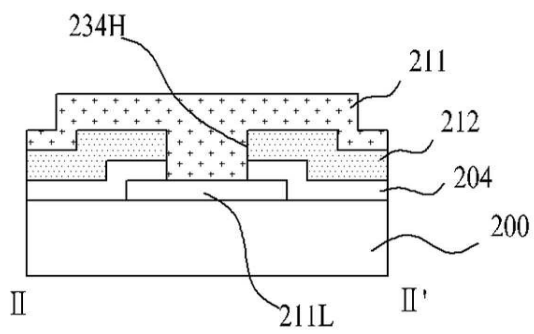
도면2



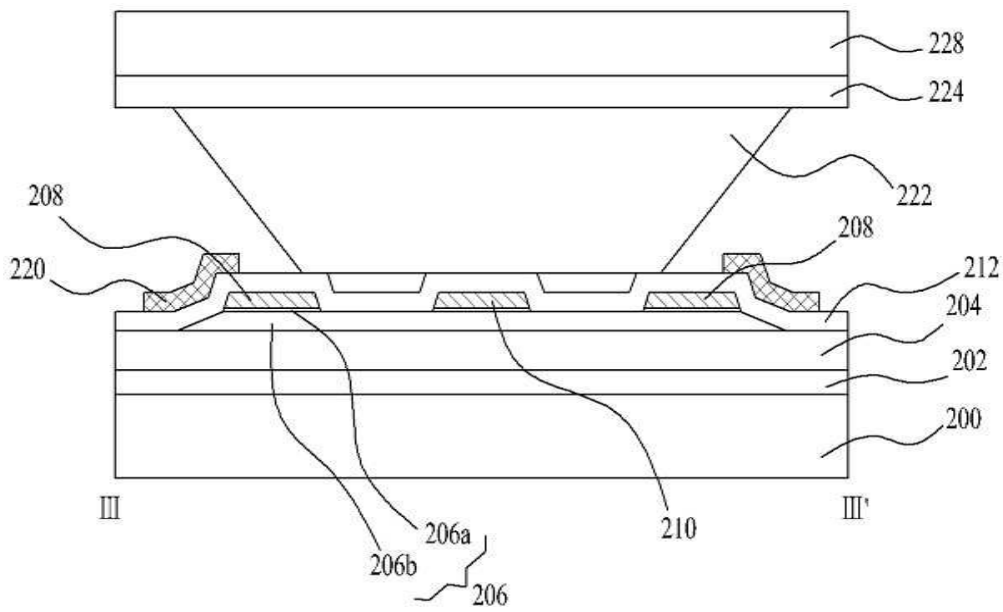
도면3



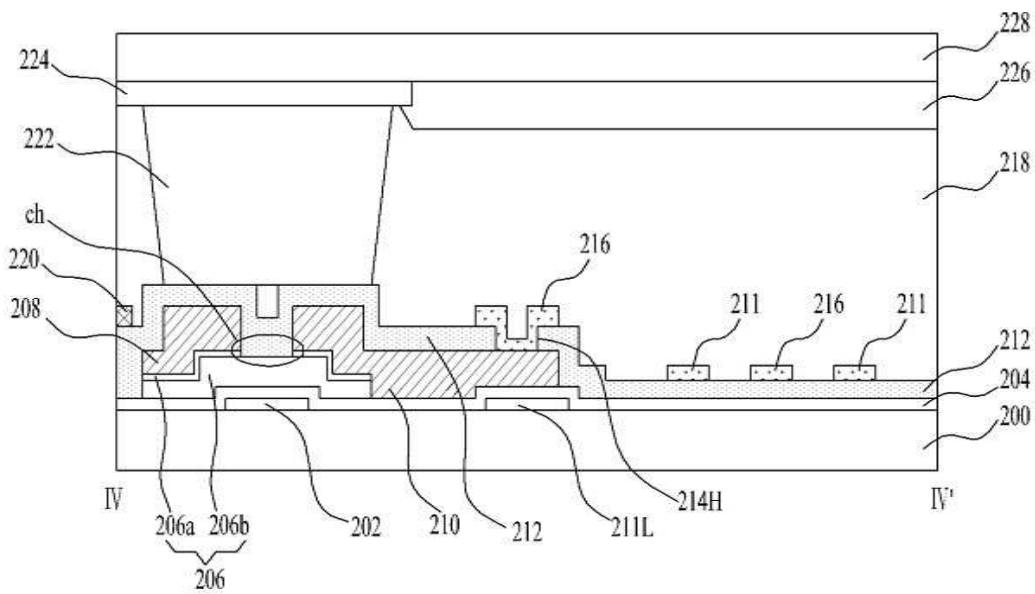
도면4



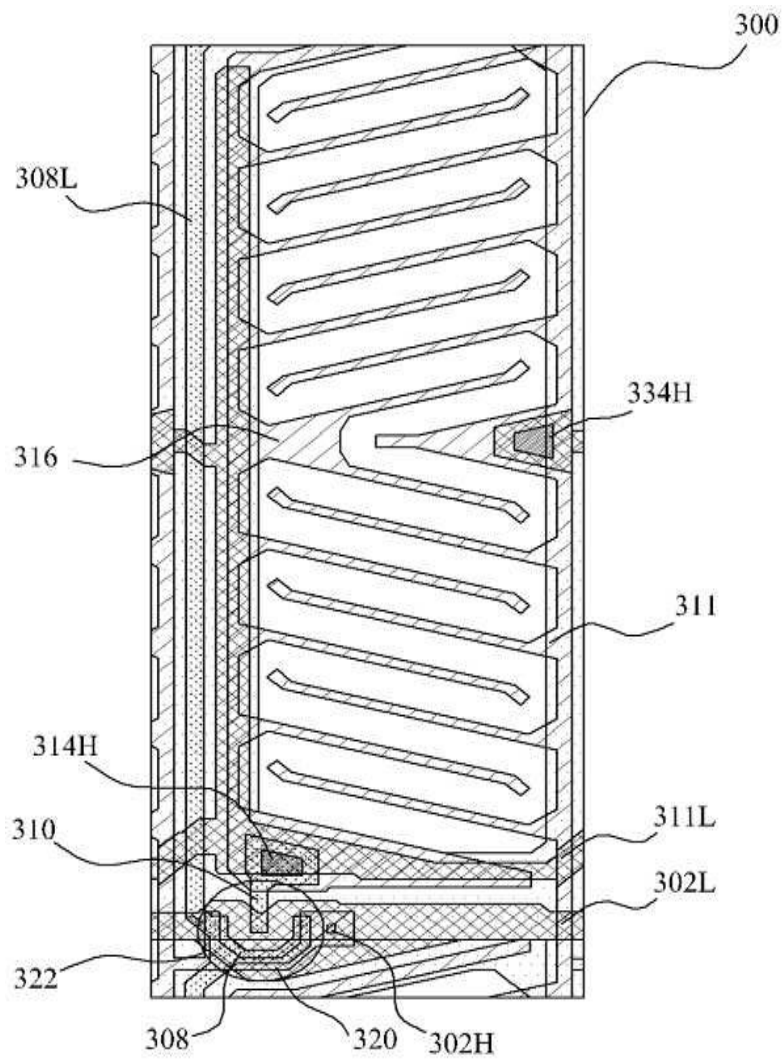
도면5



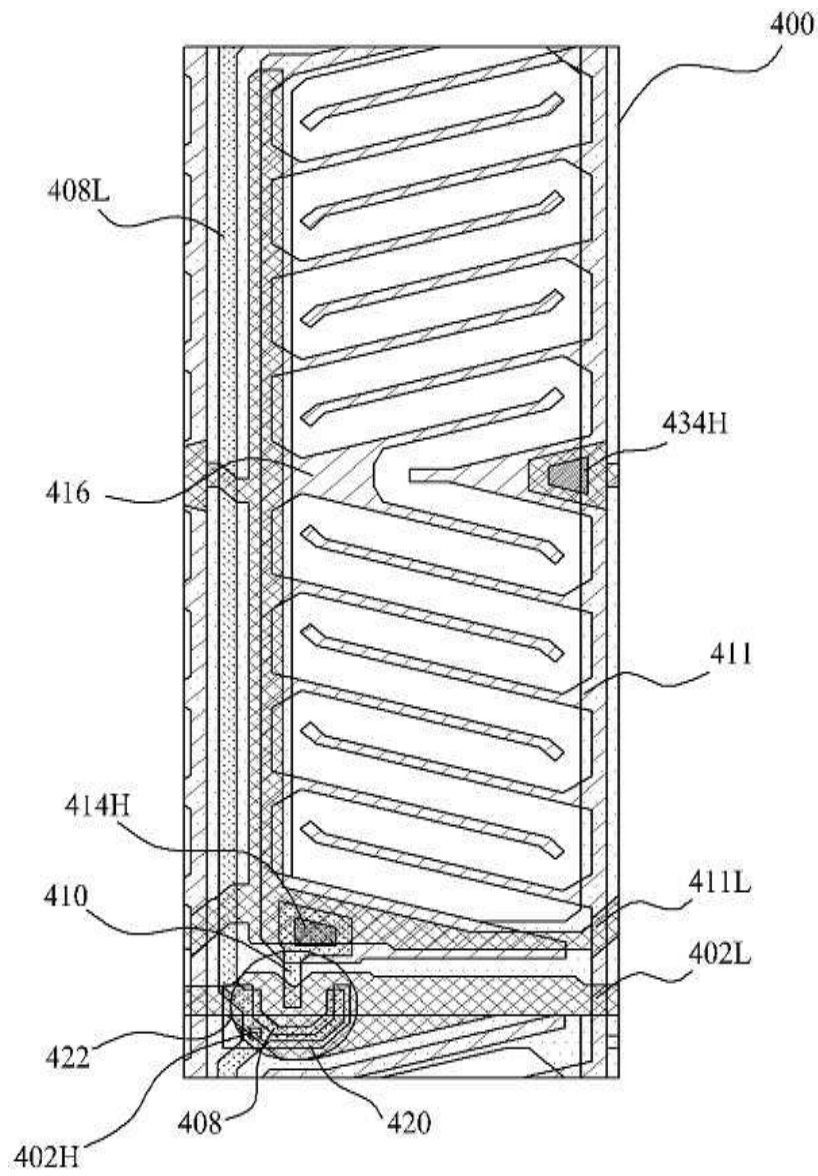
도면6



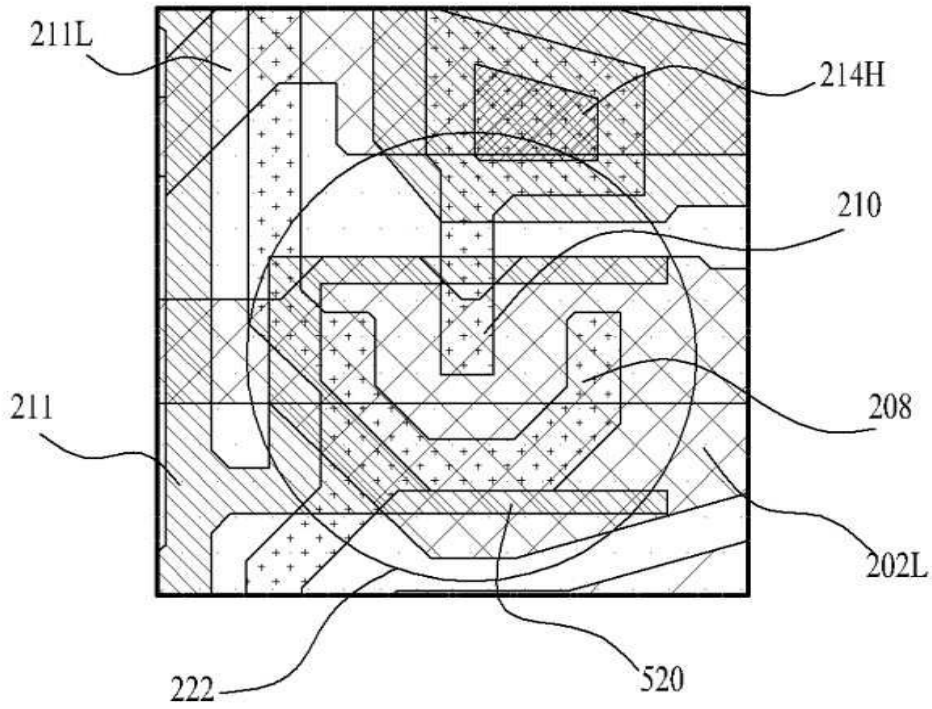
도면7



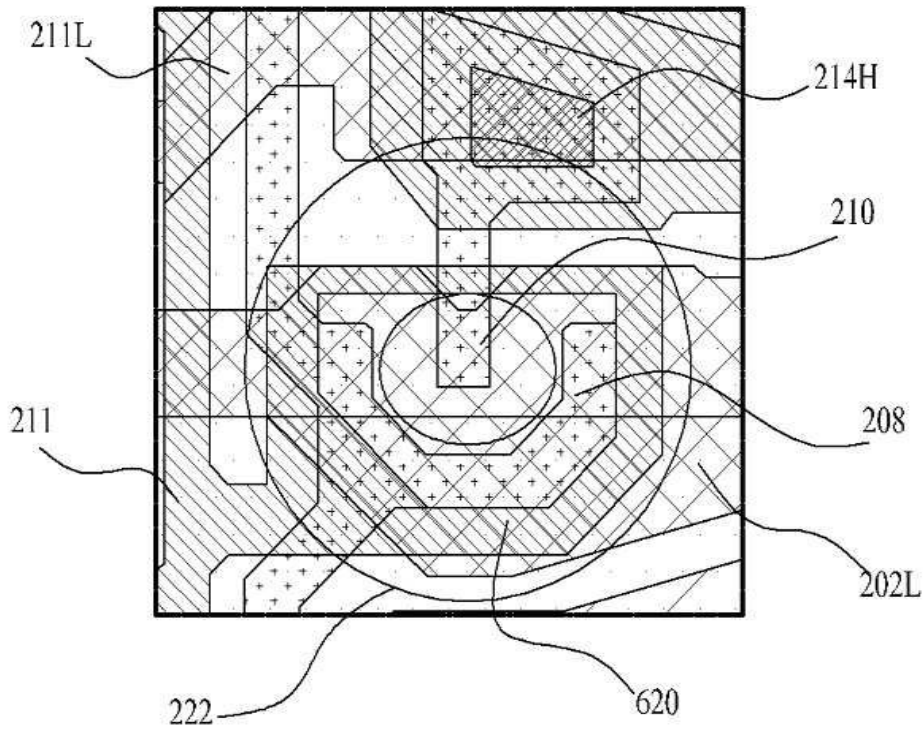
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제7항, 2째줄

【변경전】

구비하는

【변경후】

구비되는

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR101756655B1 | 公开(公告)日 | 2017-07-27 |
| 申请号 | KR1020100035187 | 申请日 | 2010-04-16 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG DISPLAY CO. LTD. | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | LEE MIN JIC 이민직 | | |
| 发明人 | 이민직 | | |
| IPC分类号 | G02F1/1339 G02F1/1343 G02F1/1345 G02F1/1362 | | |
| CPC分类号 | G02F1/13394 G02F1/1345 G02F1/134363 G02F1/136286 G02F1/136227 G02F2202/22 | | |
| 代理人(译) | Bakyoungbok | | |
| 其他公开文献 | KR1020110115714A | | |
| 外部链接 | Espacenet | | |

摘要(译)

用途：提供具有静电放电图案的液晶显示装置以解决静电放电图案。组成：第一（200）和第二基板彼此面对。多条栅极线（202L）和数据线（208L）通过在第一基板上交换来限定像素区域。通过在数据线和每条栅极线的交叉点上包括栅电极，在栅电极上的半导体，源电极（208）和漏电极（210）来形成薄膜晶体管。在包括栅极线，数据线和薄膜晶体管的第一衬底前表面上形成保护层。在保护层上形成静电放电图案（216）。柱状衬垫料（222）形成在第二基板上。在第一和第二基板之间填充液晶层。COPYRIGHT KIPO 2012

