



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0056751
(43) 공개일자 2019년05월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01)
(52) CPC특허분류
G02F 1/1362 (2013.01)
G02F 2001/136222 (2013.01)
(21) 출원번호 10-2017-0154026
(22) 출원일자 2017년11월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
전우열
경기도 파주시 월롱면 엘지로 245
유지선
경기도 파주시 월롱면 엘지로 245
윤지애
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인벤팡크

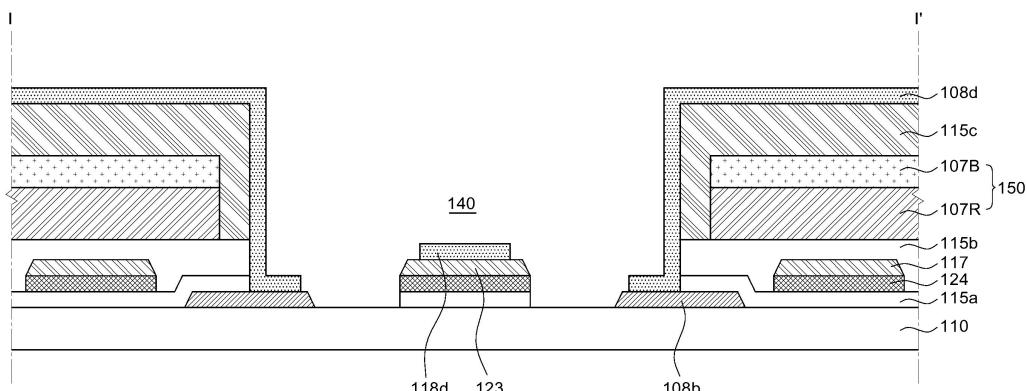
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 액정표시장치

(57) 요 약

본 발명의 일 실시예에 따른 액정표시장치 및 그 제조방법은 컬러필터를 어레이 기판에 형성한 COT(Color filter On TFT) 구조를 적용하여, 화소영역 외부에 하나의 컨택홀을 형성하여 드레인 컨택과 공통전극 컨택을 동시에 함으로써, 투과율과 개구율을 극대화할 수 있다. 또한, 기존 컨택홀 대비 홀 크기의 증가로 홀 막힘 등이 개선되어 수율이 향상될 수 있다.

대 표 도



(52) CPC특허분류

G02F 2201/121 (2013.01)

G02F 2201/123 (2013.01)

명세서

청구범위

청구항 1

기판 위에 교차하여 다수의 화소영역을 정의하는 다수의 게이트라인과 데이터라인;

상하로 이웃하는 상기 화소영역들 사이에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막 트랜지스터;

상기 화소영역들 사이에 구비되며, 접속부를 포함하는 공통라인;

상기 화소영역들 사이의 상기 드레인전극과 상기 공통라인 접속부를 함께 노출시키는 컨택홀;

상기 화소영역에 교대로 배치되는 다수의 공통전극과 화소전극; 및

상기 컨택홀을 통해, 상기 노출된 드레인전극과 상기 화소전극 사이를 전기적으로 접속하는 화소전극 접속부 및 상기 노출된 공통라인 접속부와 상기 공통전극 사이를 전기적으로 접속하는 공통전극 접속부를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 화소영역에 구비되는 컬러필터층; 및

상기 화소영역들 사이에 적어도 하나의 컬러필터층으로 구성된 차광층을 더 포함하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 차광층은 적색 컬러필터층 위에 청색 컬러필터층이 적층되어 구성된 액정표시장치.

청구항 4

제2항에 있어서,

상기 차광층을 덮도록 구비되는 오버코트층을 더 포함하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 공통라인은 상기 게이트라인에 대해 나란한 방향으로 배치되는 액정표시장치.

청구항 6

제1항에 있어서,

상기 공통라인 접속부는 상기 공통라인으로부터 돌출하여 상기 컨택홀을 통해 일부가 노출되는 액정표시장치.

청구항 7

제1항에 있어서,

상기 컨택홀은, 상기 화소영역들 사이의 상기 공통라인과 상기 게이트라인 사이에 하나 배치되는 액정표시장치.

청구항 8

제1항에 있어서,

상기 화소영역의 상측에 배치되어 상기 다수의 공통전극 일측과 연결되는 공통전극 라인을 더 포함하는 액정표

시장치.

청구항 9

제8항에 있어서,

상기 공통전극 라인은 상기 게이트라인에 대해 나란한 방향으로 배치되는 액정표시장치.

청구항 10

제1항에 있어서,

상기 데이터라인에 인접한 공통전극은 하부로 연장되어 상기 공통전극 접속부에 연결되는 액정표시장치.

청구항 11

제1항에 있어서,

상기 화소전극 접속부는 상기 다수의 화소전극 일측과 연결되는 액정표시장치.

청구항 12

제1항에 있어서,

상기 데이터라인의 적어도 일측에 배치되며, 상기 공통라인과 연결된 차폐라인을 더 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 컬러필터를 어레이 기판에 형성한 COT(Color filter On TFT) 구조의 액정표시장치에 관한 것이다.

배경 기술

[0002]

일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동한다. 액정은 구조가 가늘고 길기 때문에 문자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 문자배열의 방향을 제어할 수 있다.

[0003]

따라서, 액정의 문자배열 방향을 임의로 조절하면, 액정의 문자배열이 변하게 되고, 광학적 이방성에 의해 액정의 문자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004]

이중에서 박막트랜지스터와 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD; AMLCD)가 해상도 및 동영상 구현능력이 우수하여 주목 받고 있다.

[0005]

액정표시장치는 컬러필터, 공통전극 등이 형성된 상부기판과 스위칭 소자, 화소전극 등이 형성된 하부 기판 및 두 기판 사이에 개재된 액정으로 이루어진다. 이러한 액정표시장치에서는 공통전극과 화소전극 사이에 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0006]

또한, 상부기판 및 하부기판 각각에 형성되었던 컬러필터와 스위칭 소자를 동일한 기판에 형성하는 기술이 제안되어 왔다. 이는 이른바 COT(Color filter On TFT)형으로, 컬러필터를 스위칭 소자가 형성되는 하부기판에 형성하는 구조이다. 이는 상부기판 및 하부기판을 합착하는 공정에서 고려되는 합착마진을 줄여 개구율 등의 향상을 목적으로 하는 것이다.

[0007]

[관련기술문헌]

[0008]

1. 횡전계형 액정표시장치용 어레이 기판 및 이의 제조 방법(특허출원번호 제10-2006-0051948호).

발명의 내용

해결하려는 과제

[0009]

최근 사용되는 COT 구조의 액정표시장치는 합착마진을 줄여 개구율 등이 향상되는 이점이 있으나, 드레인전극과

화소전극 사이의 컨택을 위한 드레인 컨택홀 및 공통라인과 공통전극 사이의 컨택을 위한 공통전극 컨택홀 각각을 개별적으로 형성하게 된다.

[0010] 이는 데이터 신호 및 공통전압 신호가 서로 단락이 되면 안되기 때문에 드레인 컨택홀과 공통전극 컨택홀을 구분하여 형성하게 되며, 공통전극 컨택홀은 드레인 컨택홀과는 달리 화소영역 내에 형성됨에 따라 개구부 영역이 줄어들어 투과율이 저하되게 되었다. 특히, COT 구조의 경우 적색 서브-화소와 녹색 서브-화소 및 청색 서브-화소간 개구부 영역이 달라짐에 따라 색이상 불량이 발생할 가능성이 있었다.

[0011] 본 발명의 발명자들은 COT 구조에 있어 비개구영역 중에 가장 큰 부분을 차지하는 부분이 컬러필터 홀(컬러필터를 제거하여 드레인전극을 노출시키는 홀)인 점에 착안하여, 비개구영역에 컬러필터 홀과 절연층 홀을 뚫고, 그 부분에 드레인전극과 공통전극을 구분하여 연결하는 구조를 발명하였다.

[0012] 즉, 화소영역 외부(일 예로, 상하로 이웃하는 화소영역들 사이)에 하나의 컨택홀을 형성하여 드레인 컨택과 공통전극 컨택을 동시에 함으로써, 투과율과 개구율을 극대화할 수 있다. 또한, 기존 컨택홀 대비 홀 크기의 증가로 홀 막힘 등이 개선되어 수율이 향상될 수 있다.

[0013] 이에, 본 발명이 해결하고자 하는 과제는 컬러필터를 어레이 기판에 형성한 COT 구조를 적용하되, 투과율과 개구율을 극대화할 수 있는 액정표시장치를 제공하는 것이다.

[0014] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0015] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 액정표시장치는, 기판 위에 교차하여 다수의 화소영역을 정의하는 다수의 게이트라인과 데이터라인, 상하로 이웃하는 화소영역들 사이에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막 트랜지스터, 화소영역들 사이에 구비되며, 접속부를 포함하는 공통라인, 화소영역들 사이의 드레인전극과 공통라인 접속부를 함께 노출시키는 컨택홀, 화소영역에 교대로 배치되는 다수의 공통전극과 화소전극 및 컨택홀을 통해, 노출된 드레인전극과 화소전극 사이를 전기적으로 접속하는 화소전극 접속부 및 노출된 공통라인 접속부와 공통전극 사이를 전기적으로 접속하는 공통전극 접속부를 포함할 수 있다.

[0016] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0017] 본 발명은 화소영역 외부에 하나의 컨택홀을 형성하여 드레인 컨택과 공통전극 컨택을 동시에 함으로써, 투과율과 개구율을 극대화할 수 있다. 즉, 드레인 홀과 공통전극 홀의 공유를 통해 기존의 화소영역에 배치되는 공통전극 홀의 면적에 해당하는 만큼의 개구율이 증가될 수 있다.

[0018] 또한, 기존 컨택홀 대비 홀 크기의 증가로 홀 막힘 등이 개선되어 수율이 향상될 수 있다.

[0019] 또한, 화소영역 내에 공통전극 홀을 형성하지 않음에 따라, 서브-화소간 개구부 영역이 달라짐에 따른 색이상 불량이 발생할 가능성이 원천적으로 차단될 수 있다.

[0020] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 보여주는 평면도이다.

도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 액정표시장치에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.

도 3a 및 3b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제1 마스크공정을 설명하기 위한 평면도 및 단면도이다.

도 4a 및 4b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제2 마스크공정을 설명하기 위한 평면도 및 단면도이다.

도 5a 내지 5c는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제3 마스크공정, 제4 마스크공정, 제5 마스크공정, 제6 마스크공정을 설명하기 위한 평면도 및 단면도이다.

도 6a 및 6b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제7 마스크공정을 설명하기 위한 평면도 및 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0023]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0024]

구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0025]

위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0026]

소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0027]

비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0028]

명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0029]

도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0030]

본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0031]

이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0032]

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 보여주는 평면도이다. 그리고, 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 액정표시장치에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.

[0033]

도 1 및 도 2를 참조하면, 본 발명은 컬러필터를 하부기판(110)에 형성한 COT(Color filter On TFT) 구조의 액정표시장치(100)를 제공한다.

[0034]

COT 구조의 액정표시장치(100)는 컬러필터를 스위칭 소자가 형성되는 하부기판(110)에 형성하기 때문에 상부기판(미도시) 및 하부기판(110)을 합착하는 공정에서 고려되는 합착마진을 줄여 개구율 등의 향상을 가져올 수 있다.

[0035]

이러한 본 발명의 일 실시예에 따른 액정표시장치(100)는 하부기판(110) 위에 교차하여 다수의 화소영역(pixel area)을 정의하는 다수의 케이트라인(116)과 데이터라인(117)을 포함한다.

[0036]

케이트라인(116)과 데이터라인(117)이 교차하는 영역에는 스위칭 소자로 박막 트랜지스터가 구비될 수 있다. 일

예로, 박막 트랜지스터는 상하로 이웃하는 화소영역들 사이에 구비되며, 게이트전극(121), 액티브층(124), 소스전극(122) 및 드레인전극(123)으로 구성될 수 있다. 이하에서, 설명의 편의상 화소영역들 사이는 상하로 이웃하는 화소영역들 사이의 경계영역을 의미하는 것으로 한다.

- [0037] 화소영역에는 다수의 공통전극(108)과 화소전극(118)이 교대로 배치되어 액정층(미도시) 내에 횡전계(수평전계)를 발생시킬 수 있다.
- [0038] 이와 같이 게이트 신호를 공급하는 게이트라인(116)과 데이터 신호(화소 신호)를 공급하는 데이터라인(117)은 교차 구조로 형성되어 화소영역을 정의한다.
- [0039] 그리고, 교차부마다 형성된 박막 트랜지스터는 게이트라인(116)의 게이트 신호에 응답하여 데이터라인(117)의 화소 신호가 화소전극(118)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터는 게이트라인(116)과 접속된 게이트전극(121), 데이터라인(117)과 접속된 소스전극(122) 및 소스전극(122)과 대향하는 드레인전극(123)을 포함하여 구성될 수 있다. 또한, 박막 트랜지스터는 게이트절연막(115a)을 사이에 두고 게이트전극(121)과 중첩되어 소스전극(122)과 드레인전극(123) 사이에 채널을 형성하는 액티브층(124)을 포함할 수 있으며, 소스전극(122)과 드레인전극(123) 사이의 오믹 접촉(ohmic contact)을 위하여 채널을 제외한 액티브층(124) 위에 형성된 오믹 접촉층(미도시)을 더 구비할 수 있다.
- [0040] 그리고, 박막 트랜지스터 상부에는 제1 보호막(115b)이 형성되고, 제1 보호막(115b) 위에 화소영역별로 적색, 청색 및 녹색 컬러필터가 차례대로 배열된 구조의 컬러필터층(107R, 107B)이 형성될 수 있다. 또한, 화소영역들 사이에는 적어도 하나의 컬러필터층(107R, 107B)으로 구성된 차광층(150)을 더 포함할 수 있다. 일 예로, 도 2를 참조하면, 차광층(150)은 적색 컬러필터층(107R) 위에 청색 컬러필터층(107B)이 적층되어 구성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 참고로, 도 1은 편의상 컬러필터층(107R, 107B)과 차광층(150)을 도시하지 않았다.
- [0041] 컬러필터층(107R, 107B)과 차광층(150)이 형성된 하부기판(110) 상부에는 차광층(150)을 덮도록 제2 보호막(115c)이 형성될 수 있다.
- [0042] 제2 보호막(115c)은 컬러필터층(107R, 107B)을 보호하고 평탄화하기 위한 수지 조성물을 이용하여 형성한 오버코트층으로 구성될 수 있다.
- [0043] 본 발명의 일 실시예에 따른 액정표시장치(100)는, 화소영역들 사이의 제2 보호막(115c)과 제1 보호막(115b) 및 게이트절연막(115a)의 일부가 선택적으로 제거되어 드레인전극(123)과 공통라인 접속부(108b)의 일부를 함께 노출시키는 컨택홀(140)을 포함하는 것을 특징으로 한다.
- [0044] 컨택홀(140)을 통해, 화소전극 접속부(118d)가 노출된 드레인전극(123)과 화소전극(118) 사이를 전기적으로 접속하는 동시에, 공통전극 접속부(108d)가 노출된 공통라인 접속부(108b)와 공통전극(108) 사이를 전기적으로 접속할 수 있다.
- [0045] 본 발명의 일 실시예에 따른 컨택홀(140)은 일 예로, 화소영역들 사이의 공통라인(108L)과 게이트라인(116) 사이에 하나 배치될 수 있다.
- [0046] 이때, 화소전극(118)은 화소영역 내에서 공통전극(108)과 교대로 배치되어 횡전계를 형성할 수 있다.
- [0047] 그리고, 공통라인(108L) 및 공통전극(108)은 액정 구동을 위한 기준전압을 공급한다.
- [0048] 공통라인(108L)은 화소영역들 사이에 구비되며, 게이트라인(116)에 대해 나란한 방향으로 배치될 수 있다. 일 예로, 공통라인(108L)은 화소영역의 하측에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0049] 공통라인 접속부(108b)는 공통라인(108L)으로부터 게이트라인(116)을 향해 돌출하며 컨택홀(140)을 통해 일부가 노출될 수 있다. 도 1 및 도 2에는 공통라인 접속부(108b)의 중앙부분이 일부 제거된 형태를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0050] 데이터라인(117)의 적어도 일측에는 차폐라인(108a)이 배치될 수 있으며, 차폐라인(108a)은 공통라인(108L)에 연결될 수 있다. 차폐라인(108a)은 횡전계에 대한 데이터 신호의 간섭을 차폐할 수 있다.
- [0051] 다수의 공통전극(108)은 핑거(finger), 또는 헤링본(herringbone) 형상으로 공통전극 라인(108L)으로부터 분기되어 화소영역 쪽으로 신장될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 공통전극(108)은 수직 방향이나 수평 방향의 직선 형상으로 신장될 수도 있다.

- [0052] 공통전극 라인(108l)은 일 예로, 화소영역의 상측에 배치되어 다수의 공통전극(108) 일측과 연결될 수 있다.
- [0053] 공통전극 라인(108l)은 게이트라인(116)에 대해 나란한 방향으로 배치될 수 있다.
- [0054] 데이터라인(117)에 인접한 공통전극(108)은 하부로 연장되어 공통전극 접속부(108d)에 연결될 수 있다. 공통전극 접속부(108d)는 컨택홀(140)을 통해, 노출된 공통라인 접속부(108b)와 공통전극(108) 사이를 전기적으로 접속할 수 있다.
- [0055] 화소전극 접속부(118d)는 다수의 화소전극(118) 일측과 연결될 수 있다. 또한, 화소전극 접속부(118d)는 컨택홀(140)을 통해, 노출된 드레인전극(123)과 화소전극(118) 사이를 전기적으로 접속할 수 있다.
- [0056] 도 1 및 도 2에는 화소전극 접속부(118d) 양측에 한 쪽의 공통전극 접속부(108d)가 구비된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0057] 이 결과, 박막 트랜지스터를 통해 화소 신호가 공급된 화소전극(118)과 공통라인(108L)을 통해 기준 전압이 공급된 공통전극(108) 사이에는 횡전계가 형성될 수 있다. 이러한 횡전계에 의해 화소전극(118)과 공통전극(108) 사이에 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다.
- [0058] 게이트라인(116)은 게이트 패드(미도시)를 통해 게이트 드라이버와 접속될 수 있고, 데이터라인(117)은 데이터 패드(미도시)를 통해 데이터 드라이버와 접속될 수 있다.
- [0059] 상술한 바와 같이 기존의 COT 구조의 액정표시장치는 드레인전극과 화소전극 사이의 컨택을 위한 드레인 컨택홀 및 공통라인과 공통전극 사이의 컨택을 위한 공통전극 컨택홀 각각을 개별적으로 형성하게 된다.
- [0060] 이는 데이터 신호 및 공통전압 신호가 서로 단락이 되면 안되기 때문에 드레인 컨택홀과 공통전극 컨택홀을 구분하여 형성하게 되며, 공통전극 컨택홀은 드레인 컨택홀과는 달리 화소영역 내에 형성됨에 따라 개구부 영역이 줄어들어 투과율이 저하되게 되었다. 특히, COT 구조의 경우 적색 서브-화소와 녹색 서브-화소 및 청색 서브-화소간 개구부 영역이 달라짐에 따라 색이상 불량이 발생할 가능성이 있었다.
- [0061] 이에 본 발명의 발명자들은 COT 구조에 있어 비개구영역 중에 가장 큰 부분을 차지하는 부분이 컬러필터 홀(컬러필터홀(107R, 107B)을 제거하여 드레인전극(123)을 노출시키는 홀)인 점에 차안하여, 화소영역들 사이에 컬러필터 홀과 상술한 절연층 홀(즉, 컨택홀(140))을 뚫고, 그 부분에 드레인전극(123)과 공통전극(108)을 구분하여 연결하는 구조를 발명하였다.
- [0062] 즉, 본 발명의 일 실시예는 화소영역 외부(일 예로, 상하로 이웃하는 화소영역들 사이)에 하나의 컨택홀(140)을 형성하여 드레인 컨택과 공통전극 컨택을 동시에 함으로써, 투과율과 개구율을 극대화할 수 있다. 이 경우 화소전극(118)의 오버레이(overlay)가 변동되어도 드레인 컨택과 공통전극 컨택 면적은 동일하며, 따라서 공정 산포에 따라 컨택 저항이 변동되지 않는다. 또한, 기존 컨택홀 대비 홀 크기의 증가로 홀 막힘 등이 개선되어 수율이 향상될 수 있는데, 이를 다음의 유기발광 표시장치의 제조방법을 통해 한번 더 설명한다.
- [0063] 도 3a 및 3b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제1 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- [0064] 도 3a 및 도 3b를 참조하면, 제1 마스크 공정을 통해 하부기판(110) 위에 게이트전극(121), 게이트라인(116) 및 공통라인(108L), 차폐라인(108a), 공통라인 접속부(108b)가 형성될 수 있다.
- [0065] 게이트전극(121), 게이트라인(116) 및 공통라인(108L), 차폐라인(108a), 공통라인 접속부(108b)은 하부기판(110) 위에 제1 금속층 및 포토레지스트를 순차적으로 형성하고, 제1 마스크를 이용한 사진공정을 통해 제1 포토레지스트 패턴을 형성하여 제1 금속층을 식각 함으로써 형성될 수 있다.
- [0066] 제1 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금 (Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리텅스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄 (Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0067] 공통라인(108L)은 화소영역들 사이에 구비되며, 게이트라인(116)에 대해 나란한 방향으로 배치될 수 있다. 일 예로, 공통라인(108L)은 화소영역의 하측에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0068] 데이터라인의 적어도 일측에는 차폐라인(108a)이 배치될 수 있으며, 차폐라인(108a)은 공통라인(108L)에 연결될 수 있다. 차폐라인(108a)은 횡전계에 대한 데이터 신호의 간섭을 차폐할 수 있다.

- [0069] 공통라인 접속부(108b)는 공통라인(108L)으로부터 게이트라인(116)을 향해 돌출하며, 후에 형성되는 컨택홀을 통해 일부가 노출될 수 있다. 도 3a 및 도 3b에는 공통라인 접속부(108b)의 중앙부분이 일부 제거된 형태를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0070] 도 4a 및 4b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제2 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- [0071] 도 4a 및 4b를 참조하면, 게이트전극(121), 게이트라인(116) 및 공통라인(108L), 차폐라인(108a), 공통라인 접속부(108b)가 형성된 하부기판(110) 위에 게이트절연막(115a)이 형성된다.
- [0072] 그리고, 게이트절연막(115a) 위에 제2 마스크공정을 통해 액티브총(124), 드레인전극(122), 소스전극(123) 및 데이터라인(117)이 형성될 수 있다.
- [0073] 구체적으로, 게이트절연막(115a)이 형성된 하부기판(110)상에 반도체층 및 제2 금속층을 순차적으로 형성한 후, 제2 금속층 위에 제2 포토레지스트 패턴을 형성한다.
- [0074] 게이트절연막(115a)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al_2O_3 를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함한다. 일 예로, 게이트절연막(115a)으로는, 산화실리콘(SiO_2), 질화실리콘($SiNx$), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 바륨-스트론튬-티타늄-산소화합물($Ba-Sr-Ti-O$) 및 비스마스-아연-니오븀-산소 화합물($Bi-Zn-Nb-O$)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0075] 제2 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리텅스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0076] 반도체층으로는 비정질 실리콘(a-Si), 저온 다결정 실리콘(Low Temperature Poly Silicon; LTPS), IGZO 계열의 산화물 반도체, 화합물 반도체, 카본 나노 튜브(carbon nano tube), 그래핀(graphene) 및 유기 반도체 등을 포함할 수 있다.
- [0077] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 반도체층은 인듐아연 복합 산화물($InZnO$)에 실리콘 이온이 첨가된 실리콘 산화인듐아연($Si-InZnO$: SIZO)으로 이루어질 수도 있다.
- [0078] 반도체층이 SIZO로 이루어지는 경우, 액티브총에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.
- [0079] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티튬(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리튬(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 톤툼(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.
- [0080] 제2 포토레지스트 패턴은 제2 금속층 위에 포토레지스트를 형성하고, 포토레지스트에 제2 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0081] 이때, 제2 마스크는 광을 투과시키는 투과영역, 광의 일부분을 투과시키고 일부분은 차단시키는 반투과영역 및 광을 차단시키는 차단영역을 포함하는 3개의 서로 다른 투과율을 갖는 마스크를 사용할 수 있다. 반투과영역은 차단영역보다 투과율이 높은 영역으로써, 사진공정을 통해 형성되는 반투과영역에서의 포토레지스트 패턴의 두께는 차단영역에서의 포토레지스트 패턴의 두께보다 낮게 형성될 수 있다.

- [0082] 이어서, 하부기판(110) 위에 형성된 제2 포토레지스트 패턴을 식각 마스크로 제2 금속층 및 반도체층을 식각하여 TFT용 패턴 및 데이터라인(117)이 형성될 수 있다.
- [0083] TFT용 패턴 및 데이터라인(117)은 제2 포토레지스트 패턴을 식각 마스크로 제2 금속층 및 반도체층을 식각 함으로써 형성될 수 있다. 이로써, TFT용 패턴 및 데이터라인(117)은 제2 금속층 및 반도체층이 패터닝된 제2 금속 패턴 및 반도체 패턴이 적층 형성될 수 있다.
- [0084] 이어서, TFT용 패턴 및 데이터라인(117)이 형성된 하부기판(110) 위에 애싱공정을 수행하여, 제3 포토레지스트 패턴을 형성한다. 제3 포토레지스트 패턴은 박막트랜지스터의 채널영역이 형성될 영역의 제2 금속패턴이 노출되도록 형성될 수 있다.
- [0085] 이어서, 제3 포토레지스트 패턴을 식각 마스크로 TFT용 패턴의 제2 금속패턴 및 반도체 패턴의 일부를 식각하여 박막트랜지스터의 액티브층(124), 소스전극(122) 및 드레인전극(123)을 형성할 수 있다.
- [0086] 도 5a 내지 5c는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제3 마스크공정, 제4 마스크공정, 제5 마스크공정, 제6 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- [0087] 우선, 도 5a 및 도 5b를 참조하면, 액티브층(124), 데이터라인(117), 소스전극(122) 및 드레인전극(123)이 형성된 하부기판(110) 전면에 제1 보호막(115b)을 형성한다. 그리고, 제3 마스크, 제4 마스크, 제5 마스크공정을 통해 적색 컬러필터층(107R), 청색 컬러필터층(107B), 녹색 컬러필터층(미도시)을 형성할 수 있다.
- [0088] 제1 보호막(115b)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al_2O_3 를 포함하는 금속산화막(metal oxide), 유기질연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제1 보호막(115b)으로는, 산화실리콘(SiO_2), 질화실리콘($SiNx$), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0089] 일 예로, 적색 컬러필터층(107R)은 적색 컬러레지스트를 도포하고, 적색 컬러레지스트에 제3 마스크를 이용한 사진공정을 수행하여 형성할 수 있다. 청색 컬러필터층(107B) 또한 청색 컬러레지스트를 도포하고, 청색 컬러레지스트에 제4 마스크를 이용한 사진공정을 수행하여 형성할 수 있다. 그리고, 녹색 컬러필터층 또한 녹색 컬러레지스트를 도포하고, 녹색 컬러레지스트에 제5 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0090] 적색 컬러필터층(107R), 청색 컬러필터층(107B) 및 녹색 컬러필터층의 형성 순서는 어떤 컬러필터층(107R, 107B)을 먼저 형성하더라도 무방하다.
- [0091] 이때, 화소영역에 컬러필터층(107R, 107B)을 형성하는 동시에, 화소영역들 사이에 적어도 하나의 컬러필터층(107R, 107B)으로 구성된 차광층(150)을 형성할 수 있다.
- [0092] 일 예로, 도 5b를 참조하면, 차광층(150)은 적색 컬러필터층(107R) 위에 청색 컬러필터층(107B)이 적층되어 구성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0093] 이후, 도 5c를 참조하면, 컬러필터층(107R, 107B)과 차광층(150)이 형성된 하부기판(110) 위에 차광층(150)을 덮도록 제2 보호막(115c)을 형성할 수 있다. 그리고, 제6 마스크공정을 통해 드레인 컨택용 및 공통전극 컨택용 콘택홀(140)을 형성한다.
- [0094] 즉, 제2 보호막(115c)이 형성된 하부기판(110) 위에 제4 포토레지스트 패턴을 형성한다. 이때, 제4 포토레지스트 패턴은 제2 보호막(115c) 위에 포토레지스트를 형성하고, 포토레지스트에 제6 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0095] 이어서, 제4 포토레지스트 패턴을 식각 마스크로 화소영역들 사이의 제2 보호막(115c)과 제1 보호막(115b) 및 게이트질연막(115a)의 일부를 선택적으로 식각하여 드레인전극(123)과 공통라인 접속부(108b)의 일부를 함께 노출시키는 컨택홀(140)을 형성할 수 있다.
- [0096] 본 발명의 일 실시예에 따른 컨택홀(140)은 일 예로, 화소영역들 사이의 공통라인(108L)과 게이트라인(116) 사이에 하나 형성될 수 있다.
- [0097] 도 6a 및 6b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제7 마스크공정을 설명하기 위한 평면

도 및 단면도이다.

[0098] 도 6a 및 도 6b를 참조하면, 제2 보호막(115c)이 형성된 하부기판(110) 위에 제3 금속층으로 화소전극 접속부(118d)를 포함하는 화소전극(118) 및 공통전극 라인(1081)과 공통전극 접속부(108d)를 포함하는 공통전극(108)을 형성할 수 있다.

[0099] 구체적으로, 제2 보호막(115c)이 형성된 하부기판(110) 위에 투명도전막의 제3 금속층을 형성하고, 투명도전막 위에 제5 포토레지스트 패턴을 형성한다.

[0100] 제5 포토레지스트 패턴은 투명도전막 위에 포토레지스트를 형성하고, 포토레지스트에 제7 마스크를 이용한 사진 공정을 수행하여 형성할 수 있다.

[0101] 이어서, 제5 포토레지스트 패턴을 식각 마스크로 투명도전막을 식각하여 화소전극 접속부(118d)를 포함하는 화소전극(118) 및 공통전극 라인(1081)과 공통전극 접속부(108d)를 포함하는 공통전극(108)을 형성한다.

[0102] 이때, 화소전극(118)은 화소영역 내에서 공통전극(108)과 교대로 배치되어 횡전계를 형성할 수 있다

[0103] 그리고, 공통라인(108L) 및 공통전극(108)은 액정 구동을 위한 기준전압을 공급한다.

[0104] 다수의 공통전극(108)은 평거(finger), 또는 헤링본(herringbone) 형상으로 공통전극 라인(1081)으로부터 분기되어 화소영역 쪽으로 신장될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 공통전극(108)은 수직 방향이나 수평 방향의 직선 형상으로 신장될 수도 있다.

[0105] 공통전극 라인(1081)은 일 예로, 화소영역의 상측에 배치되어 다수의 공통전극(108) 일측과 연결될 수 있다.

[0106] 공통전극 라인(1081)은 게이트라인(116)에 대해 나란한 방향으로 배치될 수 있다.

[0107] 도 6a 및 도 6b에는 화소전극 접속부(118d) 양측에 한 쌍의 공통전극 접속부(108d)가 구비된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0108] 데이터라인(117)에 인접한 공통전극(108)은 하부로 연장되어 공통전극 접속부(108d)에 연결될 수 있다. 공통전극 접속부(108d)는 컨택홀(140)을 통해, 노출된 공통라인 접속부(108b)와 공통전극(108) 사이를 전기적으로 접속할 수 있다.

[0109] 화소전극 접속부(118d)는 다수의 화소전극(118) 일측과 연결될 수 있다. 또한, 화소전극 접속부(118d)는 컨택홀(140)을 통해, 노출된 드레인전극(123)과 화소전극(118) 사이를 전기적으로 접속할 수 있다.

[0110] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.

[0111] 본 발명의 일 실시예에 따른 액정표시장치는, 기판 위에 교차하여 다수의 화소영역을 정의하는 다수의 게이트라인과 데이터라인, 상하로 이웃하는 화소영역들 사이에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막 트랜지스터, 화소영역들 사이에 구비되며, 접속부를 포함하는 공통라인, 화소영역들 사이의 드레인전극과 공통라인 접속부를 함께 노출시키는 컨택홀, 화소영역에 교대로 배치되는 다수의 공통전극과 화소전극 및 컨택홀을 통해, 노출된 드레인전극과 화소전극 사이를 전기적으로 접속하는 화소전극 접속부 및 노출된 공통라인 접속부와 공통전극 사이를 전기적으로 접속하는 공통전극 접속부를 포함할 수 있다.

[0112] 본 발명의 다른 특징에 따르면, 액정표시장치는 화소영역에 구비되는 컬러필터층과 화소영역들 사이에 적어도 하나의 컬러필터층으로 구성된 차광층을 더 포함할 수 있다.

[0113] 본 발명의 또 다른 특징에 따르면, 차광층은 적색 컬러필터층 위에 청색 컬러필터층이 적층되어 구성될 수 있다.

[0114] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 차광층을 덮도록 구비되는 오버코트층을 더 포함할 수 있다.

[0115] 본 발명의 또 다른 특징에 따르면, 공통라인은 게이트라인에 대해 나란한 방향으로 배치될 수 있다.

[0116] 본 발명의 또 다른 특징에 따르면, 공통라인 접속부는 공통라인으로부터 돌출하여 컨택홀을 통해 일부가 노출될 수 있다.

[0117] 본 발명의 또 다른 특징에 따르면, 컨택홀은 화소영역들 사이의 공통라인과 게이트라인 사이에 하나 배치될 수 있다.

[0118] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 화소영역의 상측에 배치되어 다수의 공통전극 일측과 연결되

는 공통전극 라인을 더 포함할 수 있다.

[0119] 본 발명의 또 다른 특징에 따르면, 공통전극 라인은 게이트라인에 대해 나란한 방향으로 배치될 수 있다.

[0120] 본 발명의 또 다른 특징에 따르면, 데이터라인에 인접한 공통전극은 하부로 연장되어 공통전극 접속부에 연결될 수 있다.

[0121] 본 발명의 또 다른 특징에 따르면, 화소전극 접속부는 다수의 화소전극 일측과 연결될 수 있다.

[0122] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 데이터라인의 적어도 일측에 배치되며, 공통라인과 연결된 차폐라인을 더 포함할 수 있다.

[0123] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0124] 100: 액정표시장치

107B, 107R: 컬러필터층

108: 공통전극

108a: 차폐라인

108b: 공통라인 접속부

108d: 공통전극 접속부

108l: 공통전극 라인

108L: 공통라인

110: 어레이 기판

116: 게이트라인

117: 데이터라인

118: 화소전극

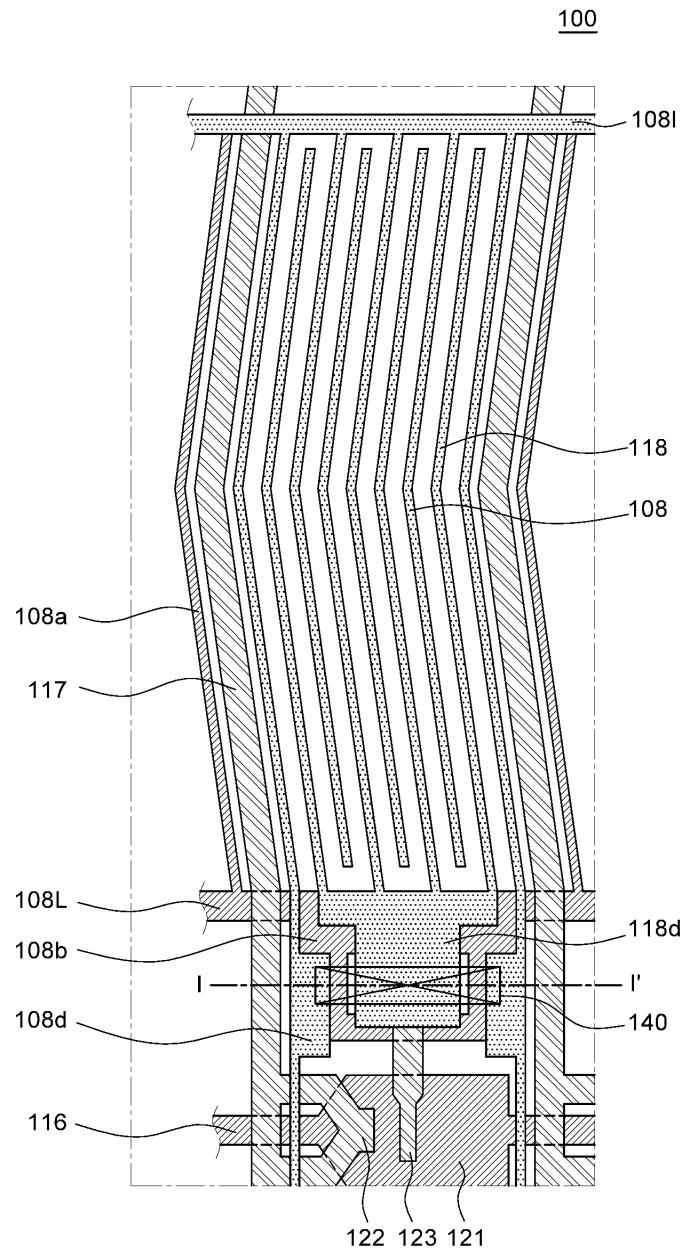
118d: 화소전극 접속부

140: 컨택홀

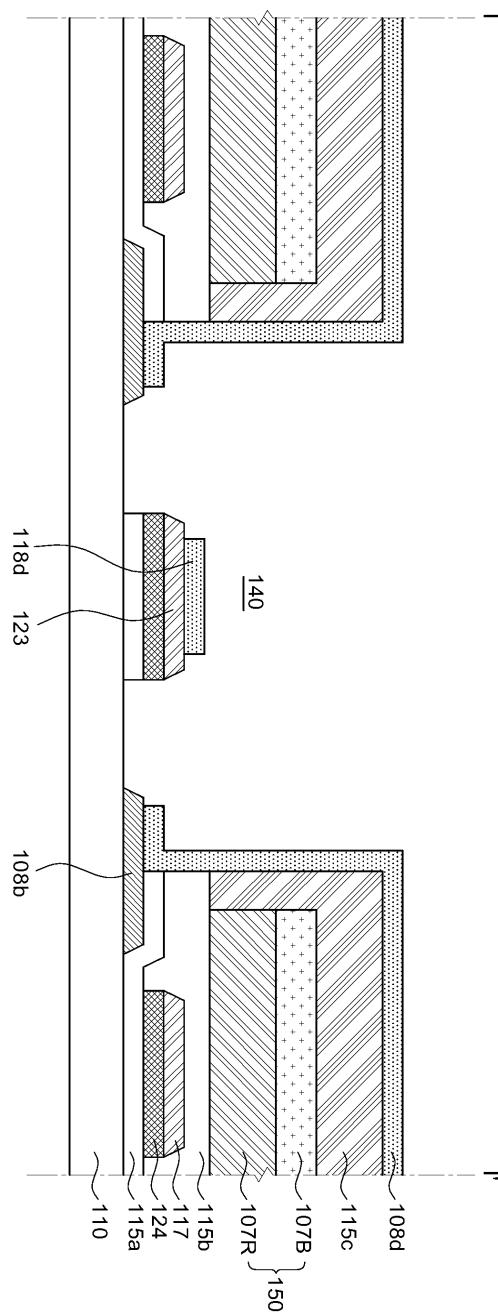
150: 차광층

도면

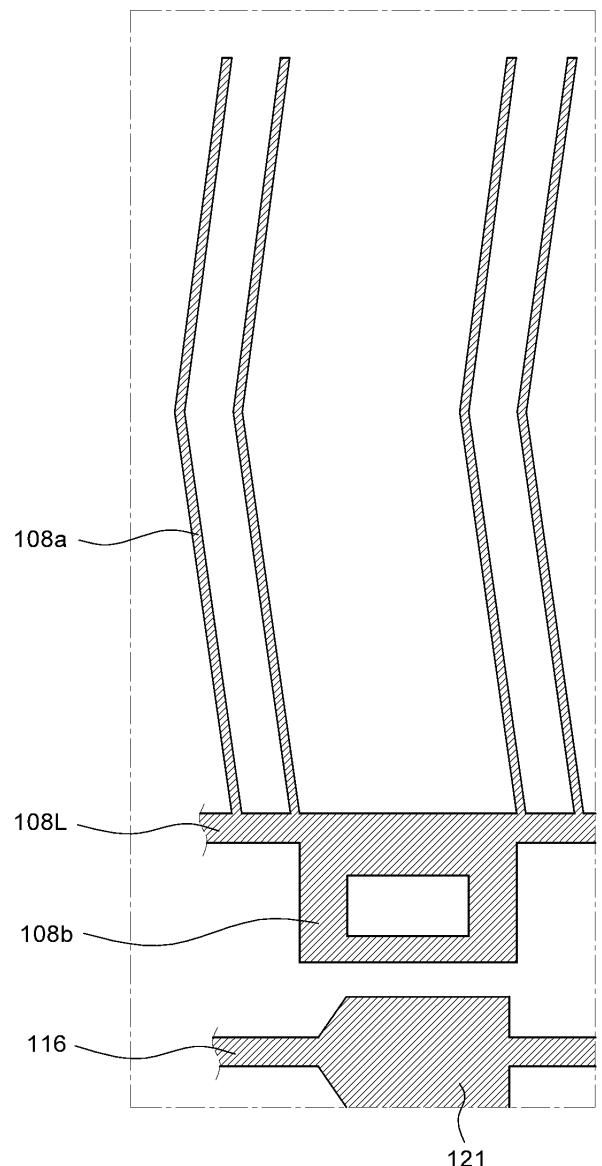
도면1



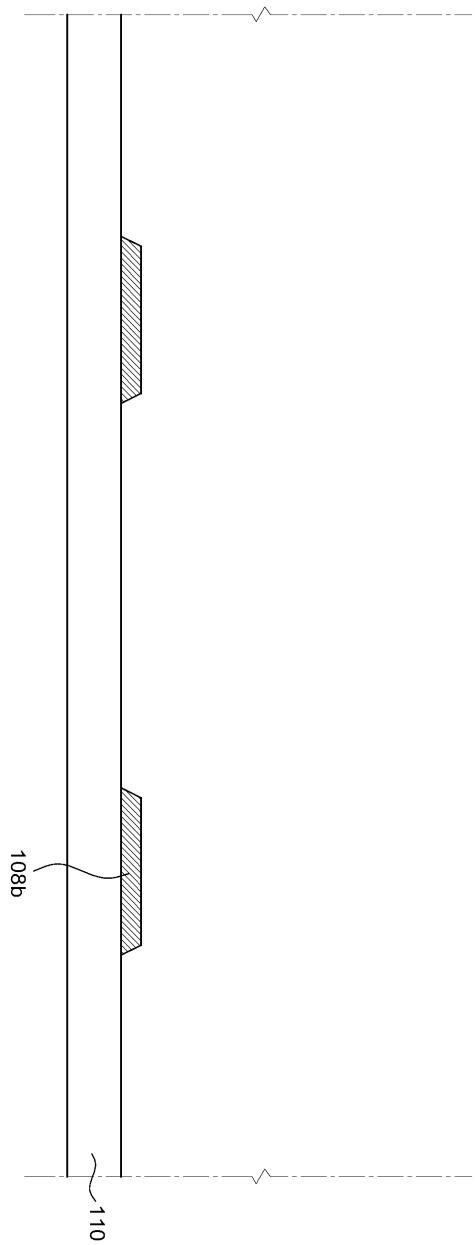
도면2



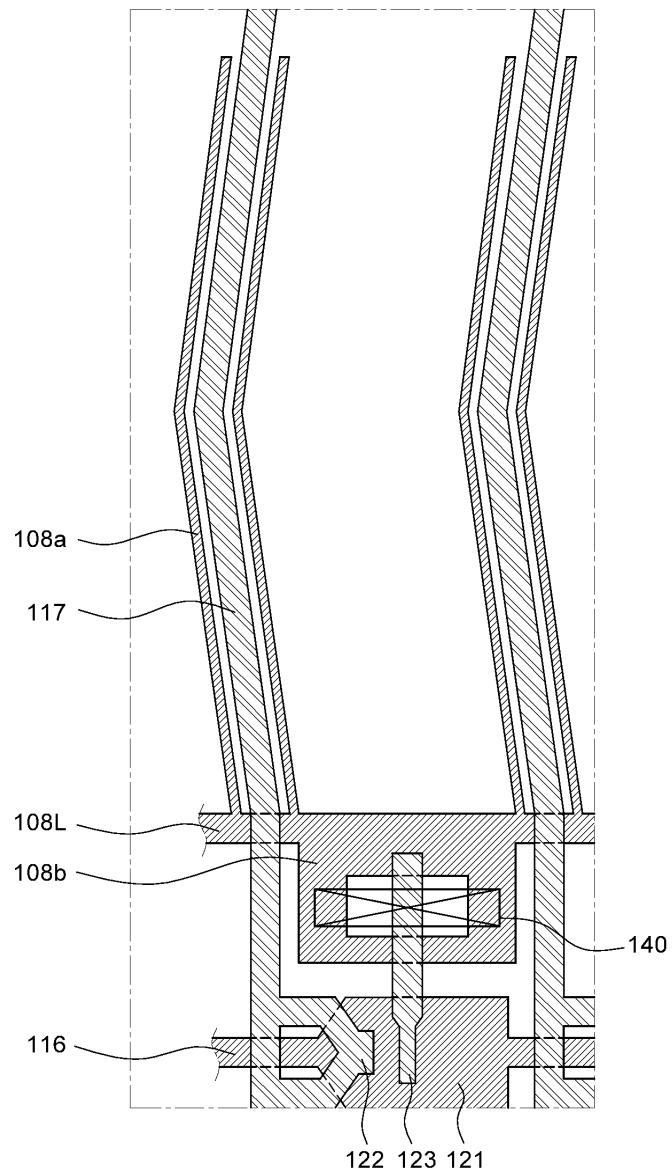
도면3a



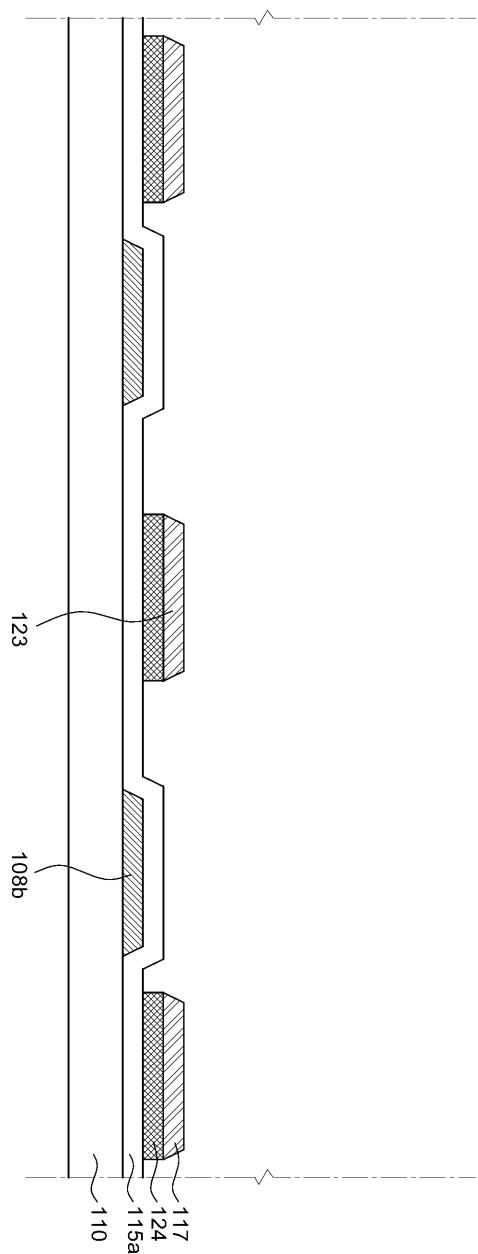
도면3b



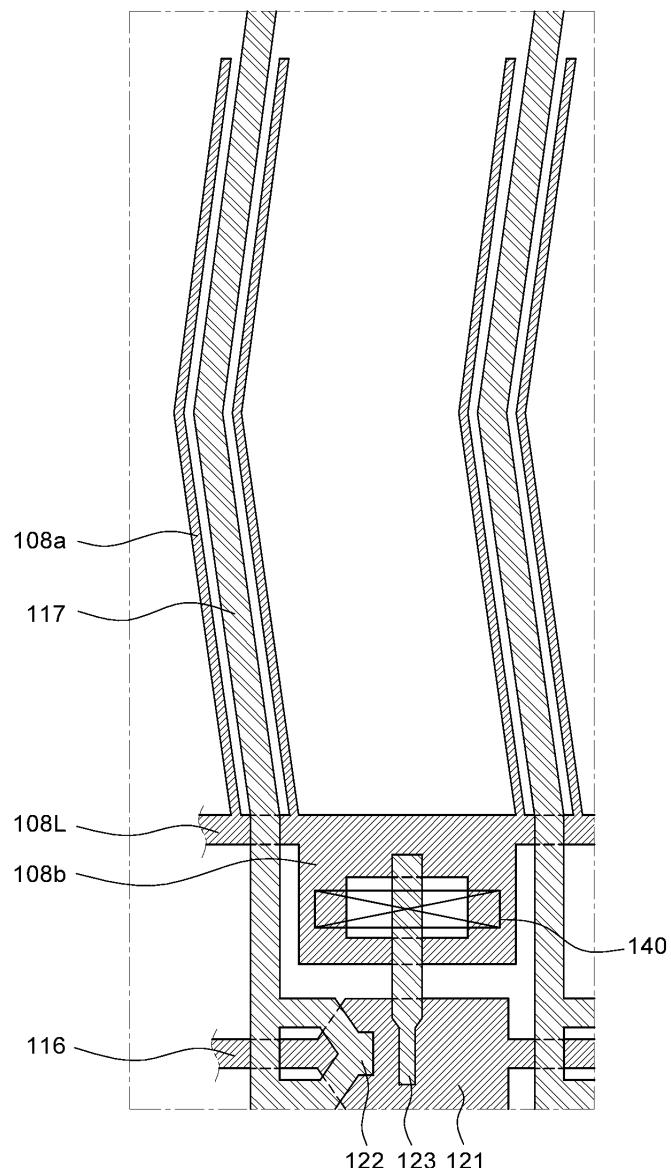
도면4a



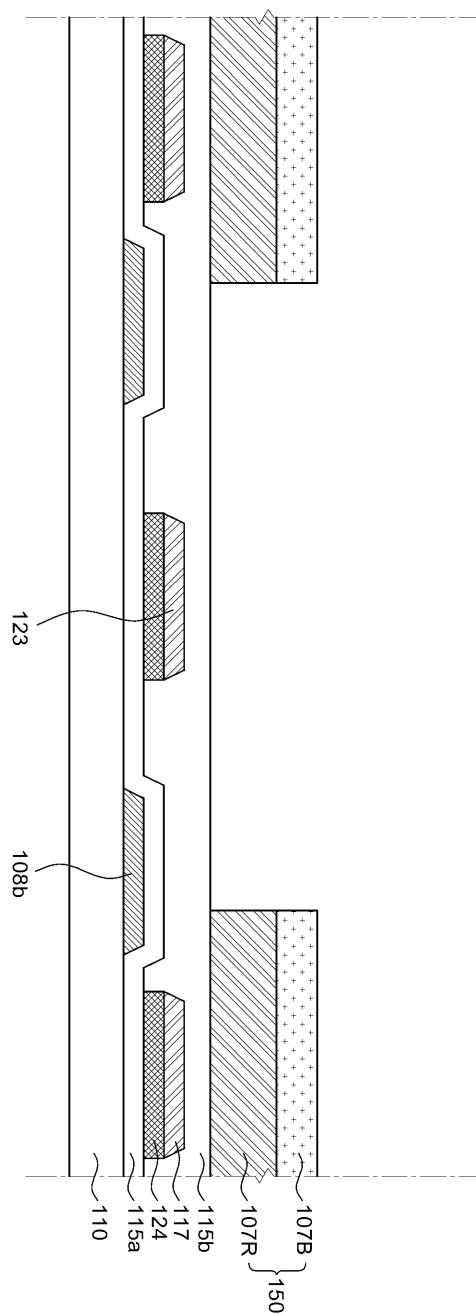
도면4b



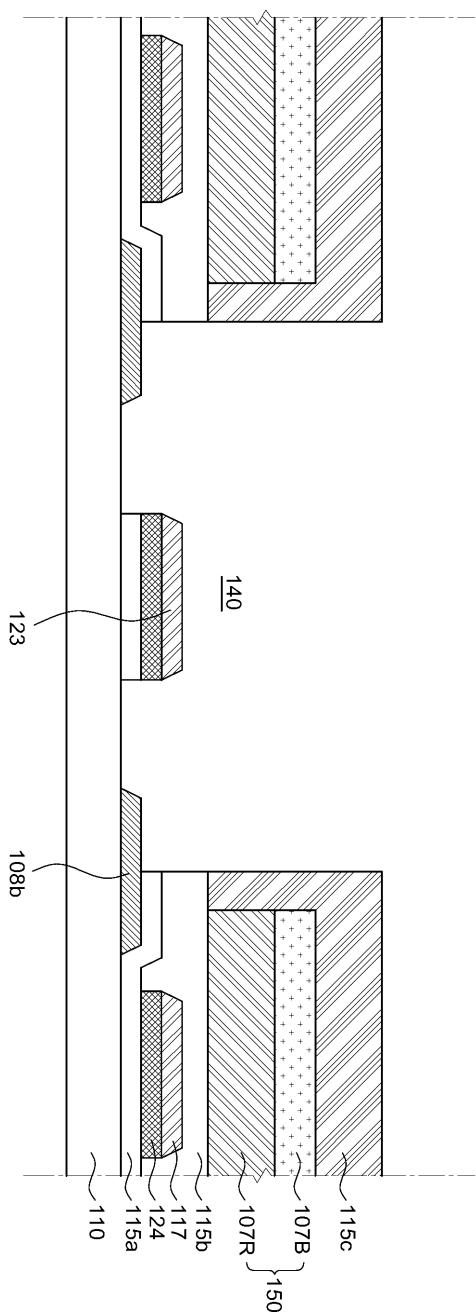
도면5a



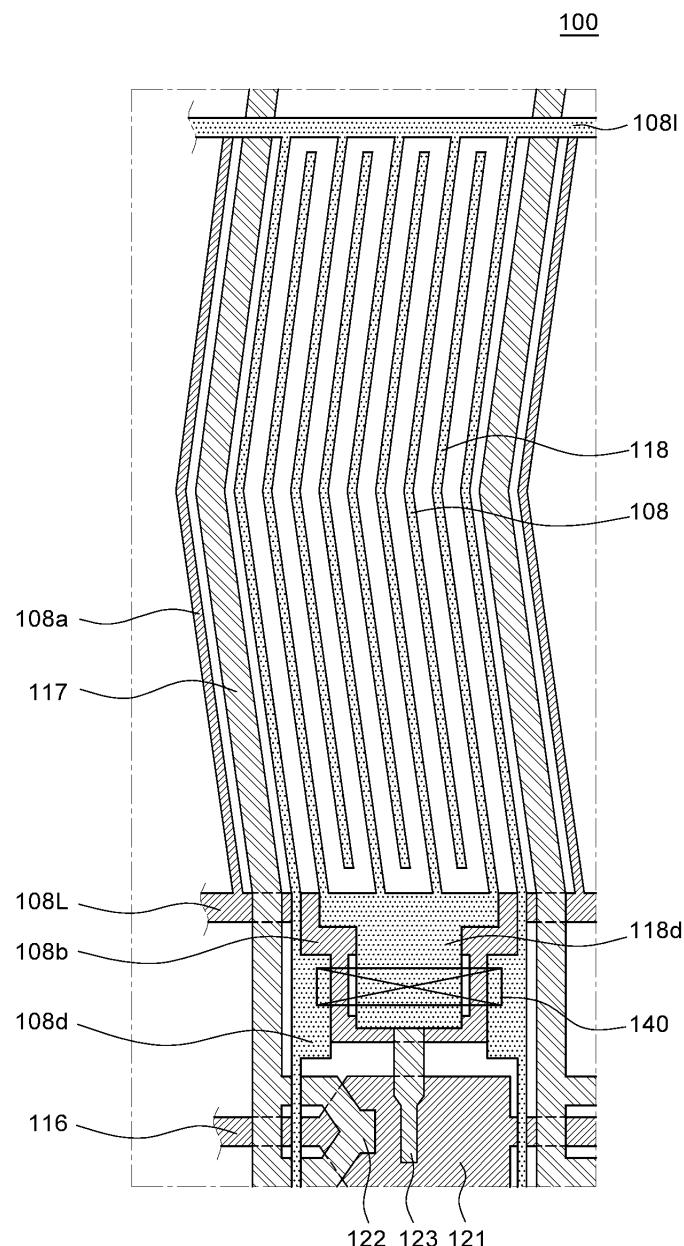
도면5b



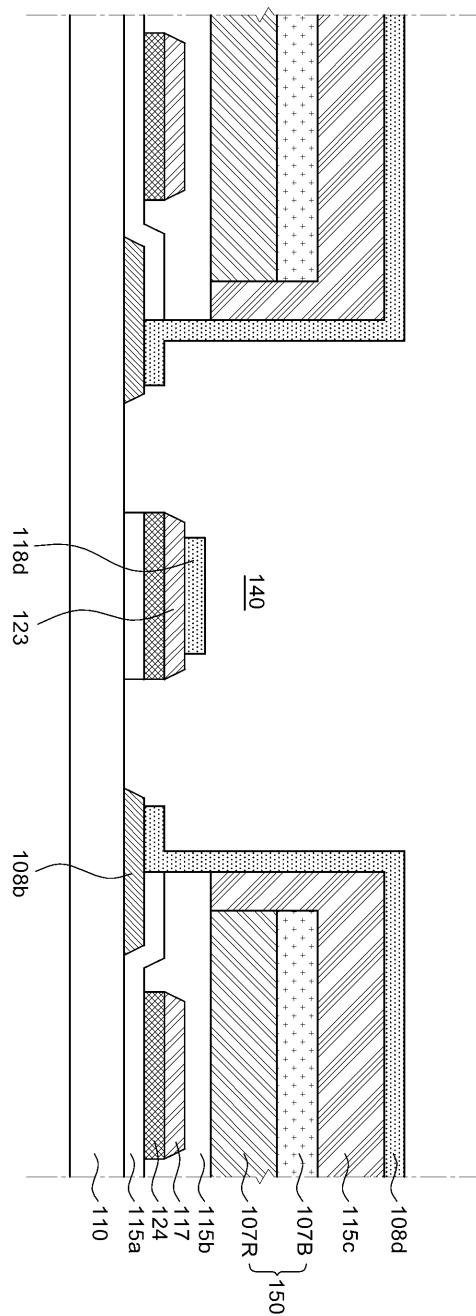
도면5c



도면6a



도면6b



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR1020190056751A | 公开(公告)日 | 2019-05-27 |
| 申请号 | KR1020170154026 | 申请日 | 2017-11-17 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 전우열 유지선 윤지애 | | |
| 发明人 | 전우열 유지선 윤지애 | | |
| IPC分类号 | G02F1/1362 | | |
| CPC分类号 | G02F1/1362 G02F2001/136222 G02F2201/121 G02F2201/123 | | |
| 外部链接 | Espacenet | | |

摘要(译)

根据本发明的示例性实施例，液晶显示器 (LCD) 及其制造方法采用 TFT (COT) 结构的滤色器，其中在阵列基板上形成滤色器。通过同时执行公共电极接触，可以使透射率和开口率最大化。另外，与现有的接触孔相比，随着孔尺寸的增加，可以改善堵塞并且可以提高成品率。

