



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0047166
(43) 공개일자 2018년05월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) *G02F 1/1362* (2006.01)
G02F 1/1368 (2006.01)

(52) CPC특허분류
G02F 1/134309 (2013.01)
G02F 1/136213 (2013.01)

(21) 출원번호 10-2016-0142980

(22) 출원일자 2016년10월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
신형범
경기도 고양시 일산서구 후곡로 36 (일산동, 후곡
마을4단지아파트) 404동 1303호
이찬호
경기도 파주시 월롱면 엘씨디로 231 정다운마을
G동102호

(74) 대리인
특허법인(유한)유일하이스트

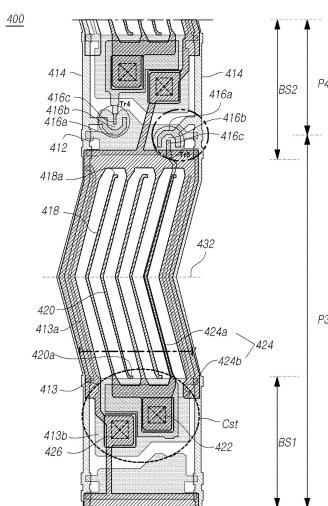
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 액정표시장치

(57) 요 약

본 발명은, 박막 트랜지스터와 스토리지 캐패시터, 공통 전극 콘택홀이 위치하는 세 영역 중 스토리지 캐패시터 및/또는 공통 전극 콘택홀을 다른 영역으로 분리한 액정표시장치를 제공한다.

대 표 도 - 도5



(52) CPC특허분류

G02F 1/136227 (2013.01)

G02F 1/136286 (2013.01)

G02F 1/1368 (2013.01)

G02F 2201/121 (2013.01)

G02F 2201/123 (2013.01)

명세서

청구범위

청구항 1

기판 상에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선;

상기 게이트 배선과 연결되는 게이트 전극과, 상기 게이트 전극과 중첩되는 반도체층과, 상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격되어 위치하는 드레인 전극을 포함하는 박막 트랜지스터;

적어도 하나의 가지들을 포함하는 화소 전극;

상기 게이트 배선의 연장 방향에 따라 연장된 공통 배선;

상기 공통 배선과 연결되며 상기 화소 전극의 가지와 교변하는 적어도 하나의 가지를 포함된 공통 전극; 및

상기 드레인 전극과 연결되며 상기 공통 전극을 기준으로 상기 박막 트랜지스터와 반대편에 위치하며 화소 전극 콘택홀을 통해 상기 화소 전극과 연결된 제1연결패턴을 포함하는 액정표시장치.

청구항 2

제 1항에 있어서,

상기 제1연결패턴은 드레인 전극과 물리적으로 일체(one body)인 액정표시장치.

청구항 3

제 1항에 있어서,

상기 공통 배선은 상기 화소 전극을 기준으로 상기 박막 트랜지스터와 반대편에 위치하고, 공통 전극 콘택홀을 통해 상기 공통 전극과 연결된 액정표시장치.

청구항 4

제 1항에 있어서,

상기 게이트 배선은 상기 데이터 배선 방향으로 인접한 다른 박막 트랜지스터의 게이트 전극과 연결된 액정표시장치.

청구항 5

제3항에 있어서,

상기 제1연결패턴은 상기 화소 전극에 포함되는 가지와 중첩되는 제1연결가지를 포함하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 제1연결패턴은 상기 공통 배선과 다른 층으로 이격되어 캐패시터를 구성하는 제1플레이트를 추가로 포함하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 공통 배선은, 상기 공통 전극이 둘 이상의 가지들을 포함할 경우, 상기 공통 전극의 가지들 중 최외각에 위치하는 하나와 중첩되는 공통 가지와 상기 제1연결패턴의 제1플레이트와 다른 층으로 이격되어 중첩되는 공통 플레이트를 포함하는 액정표시장치.

청구항 8

제1항에 있어서,

상기 화소 전극의 가지와 상기 공통 전극의 가지는 경계부를 기준으로 적어도 한번 꺾인 구조이며,

상기 박막 트랜지스터를 포함하는 제1영역과 상기 제1연결패턴을 포함하는 제2영역이 상기 경계부를 기준으로 대칭인 액정표시장치.

청구항 9

기판 상에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선;

상기 게이트 배선과 연결되는 게이트 전극과, 상기 게이트 전극과 중첩되는 반도체층과, 상기 데이터 배선과 연결되는 소스 전극과, 상기 소스 전극과 이격되어 위치하는 드레인 전극을 포함하는 박막 트랜지스터;

적어도 하나의 가지들을 포함하는 화소 전극;

상기 게이트 배선의 연장 방향에 따라 연장된 공통 배선; 및

상기 화소 전극을 기준으로 상기 박막 트랜지스터의 반대편에 위치하며 공통 전극 콘택홀을 통해 상기 공통 배선과 연결되며 상기 화소 전극의 가지와 교번하는 적어도 하나의 가지를 포함하는 공통 전극을 포함하는 액정표시장치.

청구항 10

제 9항에 있어서,

상기 공통 배선은 상기 화소 전극 및 상기 공통 전극을 기준으로 상기 게이트 배선과 반대편에 위치하며, 상기 공통 전극 콘택홀을 통해 상기 공통 전극과 연결된 액정표시장치.

청구항 11

제10항에 있어서,

상기 공통 배선은, 상기 공통 전극이 둘 이상의 가지들을 포함할 경우, 상기 공통 전극의 가지들 중 최외각에 위치하는 하나와 중첩되는 공통 가지와 화소 전극을 기준으로 상기 박막트랜지스터와 같은 편에 위치하며 상기 드레인 전극과 다른 층으로 이격되어 캐패시터를 구성하는 공통 플레이트를 포함하는 액정표시장치.

청구항 12

제9항에 있어서,

상기 화소 전극의 가지와 상기 공통 전극의 가지는 상기 게이트 라인 방향으로 연장되고 적어도 한번 꺾인 구조인 액정표시장치.

청구항 13

제9항에 있어서,

상기 게이트 배선은 상기 데이터 배선 방향으로 인접한 다른 박막 트랜지스터의 게이트 전극과 연결된 액정표시장치.

청구항 14

제9항에 있어서,

상기 화소 전극의 가지와 상기 공통 전극의 가지는 경계부를 기준으로 적어도 한번 꺾인 구조이며,

상기 박막 트랜지스터를 포함하는 제3영역과 상기 공통 배선을 포함하는 제4영역이 상기 경계부를 기준으로 대칭인 액정표시장치.

발명의 설명

기술 분야

[0001] 본 실시예는 영상을 표시하는 액정표시장치에 관한 것이다.

배경기술

[0002] 액정표시장치 기술은, 지속적인 발전을 거듭하여, 기존의 CRT(Cathode-Ray Tube)을 이용한 고착형 디스플레이 시장을 대체하고 있으며, 노트북용 표시소자, 컴퓨터 모니터, TV 등 점점 대형화하여 DID(Digital Information Display) 또는 PID(Public Information Display) 시장으로도 확대되고 있다.

[0003] 액정표시장치는 대형화 및 고해상도화됨에 따라 다양한 이유로 화상 품질이 떨어지는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0004] 실시예들은 화상 품질을 향상시키는 액정표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 전술한 목적을 달성하기 위하여, 일 측면에서, 일실시예는, 기판 상에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선, 박막트랜지스터를 포함하는 액정표시장치를 제공한다.

[0006] 박막 트랜지스터는 게이트 배선과 연결되는 게이트 전극과, 게이트 전극과 중첩되는 반도체층과, 데이터 배선과 연결되는 소스 전극과, 소스 전극과 이격되어 위치하는 드레인 전극을 포함할 수 있다.

[0007] 액정표시장치는 적어도 하나의 가지들을 포함하는 화소 전극 및 게이트 배선의 연장 방향에 따라 연장된 공통 배선, 공통 배선과 연결되며 화소 전극의 가지와 교번하는 적어도 하나의 가지를 포함된 공통 전극을 포함할 수 있다. 공통 배선은 화소 전극을 기준으로 박막 트랜지스터와 반대편에 위치하고, 공통 전극 콘택홀을 통해 공통 전극과 연결될 수 있다.

[0008] 액정표시장치는 드레인 전극과 연결되며 공통 전극을 기준으로 박막 트랜지스터와 반대편에 위치하며 화소 전극 콘택홀을 통해 화소 전극과 연결된 제1연결패턴을 포함할 수 있다.

[0009] 다른 측면에서, 공통 전극은 화소 전극을 기준으로 박막 트랜지스터의 반대편에 위치하면 공통 전극 콘택홀을 통해 공통 배선과 연결되며 화소 전극의 가지와 교번하는 적어도 하나의 가지를 포함할 수 있다.

발명의 효과

[0010] 실시예들에 따른 액정표시장치는 화상 품질을 향상시킬 수 있다

도면의 간단한 설명

[0011] 도 1은 실시예들이 적용되는 액정표시장치에 관한 시스템 구성도이다.

도 2는 일반적인 액정표시장치의 일부 화소영역들의 평면도이다.

도 3은 컬럼 인버전 방식에 따라 화소영역들에 위치하는 액정셀들의 충전 방법을 개념적으로 도시하고 있다.

도 4는 상하의 화소영역들에 각각 배치된 박막 트랜지스터들이 동일한 게이트 배선을 공유하는 화소 구조를 적용한 두개의 화소영역들의 평면도이다.

도 5는 제1실시예에 따른 액정표시장치의 일부 화소영역들의 평면도이다.

도 6은 도 5의 I-I'선의 단면도이다.

도 7은 비교예에 따른 액정표시장치의 어레이 구조 및 블랙 매트릭스의 관계를 도시하고 있다.

도 8은 제2실시예에 따른 액정표시장치의 어레이 구조 및 블랙 매트릭스의 관계를 도시하고 있다.

도 9는 도 8의 A영역의 어레이 구조의 평면도이다.

도 10은 또 다른 실시예에 따른 액정표시장치의 평면도이다.

도 11은 도 2의 액정표시장치와 도 10의 액정표시장치의 화소 구조의 대칭성을 도시하고 있다.

도 12은 도 7의 블랙 매트릭스 구조와 제2실시예에 따른 액정표시장치에 대한 도 8의 블랙 매트릭스 구조를 대비한 도면이다.

도 13은 도 7의 비교예와 도 8의 제2실시예에 따른 액정표시장치들의 패턴 인지 정도를 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012]

이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0013]

또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.

[0014]

도 1은 실시예들이 적용되는 액정표시장치에 관한 시스템 구성도이다.

[0015]

도 1을 참조하면, 액정표시장치(100)는 액정표시패널(140), 데이터 구동부(120), 게이트 구동부(130), 타이밍 컨트롤러(110) 등을 포함한다.

[0016]

우선, 타이밍 컨트롤러(110)는 호스트 시스템으로부터 입력되는 수직/수평 동기신호(Vsync, Hsync)와 영상데이터(data), 클럭신호(CLK) 등의 외부 타이밍 신호에 기초하여 데이터 구동부(120)를 제어하기 위한 데이터 제어신호(DCS)와 게이트 구동부(130)를 제어하기 위한 게이트 제어신호(GCS)를 출력한다. 또한, 타이밍 컨트롤러(110)는 호스트 시스템로부터 입력되는 영상데이터(data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식으로 변환하고 변환된 영상데이터(data')를 데이터 구동부(120)로 공급할 수 있다.

[0017]

데이터 구동부(120)는 타이밍 컨트롤러(110)로부터 입력되는 데이터 제어신호(DCS) 및 변환된 영상데이터(data')에 응답하여, 영상데이터(data')를 계조 값에 대응하는 전압 값인 데이터 신호(아날로그 화소신호 혹은 데이터 전압)로 변환하여 데이터 배선에 공급한다.

[0018]

게이트 구동부(130)는 타이밍 컨트롤러(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트 배선에 스캔신호(게이트 펄스 또는 스캔펄스, 게이트 온신호)를 순차적으로 공급한다.

[0019]

한편 액정표시패널(140)은, 두 장의 기판들과 그 사이에 위치하는 액정층, 배향막 등으로 이루어진 표시패널일 수 있다.

[0020]

또한 액정표시패널(140)의 제1기판(하부 기판)에는 다수의 데이터라인들(D1~D_m, m은 자연수), 데이터라인들(D1~D_m)과 교차되는 다수의 게이트라인들(또는 스캔라인들)(G1~G_n, n은 자연수), 데이터라인들(D1~D_m)과 게이트라인들(G1~G_n)의 교차부들에 다수의 화소영역들(P)이 배치될 수 있다.

[0021]

한편, 액정표시패널(140)의 화소영역들(P)은 데이터라인들(D1~D_m)과 게이트라인들(G1~G_n)에 의해 정의된 화소영역에 형성되어 매트릭스 형태로 배치된다. 화소영역들 각각의 액정셀(C1c)은 트랜지스터, 데이터전압을 충전시키기 위한 화소 전극, 화소 전극과 전계를 형성하는 공통 전극, 화소 전극에 접속되어 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor) 등을 포함할 수 있다. 화소영역들 각각의 액정셀(C1c)은 화소 전극에 인가되는 데이터전압과 공통 전극에 인가되는 공통전압의 전압차에 따라 인가되는 전계에 의해 구동되어 입사광의 투과량을 조절한다.

[0022]

공통 전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서는 제2기판 상에 배치되고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식 또는 횡전계 구동방식에서는 화소 전극과 함께 제1기판 상에 배치된다.

[0023]

한편 액정표시패널(140)의 제2기판(상부 기판)에는 광차단층(예를 들면, 블랙 매트릭스(black matrix)), 컬러필

터 등을 포함될 수 있다. 액정표시패널(140)의 제1기판은 COT(Color filter On TFT) 구조로 구현될 수 있다. 이 경우에 광차단층과 컬러필터는 제1기판에 형성될 수 있다.

[0024] 도 2는 일반적인 액정표시장치의 일부 화소영역들의 평면도이다.

[0025] 도 2를 참조하면, 일반적인 액정표시장치(200)는 기판(210) 상에는 서로 교차하여 각각의 화소 영역(P)을 정의하는 둘 이상의 게이트 배선들(212)과 둘 이상의 데이터 배선들(214), 각 화소 영역(P)을 지나며 게이트 배선들(212)과 각각 이웃한 공통 배선들(213)과, 각각의 게이트 배선(212)과 각각의 데이터 배선(214)의 각 화소 영역(P)에 게이트 전극(216a), 반도체층(미도시), 소스 전극(216b) 및 드레인 전극(216c)으로 이루어진 박막 트랜지스터(Tr)를 포함한다.

[0026] 이때, 공통 배선(213)은 게이트 배선(212)의 상측이나 하측에 인접하여 형성될 수 있으며, 게이트 배선(212)에 대해 실질적으로 평행할 수 있으나 이에 한정되는 것은 아니다.

[0027] 액정표시장치(200)은 각 화소영역(P) 내에 드레인 전극(216c)과 전기적으로 연결된 화소 전극(218)과 각 화소영역(P) 내에 공통 배선(213)에서 분기되어 화소 전극(218)과 교번되어 형성된 공통 전극(220)을 포함한다.

[0028] 화소 전극(218)은 데이터 배선(212)을 통해 데이터 전압이 공급된다. 공통 전극(220)은 공통 배선(214)을 통해 액정 구동을 위한 기준 전압, 즉 공통 전압이 공급된다. 이에 따라, 데이터 전압(화소 전압 신호)이 공급된 화소 전극(218)과 공통 전압이 공급된 공통 전극(220) 사이에는 전계를 형성한다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(P1)을 투과하는 광투과율이 달라지게 됨으로써 화상을 구현하게 된다.

[0029] 화소 전극(218) 및 공통 전극(220)은 데이터 배선 방향으로 꺾인 꺾임 구조를 가지고 있을 수 있다. 이에 따라 액정표시장치(200)는 액정분자가 2방향으로 배열되어 2-도메인(domain)을 형성함으로써 모노-도메인에 비해 시야각이 더욱 향상된다. 다만, 화소 전극(218)과 공통 전극(220)은 2-도메인 구조에 한정되는 것은 아니며 2-도메인 이상의 멀티-도메인(multi-domain) 구조를 가질 수 있고 꺾임 구조를 가지지 않을 수도 있다. 화소 전극(218)과 공통 전극(220)은 동일 또는 다른 층 상에 위치할 수 있다.

[0030] 공통 배선(213)과 드레인 전극(216c)은 데이터 배선(212)을 통해 공급된 데이터 전압을 다음 프레임까지 유지하는 스토리지 캐패시터로 기능한다.

[0031] 그런데, 액정표시장치(200)가 대형화 및 고해상도화될수록 데이터 배선(214)의 총 길이가 증가하거나 액정셀이 데이터를 충전해야 하는 데이터 로드의 증가에 의해 액정셀의 충전 문제, 발열 문제, FOS 문제가 발생할 수 있다.

[0032] 이러한 문제를 해결하기 위해, 도 3에 도시한 바와 같이 액정표시장치를 컬럼 인버전 방식에 따라 화소영역에 위치하는 액정셀들을 충전하고 도 4에 도시한 바와 같이 상하의 화소영역들에 각각 배치된 박막 트랜지스터들이 동일한 게이트 배선을 공유하는 화소 구조를 적용할 수 있다.

[0033] 도 3은 컬럼 인버전 방식에 따라 화소영역들에 위치하는 액정셀들의 충전 방법을 개념적으로 도시하고 있다.

[0034] 도 3에서 R(-) 및 W(-), B(-), G(-)는 각각의 액정셀이 로우(Low) 충전된 것을 의미한다. R(-) 및 W(-), B(-), G(-)는 각각의 액정셀이 로우(Low) 충전된 것을 의미한다. 전술한 로우 충전과 하이 충전은 공통 전극에 대한 화소 전극의 상대적인 충전량이다.

[0035] 도 3을 참조하면, 액정표시장치(300)는 컬럼 인버전 방식, 특히 2컬럼 인버전 방식으로 화소영역들에 위치하는 액정셀들의 충전할 수 있다.

[0036] 2컬럼 인버전 방식은 이웃하는 데이터 배선 2라인씩 데이터 배선(314)과 연결된 액정셀들(ClC)의 극성을 반전시키며 그 상태를 프레임 별로 반전 구동하는 것이다.

[0037] 액정표시장치(300)을 컬럼 인버전 방식으로 구동함에 따라, 두개의 데이터 배선들(314)과 연결된 액정셀들(R, W, B, G)은 각 게이트 배선(312)에 각각 접속되어 데이터배선들(314)을 통해 공급되는 동일 극성의 데이터전압이 충전된다.

[0038] 도 4는 상하의 화소영역들에 각각 배치된 박막 트랜지스터들이 동일한 게이트 배선을 공유하는 화소 구조를 적용한 두개의 화소영역들의 평면도이다.

[0039] 도 4에 도시한 바와 같이, 상하의 화소영역들(P1, P2)에 위치하는 화소 구조는 도 2를 참조하여 설명한 화소 구조와 동일하다. 다만, 상하의 화소영역들(P1, P2)에 각각 배치된 박막 트랜지스터들(Tr1, Tr2)이 동일한 게이트

배선(312)을 공유하고 있다. 도 4에 도시한 상하의 화소영역들(P1, P2)에 위치하는 화소 구조는 도 3의 A 영역에 배치된 것으로 이해할 수 있다.

[0040] 상하의 화소영역들(P1, P2)에 위치하는 화소들은 기판(미도시) 상에는 서로 교차하여 각각의 화소 영역(P1, P2)을 정의하는 하나의 게이트 배선들(312)과 두개의 데이터 배선들(314), 각 화소 영역(P1, P2)을 지나며 게이트 배선들(312)과 각각 이웃한 공통 배선들(313)과, 게이트 배선(312)과 각각의 데이터 배선(314)의 각 화소 영역(P1, P2)에 게이트 전극(316a), 반도체층(미도시), 소스 전극(316b) 및 드레인 전극(316c)으로 이루어진 박막 트랜지스터(Tr1, Tr2)를 포함한다.

[0041] 상하의 화소영역들(P1, P2)에 위치하는 화소들은 각 화소영역(P1, P2) 내에 드레인 전극(316c)과 전기적으로 연결된 화소 전극(318)과 각 화소영역(P1, P2) 내에 공통 배선(213)에서 분기되어 화소 전극(318)과 교번되어 형성된 공통 전극(320)을 포함한다.

[0042] 도 4에 도시한 바와 같이, 상하의 화소영역들(P1, P2)에 위치하는 화소들은 상하의 화소영역들(P1, P2)에 각각 배치된 박막 트랜지스터들(Tr1, Tr2)이 동일한 게이트 배선(312)을 공유하고 이 게이트 배선(312)에 상하의 화소영역들(P1, P2)에 각각 배치된 박막 트랜지스터들(Tr1, Tr2)이 뭉쳐 있게 된다.

실시예1

[0044] 도 5는 제1실시예에 따른 액정표시장치의 일부 화소영역들의 평면도이다. 도 6은 도 5의 I-I'선의 단면도이다.

[0045] 도 5를 참조하면, 제1실시예에 따른 액정표시장치(400)는 상하의 화소영역들(P3, P4)에 위치하는 화소들을 포함한다. 이하 하부의 화소영역(P3)에 위치하는 화소를 중심으로 설명하고 하부의 화소영역(P3)과 관계될 경우에 상부의 화소영역(P4)에 위치하는 화소를 설명한다.

[0046] 특정 화소영역(P3)에 위치하는 화소는 기판(도 6의 410) 상에 서로 교차하여 화소영역을 정의하는 게이트 배선(412) 및 데이터 배선(414), 각각의 박막 트랜지스터(Tr3)을 포함한다.

[0047] 박막 트랜지스터(Tr3)는 게이트 배선(412)과 연결되는 게이트 전극(416a)과, 게이트 전극(416a)과 중첩되는 반도체층(미도시)과, 데이터 배선(414)과 연결되는 소스 전극(416a)과, 소스 전극(416a)과 이격되어 위치하는 드레인 전극(416b)을 포함한다.

[0048] 특정 화소영역(P3)에 위치하는 각 화소는 적어도 하나의 가지(finger, 418a)를 포함하는 화소 전극(418), 게이트 배선(412)의 연장 방향에 따라 연장된 공통 배선(413), 공통 배선(413)과 연결되며 화소 전극(418)의 가지(418a)와 교번하는 적어도 하나의 가지(420a)를 포함된 공통 전극(420)을 포함한다.

[0049] 화소 전극(418)의 가지(418a)와 공통 전극(420)의 가지(420a)는 경계부(432)를 기준으로 데이터 배선 방향으로 꺾인 적어도 한번 꺾인 구조일 수 있다. 다만, 화소 전극(418)과 공통 전극(420)은 2-도메인 구조에 한정되는 것은 아니며 2-도메인 이상의 멀티-도메인(multi-domain) 구조를 가질 수 있고 꺾임 구조를 가지지 않을 수도 있다.

[0050] 특정 화소영역(P3)에 위치하는 화소는 드레인 전극(416c)과 연결되며 공통 전극(420)을 기준으로 박막 트랜지스터(Tr3)와 반대편에 위치하며 화소 전극 콘택홀(422)을 통해 화소 전극(418)과 연결된 제1연결패턴(424)을 포함한다.

[0051] 제1연결패턴(424)은 드레인 전극(416c)과 물리적으로 일체(one body)일 수 있으나 이에 한정되는 것은 아니다.

[0052] 공통 배선(413)은 화소 전극(418)을 기준으로 박막 트랜지스터(Tr3)와 반대편에 위치하고, 공통 전극 콘택홀(426)을 통해 공통 전극(420)과 연결된다.

[0053] 게이트 배선(412)은 데이터 배선 방향으로 인접한 다른 박막 트랜지스터, 다른 화소영역(P4)에 위치하는 박막 트랜지스터(Tr4)의 게이트 전극(416b)과 연결되어 있다. 게이트 배선(412)은 상하의 화소영역들(P1, P2)에 위치하는 화소들은 상하의 화소영역들(P1, P2)에 각각 배치된 박막 트랜지스터들(Tr1, Tr2)의 게이트 전극들(416b)과 물리적으로 일체를 이룬다.

[0054] 게이트 배선(412)와 게이트 전극(416b), 공통 배선(413)은 동일한 제1층에 동일한 물질로 동일한 공정에 의해 형성될 수 있다. 또한, 데이터 배선(414), 소스 전극(416a), 드레인 전극(416c), 제1연결패턴(424)은 동일한 제2층에 동일한 물질로 동일한 공정에 의해 형성될 수 있다. 화소 전극(418)과 공통 전극(420)은 동일한 제3층에 동일한 물질로 동일한 공정에 의해 형성될 수 있다. 이때 기판(도 6의 410) 상에 제1층과 제2층, 제3층 순서로

위치할 수 있으나 이에 제한되지 않고 그 순서가 바뀔 수도 있고 구성요소들 중 일부가 다른 층에 위치할 수도 있다.

[0055] 이 제1연결패턴(424)은 제1연결가지(first connecting finger, 424a)와 제1플레이트(first plate, 424b)를 포함한다. 제1연결가지(424a)는 도 6에 도시한 바와 같이 화소 전극(418)에 포함되는 가지(418a)와 중첩될 수 있으나 중첩되지 않을 수도 있다. 화소 전극(418)이 둘 이상의 가지들(418a)을 포함할 경우, 제1연결가지(424a)는 도 6에 도시한 바와 같이 화소 전극(418)의 가지들(418a) 중 최외각에 위치하는 하나와 중첩될 수 있다. 이와 같이 화소 전극(418)에 포함되는 가지(418a)와 중첩될 경우 제1연결가지(424a)와 화소 전극(418)의 가지(418a)는 인가된 데이터 전압과 등전위를 형성하므로 전계에 의한 간섭을 최소화할 수 있다.

[0056] 제1플레이트(424b)는 공통 전극(420)을 기준으로 박막 트랜지스터(Tr3)와 반대편에 위치하며 화소 전극 콘택홀(422)을 통해 화소 전극(418)과 연결될 수 있다. 제1플레이트(424b)는 공통 배선(413)과 다른 층으로 이격되어 캐패시터(Cst)를 구성할 수 있다.

[0057] 제1연결패턴(424)은 드레인 전극(416c)과 물리적으로 일체(one body)일 수 있다고 전술하였다. 동일하게 제1연결가지(424a)와 제1플레이트(424b)는 드레인 전극(416c)과 물리적으로 일체일 수 있다. 따라서, 드레인 전극(416c)은 제1연결가지(424a)에 의한 점핑 구조로 제1플레이트(424b)와 연결되고, 제1플레이트(424b)는 화소 전극 콘택홀(422)을 통해 화소 전극(418)과 연결될 수 있다.

[0058] 공통 배선(413)은 특정 화소 영역(P3) 내에 공통 가지(413a)와 공통 프레이트(413b)를 포함할 수 있다. 공통 전극(420)이 둘 이상의 가지들(420a)을 포함할 경우, 공통 가지(413a)는 도 6에 도시한 바와 같이 공통 전극(420)의 가지들(420a) 중 최외각에 위치하는 하나와 중첩되거나 인접하여 배치될 수 있다.

[0059] 공통 플레이트(413b)는 제1연결패턴(424)의 제1플레이트(424b)의 다른 층으로 이격되어 중첩될 수 있다. 전술한 바와 같이 제1플레이트(424b)는 공통 프레이트(413b)와 다른 층으로 이격되어 캐패시터(Cst)를 구성할 수 있다.

[0060] 상하의 화소영역들(P3, P4)에 위치하는 화소들은 상하의 화소영역들(P3, P4)에 각각 배치된 박막 트랜지스터들(Tr3, Tr4)이 동일한 게이트 배선(412)을 공유한다. 그런데, 하부의 화소영역(P3)에 위치하는 제1연결패턴(424)은 공통 배선(413)의 공통 플레이트(413b)와 캐패시터(Cst)를 구성하며 공통 전극(420)을 기준으로 박막 트랜지스터(Tr3)와 반대편에 위치하므로 하부의 화소영역(P3)은 박막 트랜지스터(Tr3)와 스토리지 캐패시터(Cst)를 공통 전극(420)을 기준으로 분산할 수 있다. 따라서, 상하의 화소영역들(P3, P4)에 위치하는 화소들은 박막 트랜지스터들(Tr3, Tr4)과 하부의 스토리지 캐패시터(Cst)이 한 영역에 뭉치지 않게 배치할 수 있다.

[0061] 도 6에 도시한 바와 같이 공통 배선(413)은 기판(410) 상에 위치하고, 제1연결패턴(424)은 제1절연층(428) 상에 위치할 수 있다. 따라서, 공통 플레이트(413b)는 기판(410) 상에 위치하고 제1플레이트(424b)는 제1절연층(428) 상에 위치할 수 있다. 또한 화소 전극(418)과 공통 전극(420)은 제1절연층(428) 상에 위치하는 제2절연층(430) 상에 위치할 수 있다. 따라서, 화소 전극(418)의 가지(418a)와 공통 전극(420)의 가지(420a)도 제2절연층(430) 상에 위치할 수 있다.

[0062] 또한 제1실시예에 따른 액정표시장치(400)는 도 6에 도시한 바와 같이 하나의 화소 내에서 한 곳에 밀집된 박막 트랜지스터와 스토리지 캐패시터, 공통 전극 콘택홀이 위치하는 세 영역들 중 스토리지 캐패시터와 공통 전극 콘택홀이 위치하는 영역을 다른 곳으로 분리하고 세 영역의 적절한 화소 내 배치한다.

[0063] 전체적으로 박막 트랜지스터(Tr3)를 포함하는 제1영역과 제1연결패턴을 포함하는 제2영역이 경계부(432)를 기준으로 대칭일 수 있다. 따라서, 액정표시장치(400)에 포함되는 화소들을 대칭적으로 구성하므로 화소 전극(418)과 공통 전극(420)의 2-도메인들이 대칭되어 비대칭에 의한 시야각별 색감차 발생을 방지할 수 있다.

[0064] 또한 박막 트랜지스터(Tr3)를 포함하는 비표시영역(BS2)과 스토리지 캐패시터를 포함하는 비표시영역(BS1)을 동일하게 설계하므로 이들의 비대칭에 의한 시감차가 인지되는 것을 방지할 수 있다.

실시예2

[0066] 도 7은 비교예에 따른 액정표시장치의 어레이 구조 및 블랙 매트릭스의 관계를 도시하고 있다.

[0067] 도 7을 참조하면, 비교예에 따른 액정표시장치(500)는 영상을 표시하는 표시영역(DA)와 블랙 매트릭스(BM)에 가려져 영상을 표시하지 않는 비표시영역(NDA)로 나눌 수 있다.

[0068] 비교예에 따른 액정표시장치(500)는 도 4에 도시한 바와 같이 이 게이트 배선에 좌우의 화소영역들(Px, Py)에 각각 배치된 박막 트랜지스터들(Tr)이 뭉쳐 있게 된다. 도 4에서는 도면에서 상하 방향으로 화소영역들이 연장

되어 있으나 도 7에는 도면에서 좌우 방향으로 화소영역들이 연장된 점을 제외하고 실질적으로 동일할 수 있다.

[0069] 비교예에 따른 액정표시장치(500)는 게이트 배선 또는 데이터 배선을 따라 박막 트랜지스터(Tr)가 연결된 방향이 일정하지 않음으로 블랙 매트릭스(BM)의 폭의 차이가 발생하고 이 같은 배열의 반복이 특정 패턴으로 인지됨으로써 화상 품질이 저하될 수 있다. 구체적으로 도 7에서 게이트 배선에 좌우의 화소영역들(Px, Py)에 각각 배치된 박막 트랜지스터들(Tr)이 뭉친 블랙 매트릭스(BM)의 폭이 다른 블랙 매트릭스의 폭보다 큰 것을 알 수 있다.

[0070] 비교예에 따른 액정표시장치(500)는 대형화 및 고해상도화될수록 데이터 배선들의 개수가 많아지므로 데이터 구동부에 포함되는 데이터 드라이버 집적회로들의 개수가 증가하게 된다.

[0071] 데이터 드라이버 집적회로들의 개수를 줄이기 위해 하나의 데이터 배선에 게이트 배선 방향에 위치하는 2개 또는 3개의 박막 트랜지스터들과 연결된 화소구조들, 각 화소의 충전 전압의 극성 및 강/양 충전 배치, 극성 변경에 따른 데이터 드라이버 집적회로들의 발열 등을 고려하여 인버전 방식에 따른 액정셀의 충전 방법 및 이에 따른 각 화소별 신호 인가 순서를 결정하게 된다.

[0072] 각 화소별 신호 인가 순서가 결정됨에 따라 각 화소에서 박막 트랜지스터(Tr)의 위치가 결정된다. 그런데, 박막 트랜지스터 위치가 일정치 않으며 특정 배선 주위에 박막 트랜지스터가 모여 있거나 없는 배열이 반복됨으로써 블랙 매트릭스 두께 차이를 인지하거나 도메인들의 경계부 꺾임 위치 불일치 또는 일치 시 도메인 면적 비대칭에 의한 시야각 색감차 발생 등에 의하여 화상 품질이 저하될 수 있고, 각 화소별 신호를 인가하는 방법을 적용하는 데 제한이 따른다.

[0073] 도 8은 제2실시예에 따른 액정표시장치의 어레이 구조 및 블랙 매트릭스의 관계를 도시하고 있다.

[0074] 도 8을 참조하면, 제2실시예에 따른 액정표시장치(600)는 영상을 표시하는 표시영역(DA)와 블랙 매트릭스(BM)에 가려져 영상을 표시하지 않는 비표시영역(NDA)로 나눌 수 있다.

[0075] 제2실시예에 따른 액정표시장치(600)는 게이트 배선 또는 데이터 배선을 따라 박막 트랜지스터(Tr)가 연결된 방향이 일정하므로 블랙 매트릭스(BM)의 폭의 차이가 발생하지 않거나 그 차이가 작고 특정 패턴으로 인지되지 않거나 미약하게 인지되므로 화상 품질을 향상시킬 수 있다.

[0076] 도 9는 도 8의 A영역의 어레이 구조의 평면도이다.

[0077] 도 9를 참조하면, 제2실시예에 따른 액정표시장치(600)는 상하의 화소영역들(P5, P6)에 위치하는 화소들을 포함한다. 이하 하부의 화소영역(P5)에 위치하는 화소를 중심으로 설명하고 하부의 화소영역(P5)과 관계될 경우에 상부의 화소영역(P6)에 위치하는 화소를 설명한다.

[0078] 특정 화소영역(P5)에 위치하는 화소는 기판 상에 서로 교차하여 화소영역을 정의하는 게이트 배선(612) 및 데이터 배선(614), 각각의 박막 트랜지스터(Tr5)을 포함한다.

[0079] 박막 트랜지스터(Tr6)는 게이트 배선(612)과 연결되는 게이트 전극(616a)과, 게이트 전극(616a)과 중첩되는 반도체층(미도시)과, 데이터 배선(614)과 연결되는 소스 전극(616a)과, 소스 전극(616a)과 이격되어 위치하는 드레인 전극(616b)을 포함한다.

[0080] 특정 화소영역(P5)에 위치하는 화소는 적어도 하나의 가지(618a)를 포함하는 화소 전극(618), 게이트 배선(612)의 연장 방향에 따라 연장된 공통 배선(613) 및 화소 전극(618)의 가지와 교변하는 적어도 하나의 가지(620a)를 포함하는 공통 전극(620)을 포함한다.

[0081] 공통 전극(620)은 화소 전극(618)을 기준으로 박막 트랜지스터(Tr5)의 반대편에 위치하면 공통 전극 콘택홀(626)을 통해 공통 배선(613)과 연결된다. 공통 배선(613)은 화소 전극(618) 및 공통 전극(620)을 기준으로 게이트 배선(612)과 반대편에 위치하며, 공통 전극 콘택홀(626)을 통해 공통 전극(620)과 연결된다.

[0082] 공통 배선(613)은 특정 화소 영역(P5) 내에 공통 가지(613a)와 공통 플레이트(613b)를 포함할 수 있다. 공통 전극(620)이 둘 이상의 가지들(620a)를 포함할 경우, 공통 가지(613a)는 도 9에 도시한 바와 같이 공통 전극(620)의 가지들(620a) 중 최외각에 위치하는 하나와 인접하여 배치될 수 있다.

[0083] 공통 플레이트(613b)는 화소 전극을 기준으로 상기 박막트랜지스터와 같은 편에 위치하며 드레인 전극(616c)과 다른 층으로 이격되어 캐패시터(Cst)를 구성할 수 있다.

- [0084] 공통 배선(613)은 화소 전극(618)을 기준으로 박막 트랜지스터(Tr5)와 반대편에 위치하는 공통 전극 콘택홀(626)을 통해 공통 전극(620)과 연결될 수 있다.
- [0085] 상하의 화소영역들(P5, P6)에 위치하는 화소들은 상하의 화소영역들(P5, P6)에 각각 배치된 박막 트랜지스터들(Tr5, Tr6)이 동일한 게이트 배선(612)을 공유한다. 그런데, 하부의 화소영역(P5)에 위치하는 드레인 전극(616c)는 공통 배선(613)의 공통 플레이트(613b)와 캐패시터(Cst)를 구성하나, 공통 배선(613)은 화소 전극(618)을 기준으로 박막 트랜지스터(Tr5)와 반대편에 위치하는 공통 전극 콘택홀(626)을 통해 공통 전극(620)과 연결되므로 하부의 화소영역(P5)은 박막 트랜지스터(Tr5)/스토리지 캐패시터(Cst)와 공통 전극 콘택홀(626)을 공통 전극(420)을 기준으로 분산할 수 있다. 따라서, 상하의 화소영역들(P5, P6)에 위치하는 화소들은 박막 트랜지스터들(Tr5, Tr6)/스토리지 캐패시터(Cst)와 공통 전극 콘택홀(626)이 한 영역에 뭉치지 않게 배치할 수 있다.
- [0086] 도 9에 도시한 화소는 화소 전극(618)의 가지(618a)와 공통 전극(420)의 가지(420a)는 경계부(632)를 기준으로 게이트 배선 방향으로 꺾인 구조인데, 도 10에 도시한 바와 같이 또 다른 실시예에 따른 액정표시장치(700)에서, 특정 화소영역(P7)에 위치하는 화소는 화소 전극(618)의 가지(618a)와 공통 전극(420)의 가지(420a)는 경계부(632)를 기준으로 게이트 배선 방향으로 꺾인 구조일 수도 있다.
- [0087] 이때 화소 전극(618)의 가지(618a)와 공통 전극(620a)는 경계부(632)를 기준으로 적어도 한번 꺾인 구조이며, 박막 트랜지스터(Tr7)를 포함하는 제3영역과 공통 배선(613)을 포함하는 제4영역이 경계부(632)를 기준으로 대칭일 수 있다. 따라서, 액정표시장치(700)에 포함되는 화소들을 대칭적으로 구성하므로 화소 전극(618)과 공통 전극(620)의 2-도메인들이 대칭되어 비대칭에 의한 시야각별 색감차 발생을 방지할 수 있다.
- [0088] 또한 박막 트랜지스터(Tr7)를 포함하는 비표시영역(BS4)과 공통 배선(613) 및 공통 전극 콘택홀(626)을 포함하는 비표시영역(BS3)을 동일하게 설계하므로 이들의 비대칭에 의한 시감차가 인지되는 것을 방지할 수 있다.
- [0089] 상하의 화소영역들(P7, P8)에 위치하는 화소들은 상하의 화소영역들에 각각 배치된 박막 트랜지스터들(Tr7, Tr8)이 동일한 게이트 배선(612)을 공유하더라도, 도 2에 도시한 바와 같이 상하의 박막트랜지스터들(Tr1, Tr2)이 상하의 두개의 게이트 배선들(216)로 분산된 화소 구조와 동일하게 도 11에 도시한 바와 같이, 박막 트랜지스터(Tr7)를 포함하는 비표시영역(BS4)과 공통 배선(613) 및 공통 전극 콘택홀(626)을 포함하는 비표시영역(BS3)을 동일하게 설계할 수 있다.
- [0090] 도 12은 도 7의 블랙 매트릭스 구조와 제2실시예에 따른 액정표시장치에 대한 도 8의 블랙 매트릭스 구조를 대비한 도면이다.
- [0091] 도 12에 도시한 바와 같이, 제2실시예에 따른 액정표시장치(600)에 대한 도 8의 블랙 매트릭스(BM)는 도 9에 도시한 바와 같이 하나의 화소 내에서 한 곳에 밀집된 박막 트랜지스터와 스토리지 캐패시터/공통 전극 콘택홀이 위치하는 세 영역들 중 공통 전극 콘택홀이 위치하는 영역을 다른 곳으로 분리하고 세 영역의 적절한 화소 내 배치를 통하여 블랙 매트릭스의 폭의 균일성을 향상시키고 패턴의 규칙성을 부여할 수 있다.
- [0092] 이를 통하여 경계부 중심으로 대칭되는 형태를 가지게 함으로써 도메인 면적의 대칭성을 확보하고 화소의 신호 인가 방향에 관계 없이 대체로 규칙적인 블랙 매트릭스의 패턴을 가질 수 있다.
- [0093] 도 13은 도 7의 비교예와 도 8의 제2실시예에 따른 액정표시장치들의 패턴 인지 정도를 비교한 도면이다.
- [0094] 제2실시예에 따른 액정표시장치(600)는, 비교예에 따른 액정표시장치(500)과 비교하여, 도메인 면적의 대칭성을 확보하고 화소의 신호 인가 방향에 관계 없이 대체로 규칙적인 블랙 매트릭스의 패턴을 가지므로 블랙 매트릭스(BM)의 폭의 차이가 발생하지 않거나 그 차이가 작고 특정 패턴으로 인지되지 않거나 미약하게 인지되므로 화상 품질을 향상시킬 수 있다.
- [0095] 이상 도 12 및 도 13을 참조하여 제2실시예에 따른 액정표시장치(600)가, 비교예에 따른 액정표시장치(500)과 비교하여, 특정 패턴으로 인지되지 않거나 미약하게 인지되므로 화상 품질을 향상시키는 것으로 설명하였다. 그런데, 도 5를 참조하여 설명한 제1실시예에 따른 액정표시장치(600)나 도 10을 참조하여 설명한 액정표시장치(700)도 동일한 이유로 특정 패턴으로 인지되지 않거나 미약하게 인지되므로 화상 품질을 향상시킬 수 있다.
- [0096] 이상 도면을 참조하여 실시예들을 설명하였으나 본 발명은 이에 제한되지 않는다.
- [0097] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를

더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

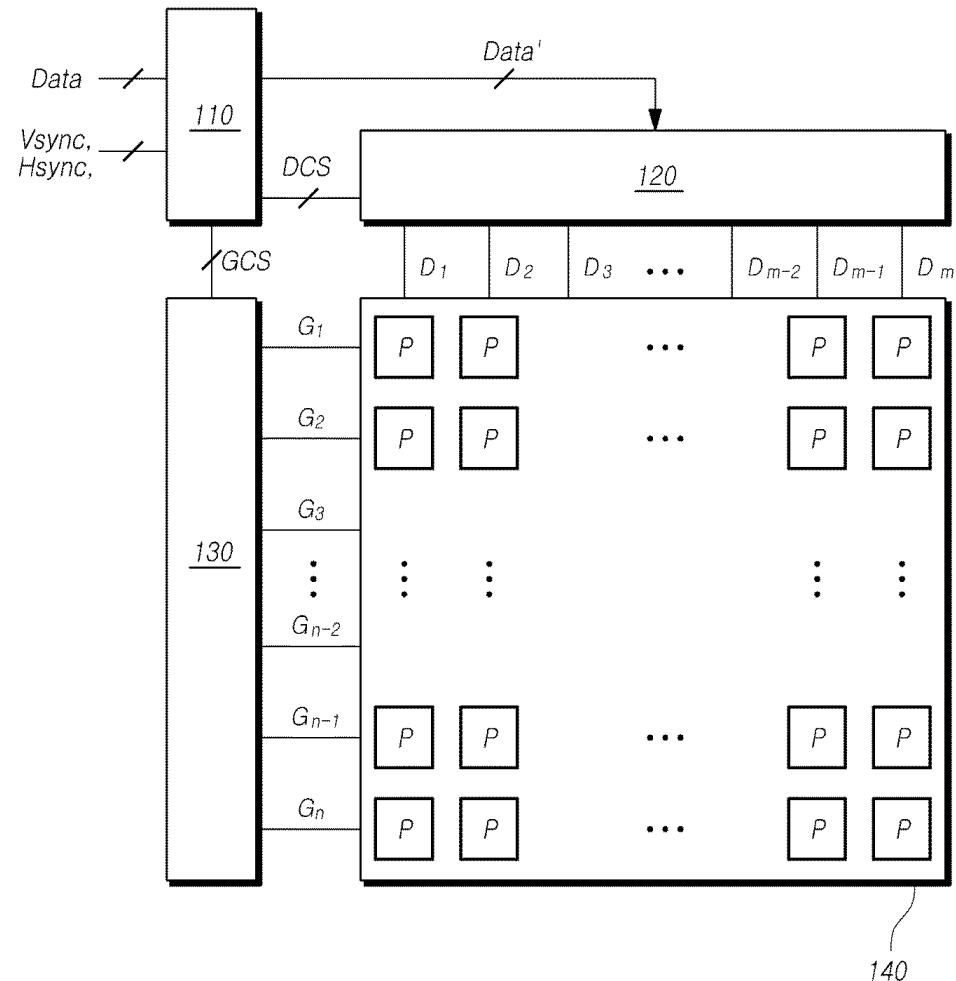
[0098] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

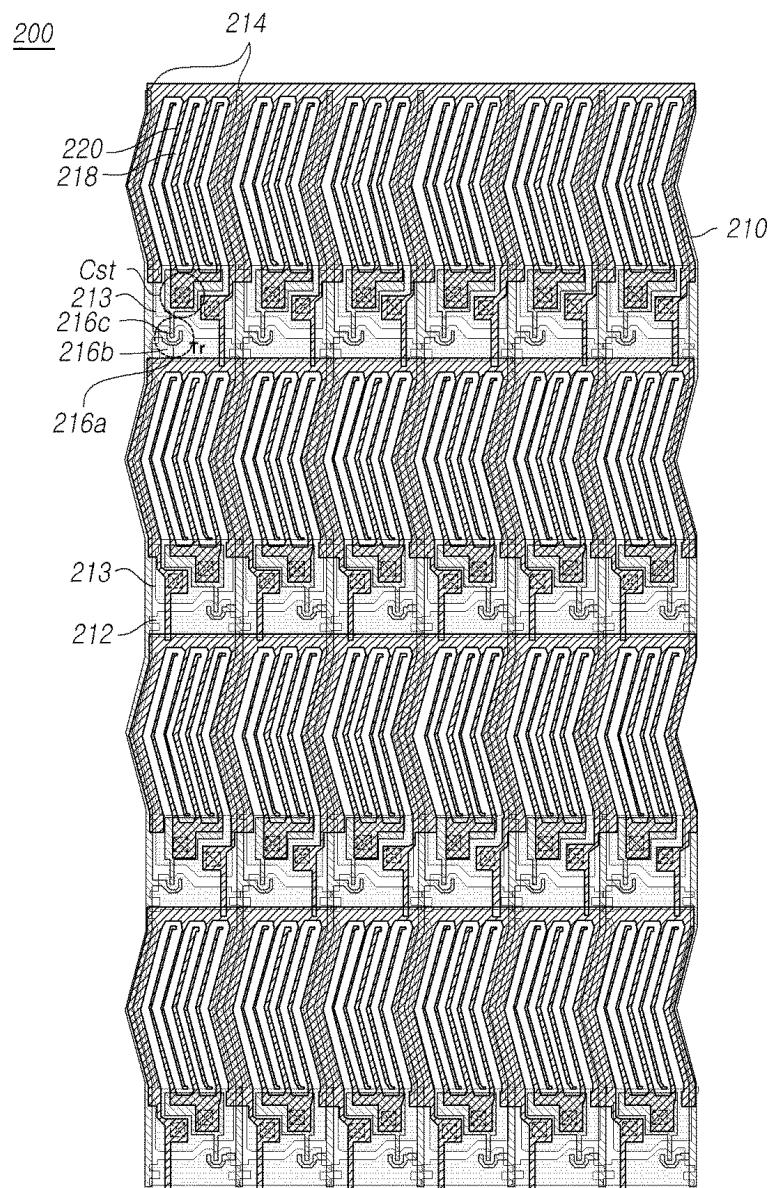
100: 액정표시장치	110: 타이밍 컨트롤러
120: 데이터 구동부	130: 게이트 구동부
140: 액정표시패널	213: 공통 배선
216c: 드레인 전극	218: 화소 전극
221: 제2패턴	222: 제1패턴

도면

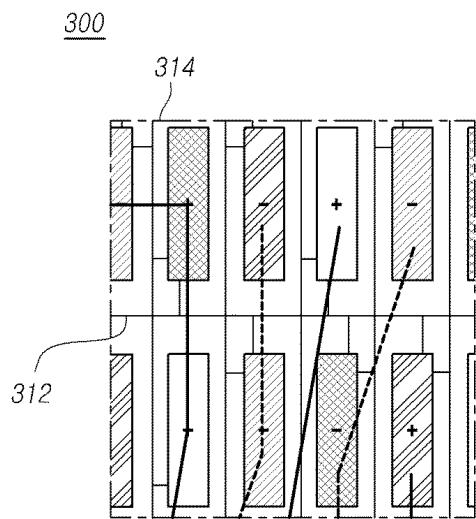
도면1

100

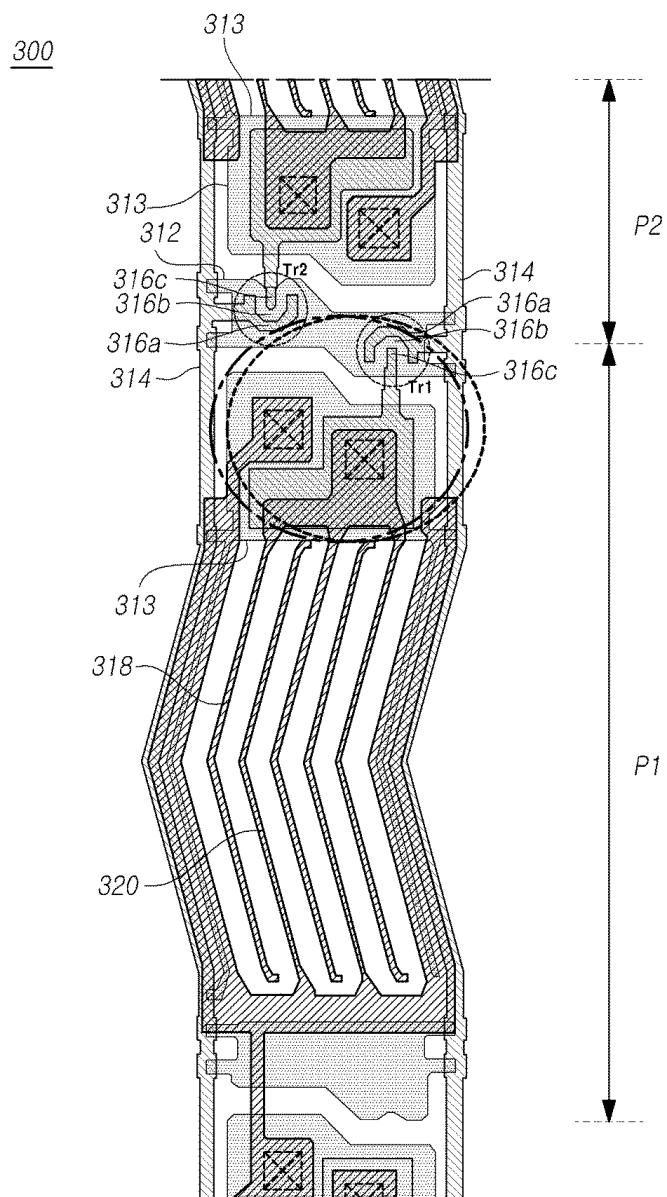
도면2



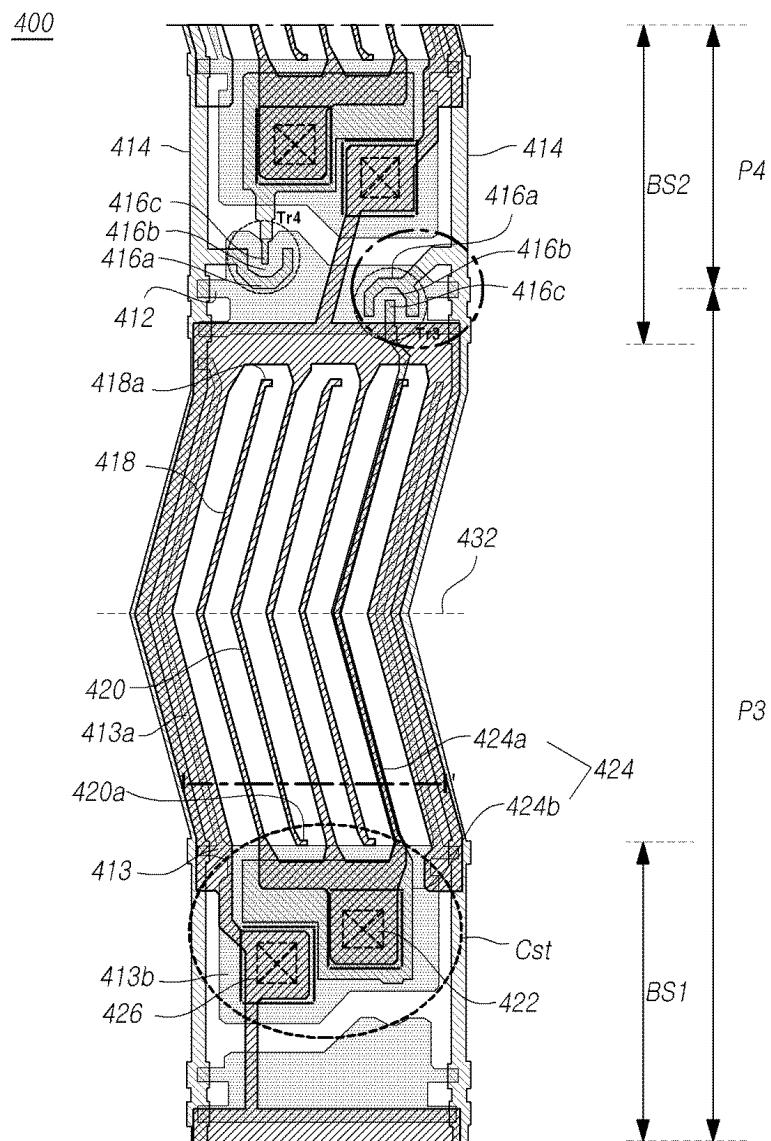
도면3



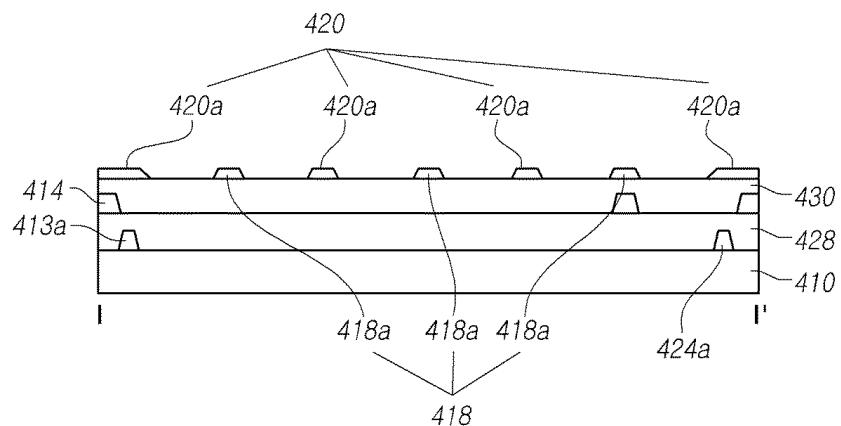
도면4



도면5

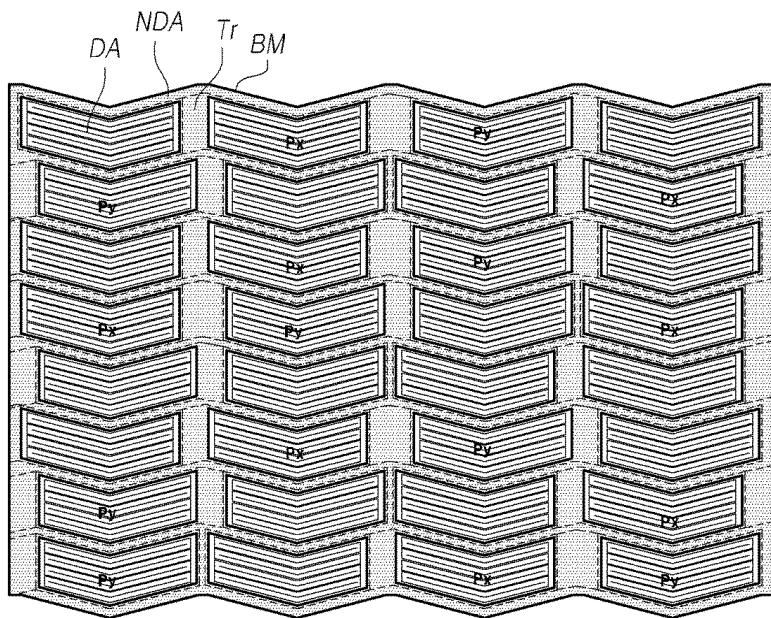


도면6

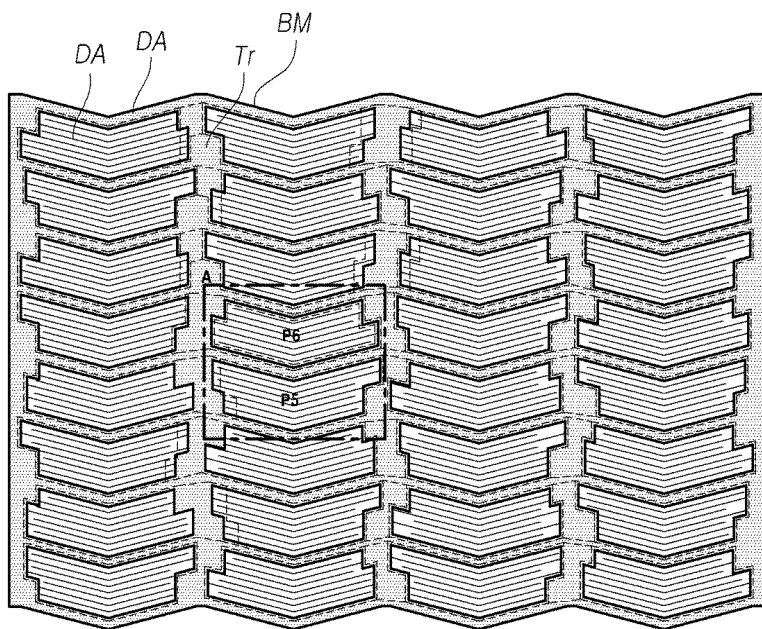


도면7

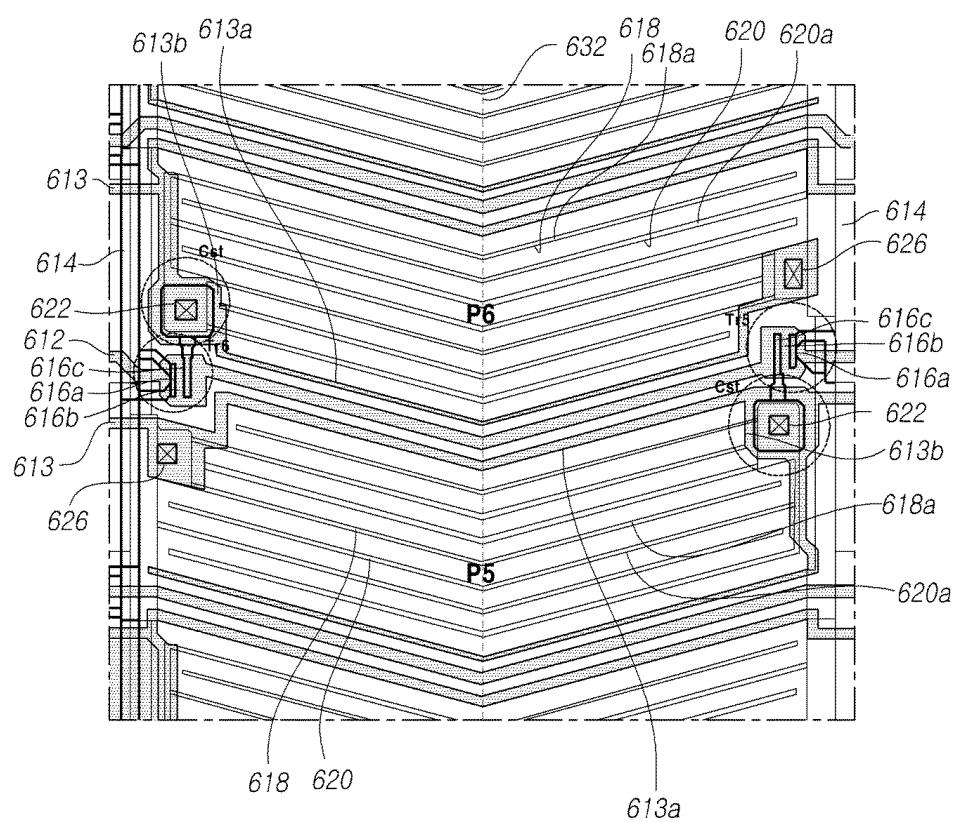
500



도면8

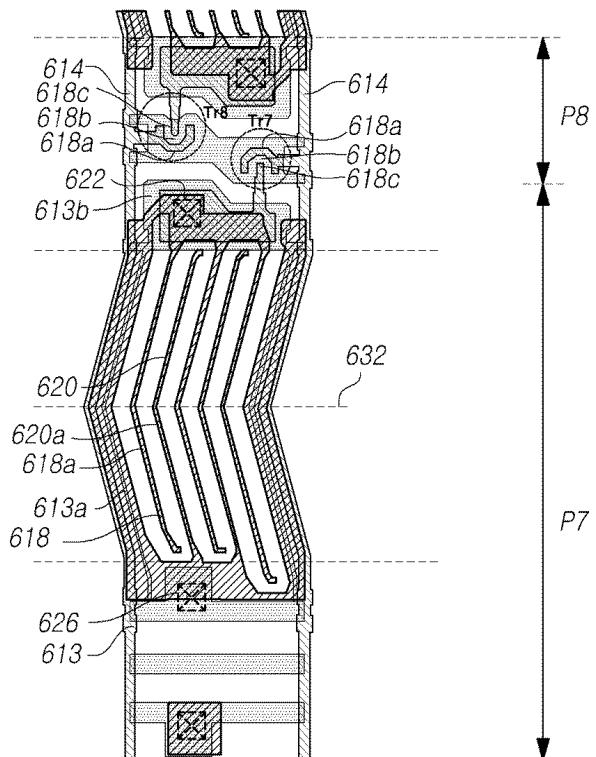
600

도면9

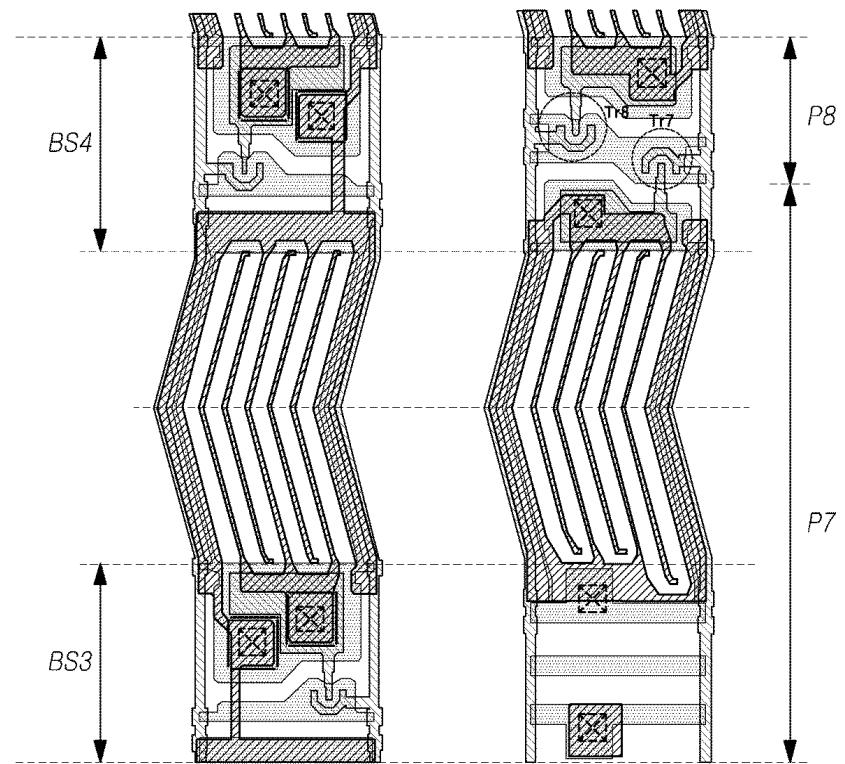
600

도면10

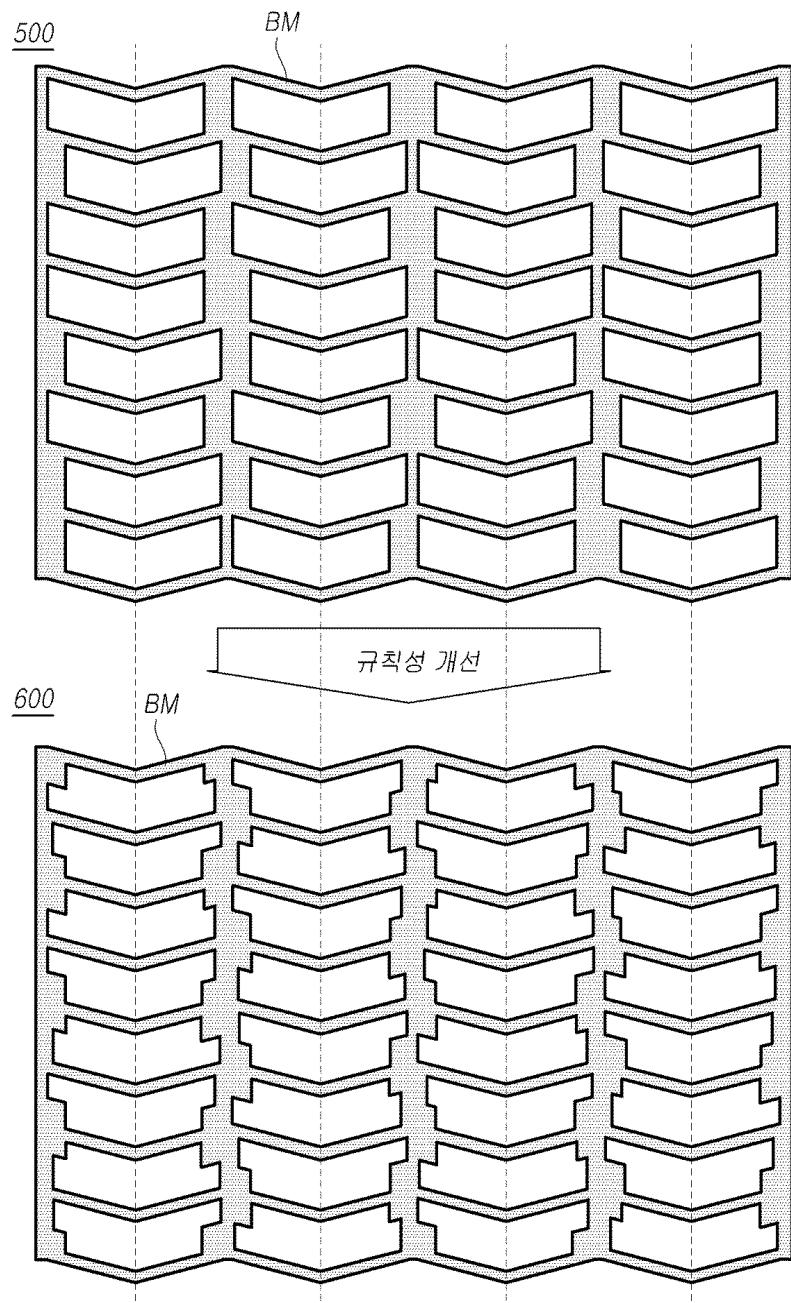
700



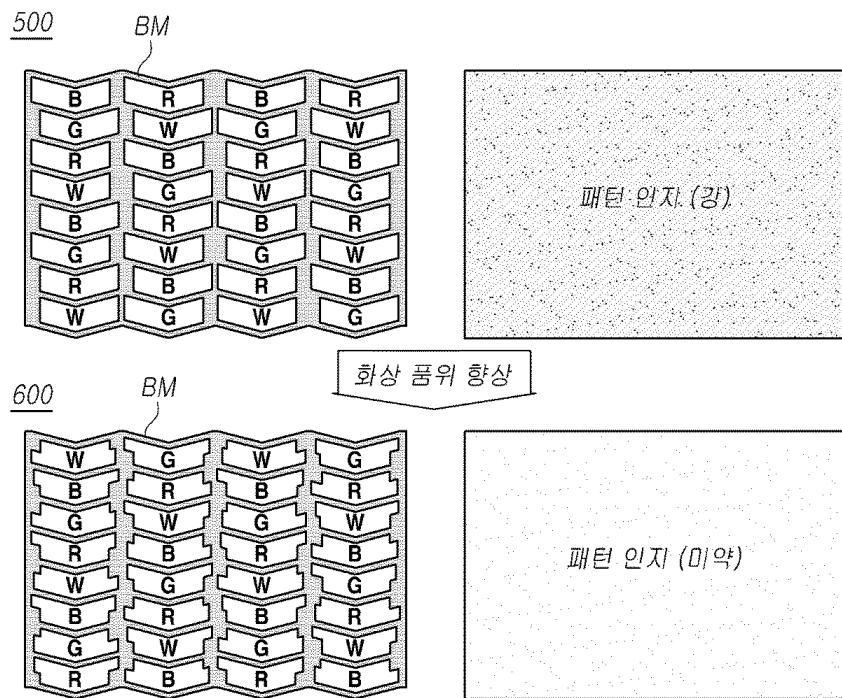
도면11



도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	KR1020180047166A	公开(公告)日	2018-05-10
申请号	KR1020160142980	申请日	2016-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN HYUNG BEOM 신형범 LEE CHAN HO 이찬호		
发明人	신형범 이찬호		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/136286 G02F1/1368 G02F1/136227 G02F1/136213 G02F2201/121 G02F2201/123		

摘要(译)

本发明提供一种液晶显示装置，其中薄膜晶体管，存储电容器和存储电容器和/或公共电极接触孔在公共电极接触孔所在的三个区域中被分成不同的区域。

