



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0134821
(43) 공개일자 2017년12월07일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1343 (2006.01)
(52) CPC특허분류
G02F 1/1362 (2013.01)
G02F 1/134309 (2013.01)
(21) 출원번호 10-2016-0064894
(22) 출원일자 2016년05월26일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김용빈
경기도 화성시 동탄중양로 187, 336동 803호 (반송동, 동탄시범다운마을 월드메르디앙반도유보라)
이기창
서울특별시 서초구 고무래로 35, 105동 804호(반포동, 반포리체아파트)
이용우
경기도 김포시 김포한강2로 103, 502동 1803호 (장기동, 초당마을우남퍼스트빌아파트)
(74) 대리인
윤여광, 조우제, 허창준, 이재형, 노환욱, 염주석

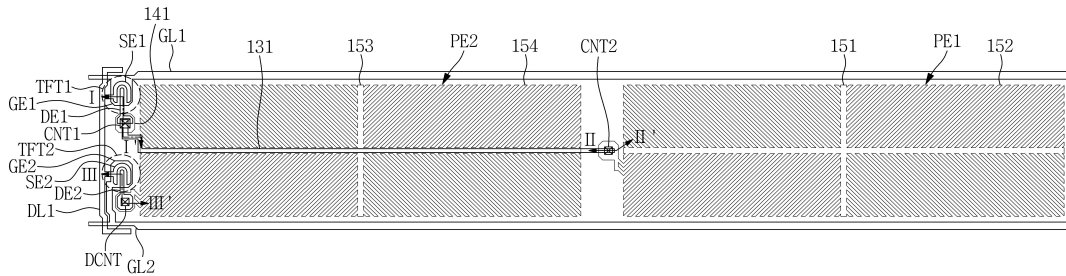
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 액정 표시 장치는, 제 1 게이트 라인 및 제 2 게이트 라인, 제 1 및 제 2 게이트 라인과 절연되어 교차하는 제 1 데이터 라인, 제 1 게이트 라인 및 제 1 데이터 라인과 연결되는 제 1 박막 트랜지스터, 제 2 게이트 라인 및 제 1 데이터 라인과 연결되는 제 2 박막 트랜지스터, 제 1 박막 트랜지스터와 연결된 제 1 부화소 전극, 제 2 박막 트랜지스터와 연결된 제 2 부화소 전극, 제 1 박막 트랜지스터와 제 1 부화소 전극을 연결하는 연결 배선을 포함하고, 연결 배선은 제 2 부화소 전극과 절연되어 중첩되고, 제 1 게이트 라인 및 제 2 게이트 라인과 동일층에 배치되는 액정 표시 장치.

대표도



(52) CPC특허분류
G02F 2001/136272 (2013.01)

명세서

청구범위

청구항 1

제 1 게이트 라인 및 제 2 게이트 라인;

상기 제 1 및 제 2 게이트 라인과 절연되어 교차하는 제 1 데이터 라인;

상기 제 1 게이트 라인 및 상기 제 1 데이터 라인과 연결되는 제 1 박막 트랜지스터;

상기 제 2 게이트 라인 및 상기 제 1 데이터 라인과 연결되는 제 2 박막 트랜지스터;

상기 제 1 박막 트랜지스터와 연결된 제 1 부화소 전극;

상기 제 2 박막 트랜지스터와 연결된 제 2 부화소 전극; 및

상기 제 1 박막 트랜지스터와 상기 제 1 부화소 전극을 연결하는 연결 배선;을 포함하고,

상기 연결 배선은 상기 제 2 부화소 전극과 절연되어 중첩되고, 상기 제 1 게이트 라인 및 상기 제 2 게이트 라인과 동일층에 배치되는 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 제 1 부화소 전극과 상기 제 2 부화소 전극은 상기 제 1 게이트 라인과 상기 제 2 게이트 라인 사이에 배치되는 액정 표시 장치.

청구항 3

제 2 항에 있어서, 상기 제 1 및 제 2 부화소 전극은 십자 형상의 줄기 전극을 포함하는 액정 표시 장치.

청구항 4

제 3 항에 있어서, 상기 연결 배선은 상기 제 2 부화소 전극의 줄기 전극과 중첩하는 액정 표시 장치.

청구항 5

제 2 항에 있어서, 상기 제 1 박막 트랜지스터는 상기 제 1 게이트 라인에 연결된 제 1 게이트 전극, 제 1 게이트 전극과 절연되어 중첩되는 제 1 반도체층, 상기 제 1 데이터 라인에 연결된 제 1 소스 전극 및 상기 제 1 화소 전극과 연결된 제 1 드레인 전극을 포함하는 액정 표시 장치.

청구항 6

제 5 항에 있어서, 상기 연결 배선은 상기 제 1 드레인 전극과 적어도 일부 중첩되는 액정 표시 장치.

청구항 7

제 5 항에 있어서, 상기 연결 배선 및 상기 제 1 드레인 전극의 적어도 일부를 노출하는 제 1 콘택홀을 더 포함하는 액정 표시 장치.

청구항 8

제 5 항에 있어서, 상기 제 1 콘택홀 상에 배치되고, 상기 연결 배선 및 상기 제 1 드레인 전극과 접촉하는 브리지 전극을 더 포함하는 액정 표시 장치.

청구항 9

제 1 게이트 라인 및 제 2 게이트 라인;

상기 제 1 및 제 2 게이트 라인과 절연되어 교차하는 제 1 데이터 라인;

상기 제 1 게이트 라인 및 제 1 데이터 라인과 연결되는 제 1 박막 트랜지스터;
 상기 제 2 게이트 라인 및 제 1 데이터 라인과 연결되는 제 2 박막 트랜지스터;
 상기 제 1 박막 트랜지스터와 연결된 제 1 부화소 전극;
 상기 제 2 박막 트랜지스터와 연결된 제 2 부화소 전극; 및
 상기 제 1 박막 트랜지스터와 상기 제 1 부화소 전극을 연결하는 연결 배선;을 포함하고,
 상기 연결 배선은 상기 제 2 부화소 전극과 절연되어 중첩되고, 상기 제 1 데이터 라인과 동일층에 배치되는 액정 표시 장치.

청구항 10

제 9 항에 있어서, 상기 제 1 부화소 전극과 상기 제 2 부화소 전극은 상기 제 1 게이트 라인과 상기 제 2 게이트 라인 사이에 배치되는 액정 표시 장치.

청구항 11

제 10 항에 있어서, 상기 제 1 및 제 2 부화소 전극은 십자 형상의 줄기 전극을 포함하는 액정 표시 장치.

청구항 12

제 11 항에 있어서, 상기 연결 배선은 상기 제 2 부화소 전극의 줄기 전극과 중첩하는 액정 표시 장치.

청구항 13

제 10 항에 있어서, 상기 연결 배선을 노출하는 제 1 콘택홀을 더 포함하는 액정 표시 장치.

청구항 14

제 13 항에 있어서, 상기 제 1 부화소 전극은 상기 제 1 콘택홀에서 상기 연결 배선과 접촉되어 전기적으로 연결되는 액정 표시 장치.

청구항 15

제 10 항에 있어서, 상기 제 1 부화소 전극은 상기 제 2 부화소 전극과 실질적으로 동일한 면적을 가지는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 특히 개구율 및 투과율을 향상시킬 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(liquid crystal display, LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(flat panel display, FPD) 중 하나로서 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어진다. 액정 표시 장치는 두 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 이러한 액정 표시 장치는 복수의 화소를 포함하며, 화소는 박막 트랜지스터에 의해 제어되며, 각 화소는 화소 전극을 포함한다. 박막 트랜지스터에 의해 신호가 화소 전극으로 전달된다. 이때, 박막 트랜지스터에서 화소 전극으로 신호를 전달하기 위한 배선이 더 필요할 수 있는데, 이 배선은 화소 영역의 일부를 점유하여 화소의 개구율이 감소된다. 이에 따라, 액정 표시 장치의 투과율이 감소된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 액정 표시 장치의 개구율과 투과율을 향상시키는데 그 목적이 있다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 액정 표시 장치는, 제 1 게이트 라인 및 제 2 게이트 라인; 제 1 및 제 2 게이트 라인과 절연되어 교차하는 제 1 데이터 라인; 제 1 게이트 라인 및 제 1 데이터 라인과 연결되는 제 1 박막 트랜지스터; 제 2 게이트 라인 및 제 1 데이터 라인과 연결되는 제 2 박막 트랜지스터; 제 1 박막 트랜지스터와 연결된 제 1 부화소 전극; 제 2 박막 트랜지스터와 연결된 제 2 부화소 전극; 및 제 1 박막 트랜지스터와 제 1 부화소 전극을 연결하는 연결 배선;을 포함하고, 연결 배선은 제 2 부화소 전극과 절연되어 중첩되고, 제 1 게이트 라인 및 제 2 게이트 라인과 동일층에 배치된다.

[0006] 제 1 부화소 전극과 제 2 부화소 전극은 제 1 게이트 라인과 제 2 게이트 라인 사이에 배치될 수 있다.

[0007] 제 1 및 제 2 부화소 전극은 십자 형상의 줄기 전극을 포함할 수 있다.

[0008] 연결 배선은 제 2 부화소 전극의 줄기 전극과 중첩할 수 있다.

[0009] 제 1 박막 트랜지스터는 제 1 게이트 라인에 연결된 제 1 게이트 전극, 제 1 게이트 전극과 절연되어 중첩되는 제 1 반도체층, 제 1 데이터 라인에 연결된 제 1 소스 전극 및 제 1 화소 전극과 연결된 제 1 드레인 전극을 포함할 수 있다.

[0010] 연결 배선은 제 1 드레인 전극과 적어도 일부 중첩될 수 있다.

[0011] 연결 배선 및 제 1 드레인 전극의 적어도 일부를 노출하는 제 1 콘택홀을 더 포함할 수 있다.

[0012] 제 1 콘택홀 상에 배치되고, 연결 배선 및 제 1 드레인 전극과 접촉하는 브리지 전극을 더 포함할 수 있다.

[0013] 본 발명의 다른 일 실시예에 따르면, 제 1 게이트 라인 및 제 2 게이트 라인; 제 1 및 제 2 게이트 라인과 절연되어 교차하는 제 1 데이터 라인; 제 1 게이트 라인 및 제 1 데이터 라인과 연결되는 제 1 박막 트랜지스터; 제 2 게이트 라인 및 제 1 데이터 라인과 연결되는 제 2 박막 트랜지스터; 제 1 박막 트랜지스터와 연결된 제 1 부화소 전극; 제 2 박막 트랜지스터와 연결된 제 2 부화소 전극; 및 제 1 박막 트랜지스터와 제 1 부화소 전극을 연결하는 연결 배선;을 포함하고, 연결 배선은 제 2 부화소 전극과 절연되어 중첩되고, 제 1 데이터 라인과 동일층에 배치된다.

[0014] 제 1 부화소 전극과 제 2 부화소 전극은 제 1 게이트 라인과 제 2 게이트 라인 사이에 배치될 수 있다.

[0015] 제 1 및 제 2 부화소 전극은 십자 형상의 줄기 전극을 포함할 수 있다.

[0016] 연결 배선은 제 2 부화소 전극의 줄기 전극과 중첩할 수 있다.

[0017] 연결 배선을 노출하는 제 1 콘택홀을 더 포함하는 액정 표시 장치.

[0018] 제 1 부화소 전극은 제 1 콘택홀에서 연결 배선과 접촉되어 전기적으로 연결될 수 있다.

[0019] 제 1 부화소 전극은 제 2 부화소 전극과 실질적으로 동일한 면적을 가질 수 있다.

발명의 효과

[0020] 본 발명에 따른 액정 표시 장치는 추가적인 공정 없이 박막 트랜지스터와 화소 전극을 연결하는 배선이 화소 영역을 점유하지 않도록 화소 전극과 다른 층에 형성되어 액정 표시 장치의 개구율 및 투과율을 향상시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 하부 패널 및 이에 접속된 주변 회로를 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.

도 3은 도 2의 I-I'를 따라 자른 단면도 및 도 2의 II-II'를 따라 자른 단면도이다.

도 4는 도 2의 III-III'를 따라 자른 단면도이다.

도 5a는 본 발명의 일 실시예에 따른 게이트 전극, 게이트 라인 및 연결 배선을 나타낸 도면이다.

도 5b는 본 발명의 일 실시예에 따른 소스 전극, 드레인 전극 및 데이터 라인을 나타낸 도면이다.

도 5c는 본 발명의 일 실시예에 따른 층간 절연막을 나타낸 도면이다.

도 5d는 본 발명의 일 실시예에 따른 화소 전극 및 브리지 전극을 나타낸 도면이다.

도 6은 본 발명의 다른 일 실시예에 따른 액정 표시 장치의 평면도이다.

도 7은 도 6의 IV-IV'를 따라 자른 다른 단면도 및 도 6의 V-V'를 따라 자른 다른 단면도이다.

도 8a는 본 발명의 다른 일 실시예에 따른 게이트 전극 및 게이트 라인을 나타낸 도면이다.

도 8b는 본 발명의 다른 일 실시예에 따른 소스 전극, 드레인 전극, 데이터 라인 및 연결 배선을 나타낸 도면이다.

도 8c는 본 발명의 다른 일 실시예에 따른 층간 절연막을 나타낸 도면이다.

도 8d는 본 발명의 다른 일 실시예에 따른 화소 전극을 나타낸 도면이다.

도 9는 본 발명의 또 다른 일 실시예의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0023] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0024] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0025] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0026] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.

- [0027] 이하 도 1 내지 도 8d를 참조로 본 발명에 따른 액정 표시 장치를 상세히 설명하면 다음과 같다.
- [0028] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 하부 패널 및 이에 접속된 주변 회로를 나타낸 도면이고, 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다. 도 3은 도 2의 I-I'를 따라 자른 단면도 및 도 2의 II-II'를 따라 자른 단면도이고, 도 4는 도 2의 III-III'를 따라 자른 단면도이다. 도 5a는 본 발명의 일 실시예에 따른 게이트 전극, 게이트 라인 및 연결 배선을 나타낸 도면이고, 도 5b는 소스 전극, 드레인 전극 및 데이터 라인을 나타낸 도면이고, 도 5c는 층간 절연막을 나타낸 도면이고, 도 5d는 화소 전극 및 브리지 전극을 나타낸 도면이다.
- [0029] 도 1에 도시된 바와 같이, 본 발명의 액정 표시 장치는 표시 패널 및 게이트 드라이버(400) 및 데이터 드라이버(500)를 포함한다.
- [0030] 표시 패널은 하부 패널(101), 상부 패널(201) 및 액정층(300)을 포함한다. 표시 패널은 표시 영역(display area, DA)과 비표시 영역(non-display area, NDA)으로 구분된다.
- [0031] 표시 패널의 표시 영역(DA)은 하부 패널(101)의 표시 영역(DA) 및 상부 패널(201)의 표시 영역(DA)에 대응된다. 표시 패널의 비표시 영역(NDA)은 하부 패널(101)의 비표시 영역(NDA) 및 상부 패널(201)의 비표시 영역(NDA)에 대응된다.
- [0032] 하부 패널(101)은, 도 1에 도시된 바와 같이, 복수의 게이트 라인들(GL1 내지 GLm), 및 복수의 데이터 라인(DL1 내지 DLn)을 포함한다.
- [0033] 데이터 라인들(DL1 내지 DLn)은 게이트 라인들(GL1 내지 GLm)과 교차한다. 게이트 라인들(GL1 내지 GLm)은 비표시 영역(NDA)으로 연장되어 게이트 드라이버(400)에 접속되고, 데이터 라인들(DL1 내지 DLn)은 비표시 영역(NDA)으로 연장되어 데이터 드라이버(500)에 접속된다.
- [0034] 게이트 드라이버(400)는 복수의 게이트 구동 집적회로(미도시)들을 포함한다. 게이트 구동 집적회로들은 게이트 신호들을 생성하여 제 1 내지 제 m 게이트 라인들(GL1 내지 GLm)에 순차적으로 공급한다.
- [0035] 각 게이트 구동 집적회로는 게이트 캐리어(미도시)에 실장(mount)된다. 게이트 캐리어(미도시)들은 하부 패널(101)에 전기적으로 연결된다. 예를 들어, 게이트 캐리어들 각각은 회로 기관(미도시)과 하부 패널(101)의 비표시 영역(NDA) 사이에 전기적으로 연결될 수 있다.
- [0036] 데이터 드라이버(500)는 복수의 데이터 구동 집적회로(미도시)들을 포함한다. 데이터 구동 집적회로들은 타이밍 컨트롤러로부터 디지털 영상 데이터 신호들 및 데이터 제어신호를 공급받는다. 데이터 구동 집적회로들은 데이터 제어신호에 따라 디지털 영상 데이터 신호들을 샘플링한 후에, 매 수평기간마다 한 수평 라인에 해당하는 샘플링 영상 데이터 신호들을 래치하고 래치된 영상 데이터 신호들을 데이터 라인들(DL1 내지 DLn)에 공급한다. 즉, 데이터 구동 집적회로들은 타이밍 컨트롤러로부터의 디지털 영상 데이터 신호들을 전원 공급부(미도시)로부터 입력되는 감마전압을 이용하여 아날로그 영상 신호들로 변환하여 데이터 라인들(DL1 내지 DLn)로 공급한다.
- [0037] 각 데이터 구동 집적회로는 데이터 캐리어(미도시)에 실장된다. 데이터 캐리어들은 회로 기관(미도시)과 하부 패널(101) 사이에 접속된다. 예를 들어, 데이터 캐리어들 각각은 회로 기관과 하부 패널(101)의 비표시 영역(NDA) 사이에 전기적으로 연결될 수 있다.
- [0038] 회로 기관에 전술된 타이밍 컨트롤러 및 전원 공급부가 위치할 수 있는 바, 데이터 캐리어는 타이밍 컨트롤러 및 전원 공급부로부터의 각종 신호들을 데이터 구동 집적회로로 전송하는 입력 배선들과 그 데이터 구동 집적회로로부터 출력된 영상 데이터 신호들을 해당 데이터 라인들로 전송하는 출력 배선들을 포함한다. 한편, 적어도 하나의 캐리어는 타이밍 컨트롤러 및 전원 공급부로부터의 각종 신호들을 게이트 드라이버(400)로 전송하기 위한 보조 배선들을 더 포함할 수 있는 바, 이 보조 배선들은 하부 패널(101)에 위치한 패널 배선들에 연결된다. 이 패널 배선들은 보조 배선들과 게이트 드라이버(400)를 서로 연결한다. 패널 배선들은 라인-온-글라스(line-on-glass) 방식으로 하부 패널(101)의 비표시 영역(NDA)에 형성될 수 있다.
- [0039] 표시 패널은 복수의 화소(PX)들을 포함한다. 화소(PX)들은 표시 패널의 표시 영역(DA)에 위치한다.
- [0040] 본 발명의 일 실시예에 따르면, 화소(PX)들은 복수의 게이트 라인(GL1 내지 GLm)들 사이에 위치한다. 예를 들어, 도 1에 도시된 바와 같이, 제 1 게이트 라인(GL1)과 제 2 게이트 라인(GL2) 사이에 화소(PX)들이 위치하고, 제 3 게이트 라인(GL3)과 제 4 게이트 라인(GL4) 사이에 화소(PX)들이 위치할 수 있다. 이때, 제 2 게이트

라인(GL2)과 제 3 게이트 라인(GL3) 사이에는 화소(PX)가 위치하지 않을 수 있다.

- [0041] 표시 패널은, 하부 기판(100), 상부 기판(200), 게이트 라인(GL1, GL2), 데이터 라인(DL1), 박막 트랜지스터(TFT1, TFT2), 게이트 절연막(110), 층간 절연막(120), 화소 전극(PE1, PE2), 차광층(210), 오버 코트층(220), 공통 전극(CE) 및 액정층(300)을 포함한다.
- [0042] 하부 기판(100) 및 상부 기판(200)은 플라스틱 기판과 같이 광 투과 특성 및 플렉시블 특성을 갖는 절연 기판일 수 있다. 다만, 이에 한정되는 것은 아니며, 하부 기판(100)은 유리 기판과 같은 하드 기판으로 만들어질 수도 있다.
- [0043] 박막 트랜지스터(TFT1, TFT2)는 제 1 박막 트랜지스터(TFT1) 및 제 2 박막 트랜지스터(TFT2)를 포함하고, 박막 트랜지스터(TFT1, TFT2)는 게이트 전극(GE1, GE2), 반도체층(SM1, SM2), 소스 전극(SE1, SE2) 및 드레인 전극(DE1, DE2)으로 이루어진다.
- [0044] 게이트 라인(GL1, GL2)은 제 1 게이트 라인(GL1) 및 제 2 게이트 라인(GL2)을 포함하고, 게이트 전극(GE1, GE2)은 제 1 게이트 전극(GE1) 및 제 2 게이트 전극(GE2)을 포함한다. 도 2 내지 도 5a를 참조하면, 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)은 하부 기판(100) 상에 위치한다. 게이트 라인(GL1, GL2)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다. 게이트 라인(GL1, GL2), 및 게이트 전극(GE1, GE2)은 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 또는 은(Ag)이나 은 합금과 같은 은 계열의 금속, 또는 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 또는 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속으로 만들어질 수 있다. 이와 달리, 게이트 라인(GL1, GL2), 게이트 전극(GE1, GE2)은 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나로 만들어질 수 있다. 이와 달리, 제 1 내지 제 2 게이트 라인(GL1, GL2) 및 제 1 내지 제 2 게이트 전극(GE1, GE2)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0045] 연결 배선(131)은 하부 기판(100) 상에 위치한다. 본 발명의 일 실시예에 따르면, 연결 배선(131)은 후술할 제 1 박막 트랜지스터(TFT1)의 제 1 드레인 전극(DE)과 제 1 부화소 전극(PE1)을 연결한다. 연결 배선(131)은 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)과 동일한 재료 및 구조를 가질 수 있다. 다시 말하여, 연결 배선(131)과 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)은 동일한 공정으로 동시에 만들어 질 수 있다.
- [0046] 도시되지 않았지만, 후술할 제 1 부화소 전극(PE1) 및 제 2 부화소 전극(PE2) 사이에 차광 패턴이 배치될 수 있다. 차광 패턴은 연결 배선(131)과 이격되어 배치될 수 있다. 차광 패턴은 제 1 부화소 전극(PE1)과 제 2 부화소 전극(PE2) 사이에서 빛이 통과하는 것을 방지할 수 있다. 차광 패턴은 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 차광 패턴은 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0047] 또한, 도시되지 않았지만, 스토리지 커패시터를 형성하기 위한 추가 게이트 배선을 포함할 수 있다. 추가 게이트 배선은 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)으로부터 연장되고, 화소 전극(PE1, PE2)의 가장자리와 중첩되어 배치될 수 있으며, 화소 전극(PE1, PE2) 및 후술할 추가 화소 전극(미도시)과 적어도 일부 중첩되어 배치될 수 있다. 이에 따라, 게이트 라인(GL1, GL2), 게이트 전극(GE1, GE2) 및 추가 게이트 배선과 화소 전극(PE1, PE2) 및 추가 화소 전극(미도시)이 중첩되어 스토리지 커패시터가 형성되고, 이 스토리지 커패시터는 화소 전극(PE1, PE2)의 전압을 유지하는 역할을 한다. 추가 게이트 배선은 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 추가 게이트 배선은 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)과 동일한 공정으로 동시에 만들어질 수 있다.
- [0048] 게이트 절연막(110)은 게이트 라인(GL1, GL2), 게이트 전극(GE1, GE2) 및 연결 배선(131) 상에 위치한다.
- [0049] 게이트 절연막(110)은 이의 일부를 관통하는 제 1 콘택홀(CNT1)을 갖는다. 제 1 콘택홀(CNT1)에 의해 연결 배선(131)의 일부가 노출된다.
- [0050] 게이트 절연막(110)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 만들어질 수 있다. 게이트 절연막(110)은 물리적 성질이 다른 적어도 두 개의 절연층들을 포함하는 다중막 구조를 가질 수 있다.
- [0051] 반도체층은 제 1 반도체층(SM1) 및 제 2 반도체층(SM2)을 포함한다. 도 3 및 도 4에 도시된 바와 같이, 반도체층(SM1, SM2)은 게이트 절연막(110) 상에 위치한다. 반도체층(SM1, SM2)은 각각 제 1 및 제 2 게이트 전극(GE1, GE2)과 중첩한다. 다시 말해서, 제 1 반도체층(SM1)은 제 1 게이트 전극(GE1)과 중첩하고, 제 2 반도체층(SM2)은 제 2 게이트 전극(GE2)과 중첩한다. 반도체층(SM1, SM2)은 비정질 규소 또는 다결정 규소 등으로 만들

어질 수 있다.

- [0052] 도시되지 않았지만, 저항성 접촉층은 반도체층(SM1, SM2) 상에 위치할 수 있다. 저항성 접촉층은 인(phosphorus)과 같은 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉층은 쌍을 이루어 반도체층(SM1, SM2) 상에 위치할 수 있다.
- [0053] 데이터 라인은 제 1 데이터 라인(DL1)을 포함한다. 도 3 및 도 4를 참조하면, 데이터 라인(DL1)은 게이트 절연막(110) 상에 위치한다. 도시되지 않았지만, 데이터 라인(DL1)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다. 데이터 라인(DL1)은 게이트 라인(GL1, GL2)과 교차한다. 데이터 라인(DL1)은 후술할 제 1 박막 트랜지스터(TFT1) 및 제 2 박막 트랜지스터(TFT2)와 연결된다. 도시되지 않았지만, 데이터 라인(DL1)과 게이트 라인(GL1, GL2)이 교차하는 곳에서 데이터 라인(DL1)은 이의 다른 부분보다 더 작은 선폭을 가질 수 있다. 이에 따라, 데이터 라인(DL1)과 게이트 라인(GL1, GL2) 간의 기생 커패시턴스의 크기가 줄어들 수 있다. 데이터 라인(DL1)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막과 저저항 도전막을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (또는 몰리브덴 합금) 하부막과 알루미늄 (또는 알루미늄 합금) 상부막의 이중막, 몰리브덴 (또는 몰리브덴 합금) 하부막과 알루미늄 (또는 알루미늄 합금) 중간막과 몰리브덴 (또는 몰리브덴 합금) 상부막의 삼중막을 들 수 있다. 한편, 데이터 라인(DL1)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0054] 소스 전극(SE1, SE2)은 제 1 소스 전극(SE1) 및 제 2 소스 전극(SE2)을 포함한다. 소스 전극(SE1, SE2)은 데이터 라인(DL1)으로부터 연장된다. 예를 들어, 도 2에 도시된 바와 같이, 제 1 내지 제 2 소스 전극(SE1, SE2)은 각각 제 1 데이터 라인(DL1)에서 게이트 전극(GE1, GE2)을 향해 돌출된 형태를 갖는다. 도 3 및 도 4를 참조하면, 소스 전극(SE1, SE2)은 각각 반도체층(SM1, SM2)의 일측 상에 위치한다. 소스 전극(SE1, SE2)은 각각 반도체층(SM1, SM2) 및 게이트 전극(GE1, GE2)과 중첩된다. 다시 말해서, 제 1 소스 전극(SE1)은 제 1 반도체층(SM1) 및 제 1 게이트 전극(GE1)과 중첩하고, 제 2 소스 전극(SE2)은 제 2 반도체층(SM2) 및 제 2 게이트 전극(GE2)과 중첩한다. 소스 전극(SE1, SE2)은 전술한 데이터 라인(DL1)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 데이터 라인(DL1)과 소스 전극(SE1, SE2)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0055] 드레인 전극(DE1, DE2)은 제 1 드레인 전극(DE1) 및 제 2 드레인 전극(DE2)을 포함한다. 도 2 내지 도 4 및 도 5b를 참조하면, 드레인 전극(DE1, DE2)은 반도체층(SM1, SM2)의 타측 상에 위치한다. 드레인 전극(DE1, DE2)은 각각 게이트 전극(GE1, GE2) 및 반도체층(SM1, SM2)과 중첩된다. 다시 말해서, 제 1 드레인 전극(DE1)은 제 1 게이트 전극(GE1) 및 제 1 반도체층(SM1)과 중첩하고, 제 2 드레인 전극(DE2)은 제 2 게이트 전극(GE2) 및 제 2 반도체층(SM2)과 중첩한다. 드레인 전극(DE1, DE2) 역시 전술한 데이터 라인(DL1)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 데이터 라인(DL1)과 드레인 전극(DE1, DE2)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0056] 따라서, 제 1 게이트 전극(GE1), 제 1 반도체층(SM1), 제 1 소스 전극(SE1) 및 제 1 드레인 전극(DE1)은 제 1 박막 트랜지스터(TFT1)를 이루고, 제 2 게이트 전극(GE2), 제 2 반도체층(SM2), 제 2 소스 전극(SE2) 및 제 2 드레인 전극(DE2)은 제 2 박막 트랜지스터(TFT2)를 이룬다. 이때 제 1 박막 트랜지스터(TFT1)의 채널(channel)은 제 1 소스 전극(SE1)과 제 1 드레인 전극(DE1) 사이의 제 1 반도체층(SM1) 부분에 위치한다. 또한, 제 2 박막 트랜지스터(TFT2)의 채널(channel)은 제 2 소스 전극(SE2)과 제 2 드레인 전극(DE2) 사이의 제 2 반도체층(SM2) 부분에 위치한다.
- [0057] 도 3 내지 도 4 및 도 5c를 참조하면, 층간 절연막(120)은 데이터 라인(DL1), 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2), 반도체층(SM1, SM2) 및 게이트 절연막(110) 상에 위치한다. 층간 절연막(120)은 이의 일부를 관통하는 제 1 콘택홀(CNT1), 제 2 콘택홀(CNT2) 및 드레인 콘택홀(DCNT)을 갖는다. 제 1 콘택홀(CNT1)에 의해 제 1 드레인 전극(DE1) 및 연결 배선(131)의 일부가 노출되고, 제 2 콘택홀(CNT2)에 의해 연결 배선(131)의 일부를 노출된다. 또한, 드레인 콘택홀(DCNT)에 의해 제 2 드레인 전극(DE2)의 일부가 노출된다.
- [0058] 층간 절연막(120)은 질화 규소(SiNx) 또는 산화 규소(SiOx)와 같은 무기 절연물로 만들어질 수 있는 바, 이와 같은 경우 그 무기 절연물질로서 감광성(photosensitivity)을 가지며 유전 상수(dielectric constant)가 약 4.0인 것이 사용될 수 있다. 이와 달리, 층간 절연막(120)은, 우수한 절연 특성을 가지면서도 노출된 반도체층(SM1, SM2) 부분에 손상을 주지 않도록, 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다. 층간 절

연막(120)의 두께는 약 5000Å 이상일 수 있고, 약 6000 Å 내지 약 8000 Å 일 수 있다.

- [0059] 화소 전극(PE1, PE2)은 제 1 부화소 전극(PE1) 및 제 2 부화소 전극(PE2)을 포함한다. 화소 전극(PE1, PE2)는 층간 절연막(120) 상에 위치한다. 화소 전극(PE1, PE2)은 제 1 게이트 라인(GL1)과 제 2 게이트 라인(GL2) 사이에 위치할 수 있다. 화소 전극(PE1, PE2)은 각각 박막 트랜지스터(TFT1, TFT2)와 연결된다. 다시 말해서, 제 1 부화소 전극(PE1)은 제 1 박막 트랜지스터(TFT1)와 연결되고, 제 2 부화소 전극(PE2)은 제 2 박막 트랜지스터(TFT2)와 연결된다. 또한, 화소 전극(PE1, PE2)은 각각 줄기 전극(151, 153) 및 복수의 가지 전극(152, 154)들을 포함한다. 줄기 전극(151, 153)은 십자 형상으로 이루어질 수 있고, 복수의 가지 전극(152, 154)은 줄기 전극(151, 153)으로부터 연장될 수 있다. 이때, 적어도 하나의 가지 전극은 다른 가지 전극과 다른 방향을 따라 배치될 수 있다. 화소 전극(PE1, PE2)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다.
- [0060] 브리지 전극(141)은 제 1 콘택홀(CNT1) 상에 위치하고, 제 1 드레인 전극(DE1) 및 연결 배선(131)의 적어도 일부와 평면상에서 중첩된다. 브리지 전극(141)은 전술한 화소 전극(PE1, PE2)과 동일한 재료 및 구조를 가질 수 있다. 다시 말하여, 브리지 전극(141)과 화소 전극(PE1, PE2)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0061] 도시되지 않았지만, 스토리지 커패시터를 형성하기 위해 추가 화소 전극이 배치될 수 있다. 추가 화소 전극은 화소 전극(PE1, PE2)로부터 연장되고, 게이트 라인(GL1, GL2) 또는 게이트 전극(GE1, GE2)과 중첩되어 배치될 수 있으며, 전술한 추가 게이트 배선(미도시)과 중첩되어 배치될 수 있다. 이에 따라, 게이트 라인(GL1, GL2), 게이트 전극(GE1, GE2) 및 추가 게이트 배선과 화소 전극(PE1, PE2) 및 추가 화소 전극이 중첩되어 스토리지 커패시터가 형성되고, 이 스토리지 커패시터는 화소 전극(PE1, PE2)의 전압을 유지하는 역할을 한다. 추가 화소 전극은 전술한 화소 전극(PE1, PE2)과 동일한 재료 및 구조를 가질 수 있다. 다시 말하여, 추가 화소 전극과 화소 전극(PE1, PE2)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0062] 차광층(210)은 상부 기관(200) 상에 위치한다. 차광층(210)은 화소 전극(PE1, PE2)과 대응되는 영역을 제외한 나머지 부분에 위치한다. 다만, 이에 한정되는 것은 아니며, 차광층(210)은 하부 기관(100) 상에 위치할 수도 있다.
- [0063] 도시되지 않았지만, 컬러 필터는 상부 기관(200) 상에 위치할 수 있다. 컬러 필터는 화소 전극(PE1, PE2)과 대응되는 영역에 위치할 수 있다. 이때, 컬러 필터의 가장자리는 게이트 라인(GL1, GL2), 제 1 박막 트랜지스터(TFT1), 제 2 박막 트랜지스터(TFT2) 및 데이터 라인(DL1)과 대응되는 영역에 위치한다. 한편, 컬러 필터의 가장자리는 이에 인접한 다른 컬러 필터의 가장자리와 중첩할 수 있다. 컬러 필터는 감광성 유기 물질로 이루어질 수 있다. 제 1 부화소 전극(PE1)과 대응되는 영역과 제 2 부화소 전극(PE2)과 대응되는 영역에 서로 다른 색상의 컬러 필터가 위치할 수 있다.
- [0064] 오버 코트층(220)은 차광층(210) 상에 위치한다. 이때, 오버 코트층(220)은 차광층(210)을 포함한 상부 기관(200)의 전면(全面)에 위치할 수 있다. 오버 코트층(220)은, 그 오버 코트층(220)과 상부 기관(200) 사이에 위치한 구성 요소들, 예를 들어 전술된 차광층(210)과 같은 상부 기관(200)의 구성 요소들 간의 높낮이차를 제거하는 역할을 한다.
- [0065] 공통 전극(CE)은 오버 코트층(220) 상에 위치한다. 이때, 공통 전극(CE)은 오버 코트층(220)을 포함한 상부 기관(200)의 전면(全面)에 위치할 수 있다. 다만, 이에 한정되는 것은 아니며, 공통 전극(CE)은 제 1 부화소 전극(PE1) 및 제 2 부화소 전극(PE2)에 대응되게 오버 코트층(220) 상에 위치할 수도 있다. 공통 전극(CE)으로 공통 전압이 인가된다.
- [0066] 하부 기관(100)과 상부 기관(200) 사이에 위치한 액정층(300)은 액정 분자들을 포함하는 바, 이 액정 분자들은 음의 유전율을 가지며 수직 배향된 액정 분자일 수 있다.
- [0067] 한편, 도시되지 않았지만, 액정 표시 장치는 제 1 편광판 및 제 2 편광판을 더 포함할 수 있다. 하부 기관(100)과 상부 기관(200)의 마주보는 면들을 각각 해당 기관의 상부면으로 정의하고, 상부면들의 반대편에 위치한 면들을 각각 해당 기관의 하부면으로 정의할 때, 전술된 제 1 편광판은 하부 기관(100)의 하부면 상에 위치하며, 제 2 편광판은 상부 기관(200)의 하부면 상에 위치한다.
- [0068] 제 1 편광판의 투과축과 제 2 편광판의 투과축은 직교하는 바, 이들 중 하나의 투과축은 게이트 라인(GL1, GL2)에 평행하게 배열된다. 한편, 액정 표시 장치는 제 1 편광판 및 제 2 편광판 중 어느 하나만을 포함할 수도

있다.

- [0069] 본 발명의 일 실시예에 따르면, 연결 배선(131)은 제 2 부화소 전극(PE2)의 줄기 전극(153)과 중첩한다.
- [0070] 본 발명의 일 실시예에 따르면, 제 1 박막 트랜지스터(TFT1)는 제 1 게이트 라인(GL1) 및 제 1 데이터 라인(DL1)과 연결된다. 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)는 각각 제 1 게이트 라인(GL1)과 제 2 게이트 라인(GL2)과 연결된다. 다시 말해서, 서로 다른 게이트 라인과 연결되기 때문에, 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)는 서로 다른 타이밍에 서로 다른 데이터 전압을 인가 받을 수 있다.
- [0071] 본 발명의 일 실시예에 따르면, 연결 배선(131)은 제 1 박막 트랜지스터(TFT1)와 제 1 부화소 전극(PE1)을 연결한다. 구체적으로, 제 1 박막 트랜지스터(TFT1)의 제 1 드레인 전극(DE1)과 연결 배선(131)이 연결되고, 연결 배선(131)과 제 1 부화소 전극(PE1)이 연결된다. 예를 들어, 도 2 및 도 3을 참조하면, 게이트 절연막(110) 및 층간 절연막(120)은 제 1 드레인 전극(DE1) 및 연결 배선(131)의 적어도 일부를 노출시키는 제 1 콘택홀(CNT1)을 가지고, 제 1 콘택홀(CNT1) 상에 브리지 전극(141)이 위치한다. 이때, 브리지 전극(141)은 제 1 콘택홀(CNT1)에서 제 1 드레인 전극(DE1) 및 연결 배선(131)과 접촉하여 전기적으로 연결된다. 즉, 브리지 전극(141)은 제 1 콘택홀(CNT1)에서 제 1 드레인 전극(DE1)과 연결 배선(131)을 연결한다. 또한, 층간 절연막(120)은 도 2에 도시된 바와 같이, 제 1 부화소 전극(PE1)과 제 2 부화소 전극(PE2) 사이에 연결 배선(131)을 노출시키는 제 2 콘택홀(CNT2)을 가지고, 제 2 콘택홀(CNT2) 상에 제 1 부화소 전극(PE1)이 위치한다. 이때, 제 1 부화소 전극(PE1)은 연결 배선(131)과 접촉하여 전기적으로 연결된다.
- [0072] 이때, 제 1 콘택홀(CNT1)은 게이트 절연막(110) 및 층간 절연막(120)의 일부를 관통하며, 선택적 식각(selective etching) 기술을 통해 형성될 수 있다. 이에 따라, 별도의 마스크(Mask)가 필요하지 않아, 액정 표시 장치의 제조 비용을 감소시킬 수 있다.
- [0073] 본 발명의 일 실시예에 따르면, 도 2 내지 도 5d에 도시된 바와 같이, 연결 배선(131)은 제 2 부화소 전극(PE2)의 십자 형상의 줄기 전극(153)과 중첩한다. 예를 들어, 도 2 및 도 5a 및 도 5d에 도시된 바와 같이, 연결 배선(131)은 제 2 부화소 전극(PE2)의 줄기 전극(153)과 중첩하고, 게이트 라인(GL1, GL2)과 평행하게 배치될 수 있다. 다만, 이에 한정되는 것은 아니며, 연결 배선(131)은 제 2 부화소 전극(PE2)의 줄기 전극(153)의 형상을 따라 중첩되게 배치될 수 있다. 이때, 연결 배선(131)은 게이트 라인(GL1, GL2) 및 게이트 전극(GE1, GE2)과 동일한 공정으로 동시에 만들어지고, 제 2 부화소 전극(PE2)과 다른 층에 위치한다. 또한, 연결 배선(131)은 액정이 제어되지 않는 줄기 전극(153)과 중첩되어 위치한다. 이에 따라, 연결 배선에 따른 투과율 감소를 방지할 수 있다.
- [0074] 도 6은 본 발명의 다른 일 실시예에 따른 액정 표시 장치의 평면도이고, 도 7은 도 6의 IV-IV'를 따라 자른 다른 단면도 및 도 6의 V-V'를 따라 자른 다른 단면도이다. 도 8a는 본 발명의 다른 일 실시예에 따른 게이트 전극 및 게이트 라인을 나타낸 도면이고, 도 8b는 본 발명의 다른 일 실시예에 따른 소스 전극, 드레인 전극, 데이터 라인 및 연결 배선을 나타낸 도면이고, 도 8c는 본 발명의 다른 일 실시예에 따른 층간 절연막을 나타낸 도면이고, 도 8d는 본 발명의 다른 일 실시예에 따른 화소 전극을 나타낸 도면이다.
- [0075] 본 발명의 다른 일 실시예에 따른 액정 표시 장치에 관한 설명 가운데 본 발명의 일 실시예에 따른 액정 표시 장치에 관한 설명과 중복되는 내용은 생략한다.
- [0076] 본 발명의 다른 일 실시예에 따르면, 제 1 박막 트랜지스터(TFT1)는 제 1 게이트 라인(GL1) 및 제 1 데이터 라인(DL1)과 연결된다. 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)는 서로 다른 게이트 라인(GL1, GL2)과 연결되기 때문에, 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)는 서로 다른 타이밍에 서로 다른 데이터 전압이 인가될 수 있다. 서로 다른 타이밍에 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)에 서로 다른 데이터 전압이 인가될 수 있다.
- [0077] 본 발명의 다른 일 실시예에 따르면, 도 6, 도 7 및 도 8b에 도시된 바와 같이, 연결 배선(132)은 게이트 절연막(110) 상에 위치한다. 연결 배선(132)은 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2) 및 데이터 라인(DL1)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 연결 배선(132)과 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2) 및 데이터 라인(DL1)은 동일한 공정으로 동시에 만들어질 수 있다. 또한, 연결 배선(132)은 제 1 드레인 전극(DE1)과 일체로 이루어질 수 있다.

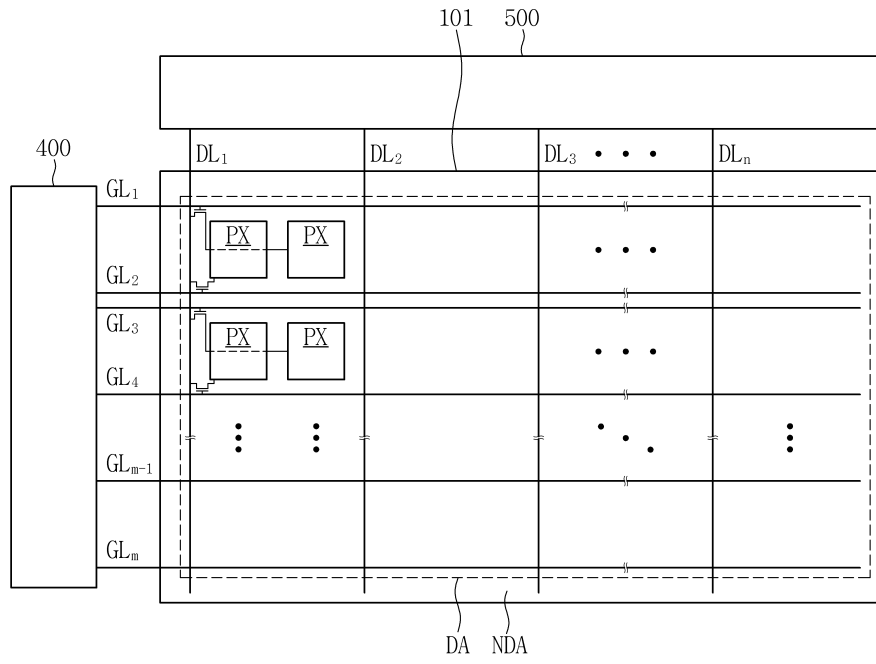
- [0078] 연결 배선(132)은 제 1 박막 트랜지스터(TFT1)와 제 1 부화소 전극(PE1)을 연결한다. 구체적으로, 제 1 박막 트랜지스터(TFT1)의 제 1 드레인 전극(DE1)과 연결 배선(132)이 연결되고, 연결 배선(132)과 제 1 부화소 전극(PE1)이 연결된다. 구체적으로, 도 6 내지 도 8d에 도시된 바와 같이, 제 1 드레인 전극(DE1) 및 연결 배선(132)은 일체로 형성될 수 있다. 또한, 중간 절연막(120)은 연결 배선(132)을 노출시키는 제 3 콘택홀(CNT3)을 가지고, 제 3 콘택홀(CNT3) 상에 제 1 부화소 전극(PE1)이 위치한다. 이때, 제 1 부화소 전극(PE1)은 연결 배선(132)과 접촉하여 전기적으로 연결된다.
- [0079] 본 발명의 일 실시예에 따르면, 도 6 내지 도 8d에 도시된 바와 같이, 연결 배선(132)은 제 2 부화소 전극(PE2)의 십자 형상의 줄기 전극(153)과 중첩한다. 예를 들어, 도 8a 및 도 8d에 도시된 바와 같이, 연결 배선(132)은 제 2 부화소 전극(PE2)의 줄기 전극(153)과 중첩하고, 게이트 라인(GL1, GL2)과 평행하게 배치될 수 있다. 다만, 이에 한정되는 것은 아니며, 연결 배선(132)은 제 2 부화소 전극(PE2)의 형상을 따라 중첩되게 배치될 수 있다. 이때, 연결 배선(132)은 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2) 및 데이터 라인(DL1)과 동일한 공정으로 동시에 만들어지고, 제 2 부화소 전극(PE2)과 다른 층에 위치한다. 또한, 연결 배선(132)은 액정이 제어되지 않는 줄기 전극(153)과 중첩되어 위치한다. 이에 따라, 연결 배선에 따른 투과율 감소를 방지할 수 있다.
- [0080] 도 9는 본 발명의 또 다른 일 실시예의 단면도이다.
- [0081] 도 9를 참조하면, 제 1 드레인 전극(DE1)이 하부 기판(100) 상에 위치하는 연결 배선(131)과 중첩되어 연장될 수 있다. 제 1 드레인 전극(DE1)과 연결 배선(131)에는 동일한 신호가 인가되기 때문에, 신호가 전달되는 배선의 전체 저항이 감소한다. 이에 따라, 연결 배선(131)의 폭을 줄일 수 있다.
- [0082] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

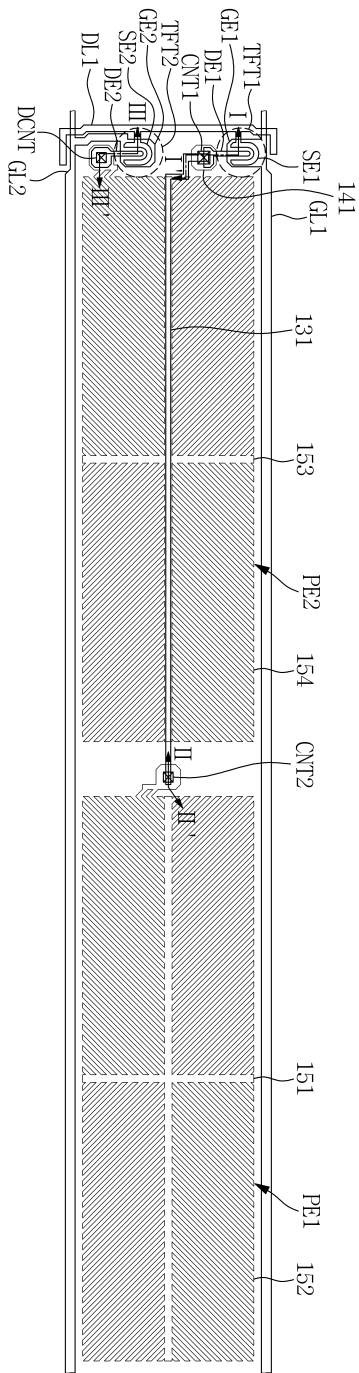
- [0083] 100: 하부 기판 200: 상부 기판
TFT1: 제 1 박막 트랜지스터 TFT2: 제 2 박막 트랜지스터
131, 132: 연결 배선 DL1: 제 1 데이터 라인
GL1: 제 1 게이트 라인 GL2: 제 2 게이트 라인
PE1: 제 1 부화소 전극 PE2: 제 2 부화소 전극
CNT1: 제 1 콘택홀 CNT2: 제 2 콘택홀
CNT3: 제 3 콘택홀 DCNT: 드레인 콘택홀
151, 153: 줄기 전극 152, 154: 가지 전극

도면

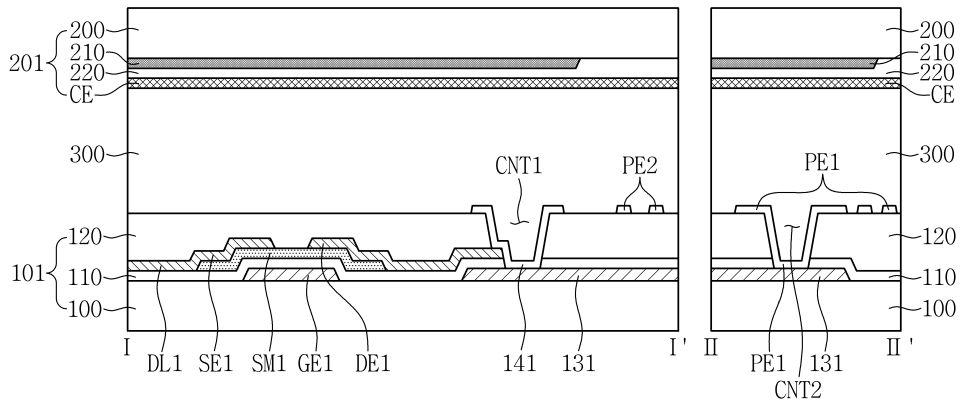
도면1



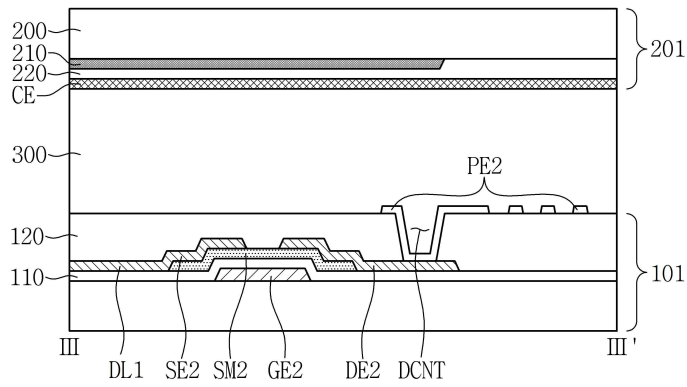
도면2



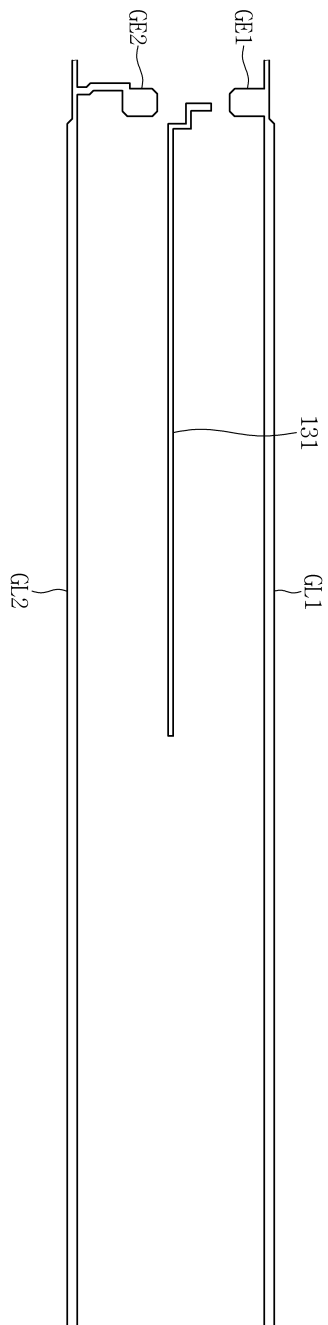
도면3



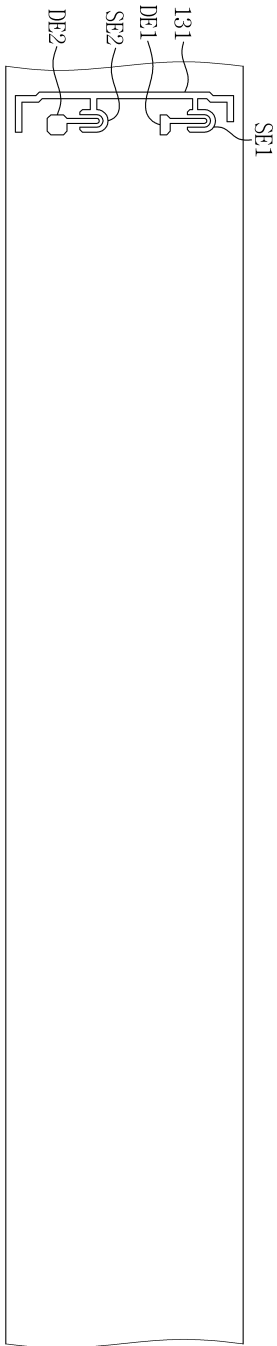
도면4



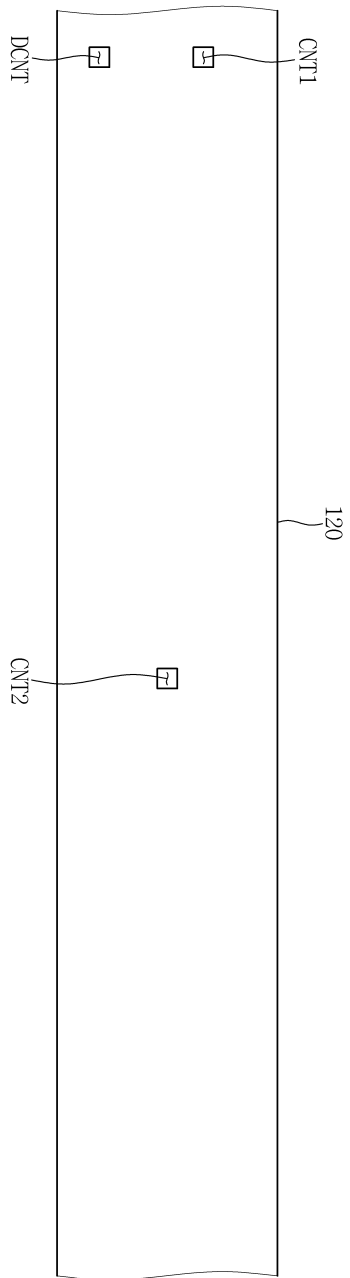
도면5a



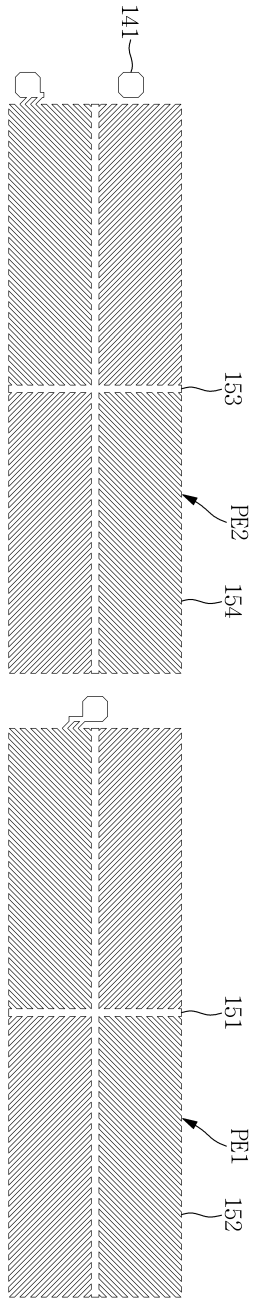
도면5b



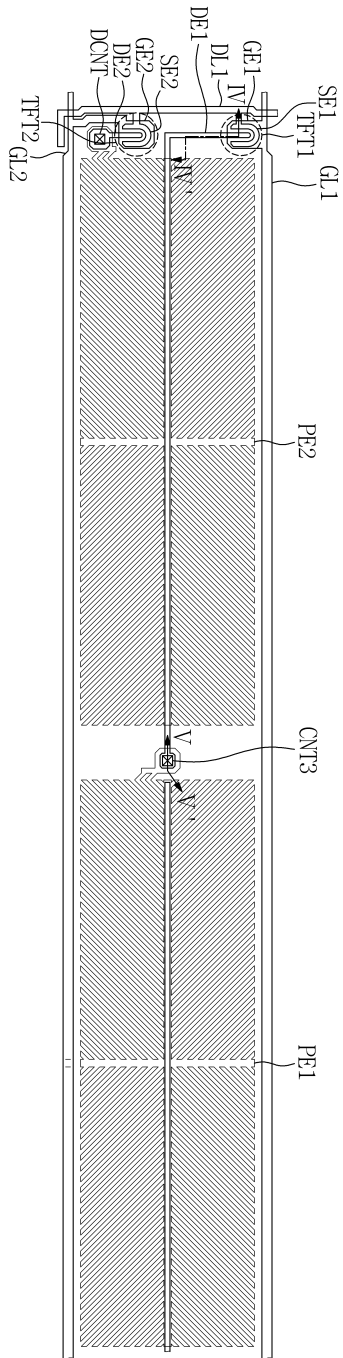
도면5c



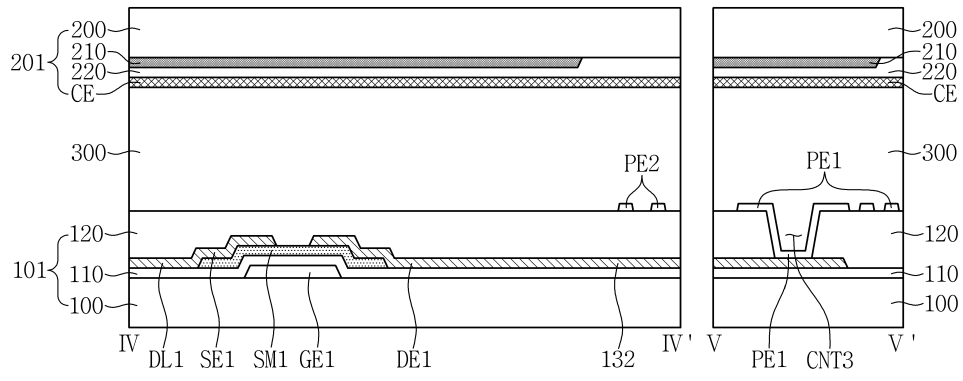
도면5d



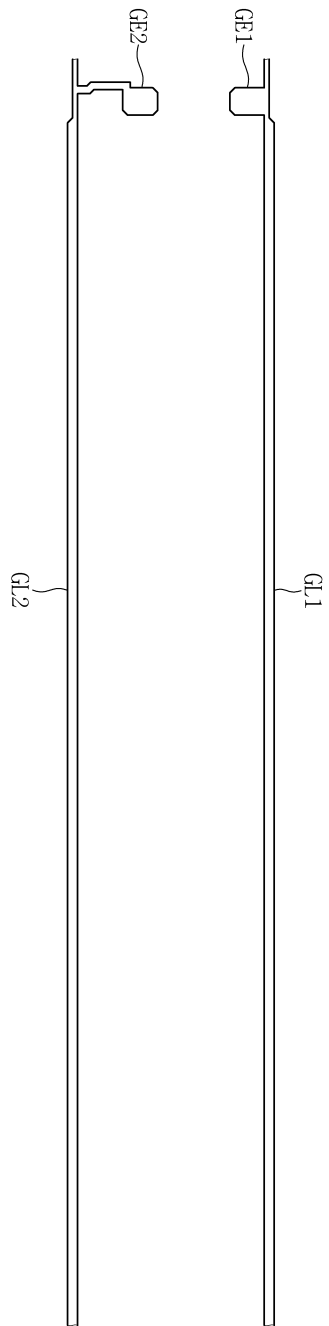
도면6



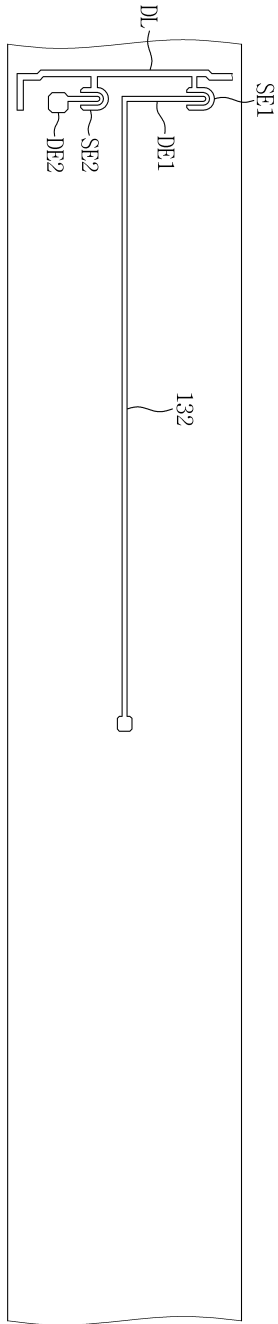
도면7



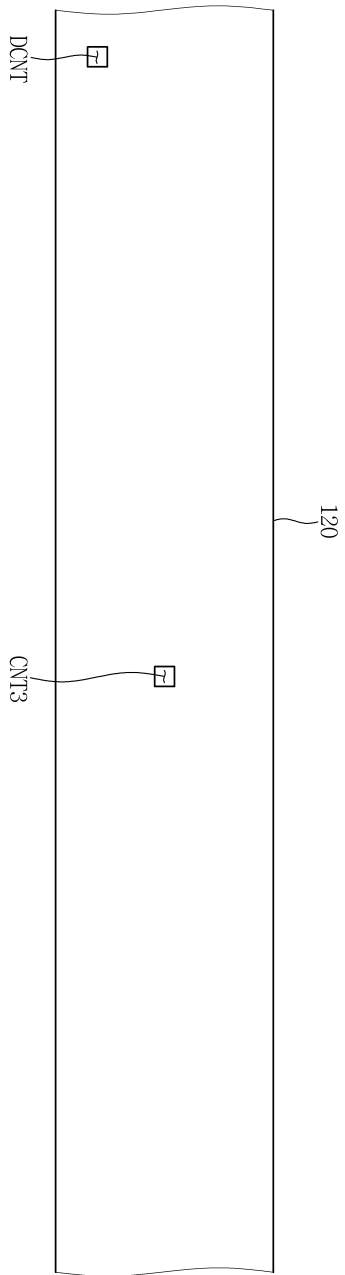
도면8a



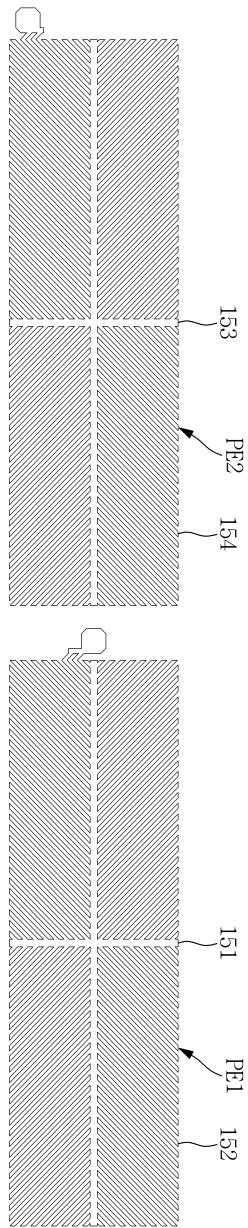
도면8b



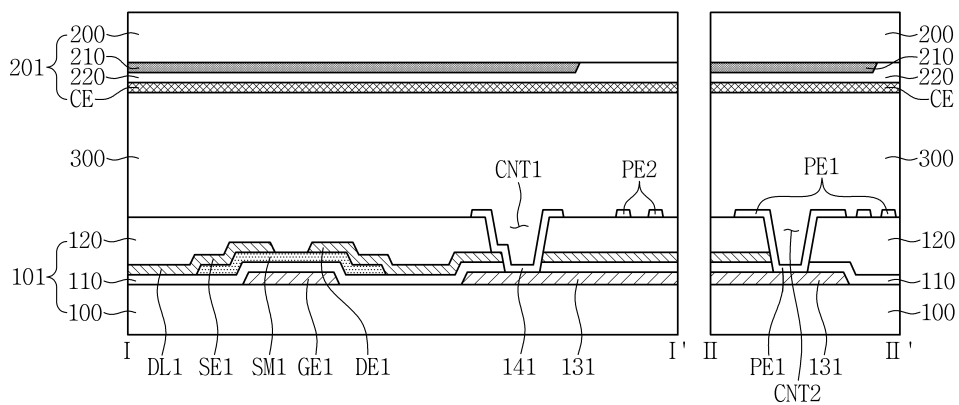
도면8c



도면8d



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR1020170134821A	公开(公告)日	2017-12-07
申请号	KR1020160064894	申请日	2016-05-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM YONG BIN 김용빈 LEE GI CHANG 이기창 LEE YONG WOO 이용우		
发明人	김용빈 이기창 이용우		
IPC分类号	G02F1/1362 G02F1/1343		
CPC分类号	G02F1/1362 G02F1/134309 G02F2001/136272		
代理人(译)	Yunyeogwang Jowooje 李宰 - 亨 锡盐		
外部链接	Espacenet		

摘要(译)

包括根据本发明优选实施例的液晶显示器的液晶显示器是第一栅极线和第二栅极线，第一数据线，连接到第一栅极线和第一数据线的薄膜晶体管第二栅极线和第二薄膜晶体管连接第一数据线，第一子像素电极连接薄膜晶体管，第二子像素电极连接第二薄膜晶体管，连接布线连接薄膜晶体管和第一子像素电极以及连接布线与第二子像素电极绝缘，并且重叠并且布置在第一栅极线和与第二栅极线相同的层中。第一条数据线与第一和第二栅极线绝缘并相交。

