



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0071359
(43) 공개일자 2017년06월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/1368 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1339 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01)

(52) CPC특허분류

G02F 1/1368 (2013.01)
G02F 1/133514 (2013.01)

(21) 출원번호 10-2015-0179589

(22) 출원일자 2015년12월15일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정대봉
경기도 파주시 한빛로 70, 512동 2102호(야당동, 한빛마을5단지 캐슬&칸타빌)

양병석

경기도 파주시 월롱면 엘씨디로 231, H동 313호

(74) 대리인

박장원

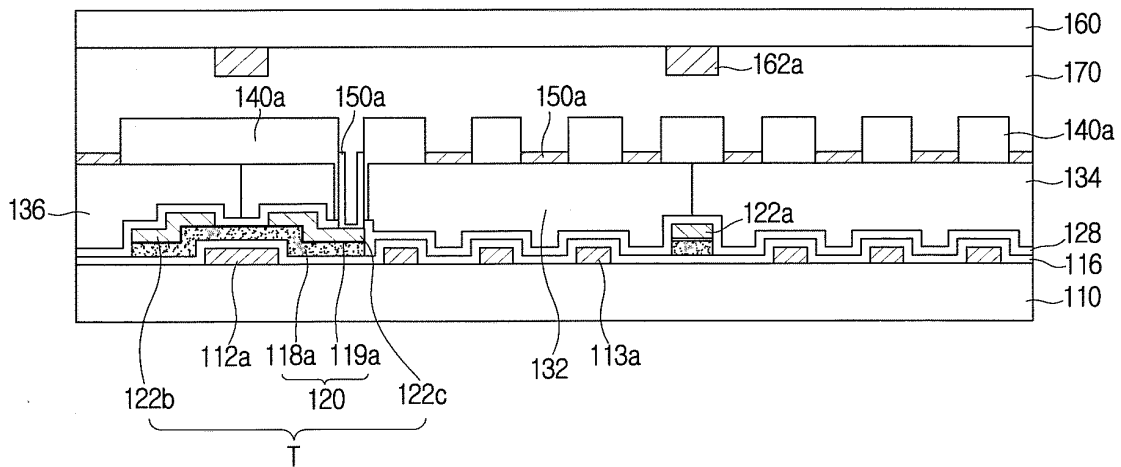
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 하부기판상에 박막 트랜지스터와 이 박막 트랜지스터를 덮도록 컬러필터층을 형성하고, 상기 컬러필터층 상에 다수의 핑거패턴을 구비한 평탄화막을 형성하며, 상기 핑거패턴들 사이에 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소전극을 형성하고, 상부기판상에 컬럼 스페이서를 형성하며, 상기 상부기판과 하부기판 사이에 액정층을 형성하는 액정표시장치 제조방법을 제공한다.

대표도 - 도2



(52) CPC특허분류

G02F 1/1339 (2013.01)

G02F 1/136286 (2013.01)

G02F 2001/134372 (2013.01)

명세서

청구범위

청구항 1

하부기판상에 복수의 게이트 배선과 복수의 데이터 배선에 의해 정의된 복수의 화소 영역에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터를 덮도록 컬러필터층을 형성하는 단계;

상기 컬러필터층 상에 다수의 핑거패턴을 구비한 평탄화막을 형성하는 단계;

상기 핑거패턴들 사이에 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소전극을 형성하는 단계;

상부기판상에 컬럼 스페이서를 형성하는 단계; 및

상기 상부기판과 하부기판 사이에 액정층을 형성하는 단계를 포함하는 액정표시장치 제조방법

청구항 2

제1항에 있어서, 상기 평탄화막의 핑거패턴들 형성시에 상기 박막 트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀도 동시에 형성하는 액정표시장치 제조방법.

청구항 3

제1항에 있어서, 상기 핑거패턴들과 화소전극 형성시에 한 번의 마스크 공정을 이용하는 액정표시장치 제조방법.

청구항 4

제1항에 있어서, 상기 화소전극을 형성하는 단계는,

상기 핑거패턴들을 구비한 평탄화막을 포함한 컬러필터층 상에 투명 도전층을 형성하는 공정과,

상기 투명 도전층 상에 감광막을 형성하는 공정과,

상기 핑거패턴 상의 투명도전층이 노출될 때까지 상기 감광막을 식각하는 공정과,

상기 핑거패턴 상의 투명도전층 및 상기 핑거패턴들사이의 감광막을 제거하여 상기 핑거패턴들 사이에 화소전극을 형성하는 공정으로 이루어지는 액정표시장치 제조방법.

청구항 5

제1항에 있어서, 상기 핑거패턴 상의 투명도전층이 노출될 때까지 상기 감광막을 식각하는 공정은 애싱(Ashing) 공정을 통해 이루어지는 액정표시장치 제조방법.

청구항 6

제1항에 있어서, 상기 핑거패턴 상의 투명도전층 및 상기 핑거패턴들사이의 감광막을 제거하여 상기 핑거패턴들 사이에 화소전극을 형성하는 공정은 습식 식각공정을 통해 이루어지는 액정표시장치 제조방법.

청구항 7

제1항에 있어서, 상기 게이트 배선 형성하는 단계에서 다수 개의 공통전극을 구비한 공통배선도 동시에 형성하는 액정표시장치 제조방법.

청구항 8

제1항에 있어서, 상기 핑거패턴들은 상기 공통배선과 오버랩되는 액정표시장치 제조방법.

청구항 9

하부기관상에 교차하도록 구비된 복수의 게이트 배선과 복수의 데이터 배선;
 상기 복수의 게이트 배선과 복수의 데이터 배선에 의해 정의된 복수의 화소 영역에 구비된 복수의 박막 트랜지스터;
 상기 복수의 박막 트랜지스터의 상부에 배치된 컬러필터층;
 상기 컬러필터층 상부에 배치됨과 아울러 상기 박막 트랜지스터의 드레인 전극 일부를 노출시키며 다수의 핑거 패턴을 가진 평탄화막;
 상기 핑거패턴들 사이에 배치되며 상기 박막 트랜지스터의 드레인 전극과 접속된 화소전극;
 상기 하부기관에 대향하여 배치되는 상부기관에 구비된 컬럼 스페이서; 및
 이들 양 기관 사이에 배치된 액정층을 포함하는 액정표시장치.

청구항 10

제9항에 있어서, 상기 핑거패턴의 높이는 상기 화소전극보다 높은 액정표시장치.

청구항 11

제9항에 있어서, 상기 하부기관상에 상기 화소전극과 평행하게 공통전극이 배치된 액정표시장치.

청구항 12

제11항에 있어서, 상기 공통전극은 상기 핑거패턴과 오버랩되게 배치된 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 TFT 어레이 기관에 컬러필터가 형성되는 COT(color filter on TFT) 구조의 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용 분야가 넓고 다양하다.

[0003] 액정표시장치는 상부기관, 하부기관 및, 상기 양 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 상기 액정층의 배열 상태가 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0004] 일반적으로, 상기 상부기관상에는 컬러필터가 형성되어 있기 때문에 상기 상부기관을 컬러필터 기관이라고 칭하기도 한다. 그리고, 상기 하부기관상에는 박막 트랜지스터가 형성되어 있기 때문에 상기 하부기관을 박막 트랜지스터 기관이라고 칭하기도 한다.

[0005] 그러나, 이와 같이 컬러필터 기관과 박막 트랜지스터 기관을 이용한 액정표시장치는 별도의 제조 공정 라인을 통해서 컬러필터 기관과 박막 트랜지스터 기관을 각각 제조한 후 양 기관을 합착하게 되므로 제조 공정을 단순화하는데 한계가 있다.

[0006] 따라서, 제조 공정을 보다 단순화하기 위해서 컬러필터를 박막 트랜지스터 기관상에 형성하는 소위 COT(Color on TFT) 구조의 액정표시장치가 제안되었다.

[0007] 이러한 COT 구조의 기존의 액정표시장치는, 하부기관상에 게이트 전극을 형성하는 공정과, 소스전극 및 드레인 전극을 형성하는 공정과, 적색(R), 녹색(G) 및 청색 칼라필터층을 순차적으로 형성하는 공정과, 평탄화막을 형성하는 공정과, 화소전극을 형성하는 공정, 그리고 상부기관상에 컬럼 스페이서를 형성하는 공정을 통해 제조된다.

[0008] 그러나, 이와 같은 제조 공정 순으로 제조되는 종래의 액정표시장치 제조방법은 적어도 8회의 마스크 공정을 통해 제조되기 때문에, 그만큼 많은 수의 마스크 적용에 따라 제조 공정 시간이 길어지게 된다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 목적은 평탄화막의 단차를 이용하여 화소전극을 별도의 마스크 공정없이 형성할 수 있어 마스크 공정 수를 줄일 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0010] 전술한 과제를 해결하기 위하여, 일 측면에서, 본 발명은 하부기판상에 정의된 복수의 화소 영역에 박막 트랜지스터와 컬러필터층을 형성하는 단계와, 상기 컬러필터층 상에 다수의 핑거패턴을 구비한 평탄화막을 형성하는 단계와, 상기 핑거패턴들 사이에 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소전극을 형성하는 단계를 포함하는 액정표시장치 제조방법을 제공할 수 있다.

[0011] 이러한 본 발명에 따른 액정표시장치 제조방법에 있어서, 상기 평탄화막의 핑거패턴들 형성시에 상기 박막 트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀도 동시에 형성할 수 있다.

[0012] 이러한 본 발명에 따른 액정표시장치 제조방법에 있어서, 상기 화소전극을 형성하는 단계는 상기 핑거패턴들을 구비한 평탄화막을 포함한 컬러필터층 상에 투명 도전층을 형성하는 공정과, 상기 투명 도전층 상에 포토레지스트막을 형성하는 공정과, 상기 핑거패턴 상의 투명도전층이 노출될 때까지 상기 포토레지스트막을 식각하는 공정과, 상기 핑거패턴 상의 투명도전층 및 상기 핑거패턴들사이의 포토레지스트막을 제거하여 상기 핑거패턴들 사이에 화소전극을 형성하는 공정을 포함할 수 있다.

[0013] 이러한 본 발명에 따른 액정표시장치 제조방법에 있어서, 상기 핑거패턴 상의 투명도전층이 노출될 때까지 상기 감광막을 식각하는 공정은 애싱(Ashing) 공정을 통해 이루어질 수 있다.

[0014] 이러한 본 발명에 따른 액정표시장치 제조방법에 있어서, 상기 핑거패턴 상의 투명도전층 및 상기 핑거패턴들사이의 감광막을 제거하여 상기 핑거패턴들 사이에 화소전극을 형성하는 공정은 습식 식각공정을 통해 이루어질 수 있다.

[0015] 전술한 과제를 해결하기 위하여, 다른 측면에서, 본 발명은 하부기판상에 정의된 복수의 화소 영역에 구비된 복수의 박막 트랜지스터 및 컬러필터층과, 상기 컬러필터층 상부에 배치되고 아울러 상기 박막 트랜지스터의 드레인 전극 일부를 노출시키며 다수의 핑거패턴을 가진 평탄화막과, 상기 핑거패턴들 사이에 배치되며 상기 드레인 전극과 접속된 화소전극을 포함하는 액정표시장치를 제공할 수 있다.

[0016] 이러한 본 발명에 따른 표시장치에 대하여, 상기 핑거패턴의 높이는 상기 화소전극보다 높을 수 있다.

발명의 효과

[0017] 본 발명에 따른 액정표시장치 제조방법은 평탄화막의 단차를 이용하여 화소전극을 별도의 마스크 공정없이 형성할 수 있어 마스크 공정 수를 줄일 수 있다.

[0018] 특히, 평탄화막의 핑거패턴들을 이용하여 화소전극을 상기 핑거패턴들 사이에 배치되도록 하기 때문에 별도의 마스크 공정이 필요없게 됨으로써 그만큼 제조 공정을 단축시킬 수 있으며, 그에 따른 제조 비용도 절감시킬 수 있다.

[0019] 그리고, 기존에는 화소전극을 형성하기 위해 별도의 마스크 공정이 요구되었지만, 본 발명에서는 평탄화막의 핑거패턴을 형성하기 위한 마스크 공정을 이용하여 화소전극을 형성할 수 있으므로 그만큼 액정표시장치를 제조하기 위한 마스크 공정을 줄일 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명에 따른 액정표시장치를 개략적으로 나타낸 평면도이다.

도 2는 도 1의 II-II선에 따른 단면도로서, 본 발명에 따른 액정표시장치의 단면도이다.

도 3은 본 발명에 따른 액정표시장치의 제조공정 흐름도이다.

도 4a 내지 4v는 본 발명에 따른 액정표시장치의 제조 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하 본 발명의 바람직한 실시 예에 따른 액정표시장치에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- [0022] 도 1은 본 발명에 따른 액정표시장치를 개략적으로 나타낸 평면도이다.
- [0023] 도 1에 도시된 바와 같이, 복수 개의 게이트 배선(112)은 수평 방향으로 배열되어 있고, 공통배선(113)은 상기 복수 개의 게이트 배선(112)과 평행하게 배열되어 있다. 이때, 상기 공통배선(113)에는 상기 게이트 배선(112)과 수직방향으로 분기된 다수 개의 공통전극(113a)이 연장하여 형성되어 있다.
- [0024] 그리고, 복수 개의 데이터 배선(122a)은 상기 게이트 배선들(112)과 교차되는 수직 방향으로 배열되어 있다.
- [0025] 서로 교차하여 배열되는 게이트 배선들(112) 및 데이터 배선들(122a)에는 복수 개의 화소영역이 정의된다. 이때, 상기 복수 개의 화소영역은 적색(R) 화소, 녹색(G) 화소, 및 청색(B) 화소로 이루어진다.
- [0026] 상기 게이트 배선(112)과 데이터 배선(122a)이 교차하는 영역에는 박막 트랜지스터(T)가 배열되어 있으며, 상기 박막 트랜지스터(T)는 상기 게이트 배선(112)에 대해 수직방향으로 다수 개로 분기된 화소전극(150)과 연결되어 있다.
- [0027] 도 2는 도 1의 II-II선에 따른 단면도로서, 본 발명에 따른 액정표시장치의 단면도이다.
- [0028] 본 발명에 따른 액정표시장치는, 도 2에 도시된 바와 같이, 하부기판(110)과 상부기판(160) 및, 상기 양 기판(110, 160) 사이에 형성된 액정층(190)을 포함하여 구성된다.
- [0029] 상기 하부기판(110) 상에는 일 방향으로 연장되고 서로 평행하게 이격된 복수 개의 게이트 배선(112) 및 복수 개의 공통배선(113)이 형성된다. 이때, 상기 게이트 배선(112)에는 이 게이트 배선에 대해 수직방향으로 게이트 전극(112a)이 연장하여 형성된다. 그리고, 상기 공통배선(113)에는 상기 게이트 배선(112)에 대해 수직방향으로 다수 개의 공통전극(113a)이 분기하여 형성된다.
- [0030] 상기 게이트 배선(112)을 형성하기 위한 금속물질로는 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중 층 이상이 적층된 구조가 사용될 수 있다.
- [0031] 그리고, 상기 복수 개의 게이트 배선(112) 및 공통배선(113)을 포함한 하부기판(110) 상에는 게이트 절연막(116)이 형성된다.
- [0032] 상기 게이트 전극(112a) 위의 게이트 절연막(116) 상에는 액티브층(120)이 형성된다. 이때, 상기 액티브층(120)은 순수 비정질 실리콘층(118a)과, 상기 순수 비정질 실리콘층(119a) 위에서 서로 분리 형성된 불순물 비정질 실리콘층(119a)을 포함한다.
- [0033] 상기 액티브층(120)은 비정질 실리콘을 사용한 것을 예로 들고 있으나, 비정질 실리콘에 한정되지 않고 LTPS(Low Temperature Poly-Silicon), 또는 산화물 반도체(Oxide Semiconductor) 등 반도체의 성질을 나타내는 물질이 사용될 수 있다.
- [0034] 그리고, 상기 게이트 배선(112)과 교차하여 이루는 지역에는 화소영역을 정의하는 데이터 배선(122a)이 형성되며, 상기 게이트 전극(112a) 상의 액티브층(120) 위에는 채널영역만큼 이격된 소스전극(122b)과 드레인 전극(122c)이 형성된다. 이때, 상기 소스전극(122b)은 상기 데이터 배선(122a)으로부터 연장되어 형성된다.
- [0035] 상기 데이터 배선(122a)의 금속 물질로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조가 사용될 수 있다.
- [0036] 이와 같이, 상기 게이트 배선(112)과 데이터 배선(122a)이 교차하여 이루는 지역에 형성된 게이트 전극(112a)과, 게이트 절연막(116), 반도체층(120), 소스전극(122b) 및 드레인 전극(122c)은 박막 트랜지스터(T)를 이룬다. 이때, 상기 박막 트랜지스터(T)는 복수 개의 게이트 배선(112)과 복수 개의 데이터 배선(122a) 각각이 교차하여 이루는 각 화소 영역마다 구비된다.

- [0037] 그리고, 상기 박막 트랜지스터(T)를 포함한 하부기판(110) 전면에는 패시베이션막(128)이 형성된다.
- [0038] 상기 패시베이션막(128) 상의 각 화소영역마다 적색(R) 컬러필터(132), 녹색(G) 컬러필터(134) 및 청색(B) 컬러필터(136)가 형성된다. 이때, 상기 적색(R) 컬러필터(132), 녹색(G) 컬러필터(134) 및 청색(B) 컬러필터(136)는 컬러필터층(130)을 이룬다.
- [0039] 그리고, 상기 컬러필터층(130) 위에는 다수 개의 핑거패턴(finger pattern)과 상기 박막 트랜지스터(T)의 드레인 전극(122c) 일부를 노출시키는 평탄화막(140)이 형성된다. 이때, 상기 핑거패턴(140a) 각각은 상기 공통전극(113a)과 오버랩된다.
- [0040] 그리고, 상기 평탄화막(140)은 포토 아크릴(Photo-Acryl)과 같은 유기 절연물질로 구성된다.
- [0041] 상기 핑거패턴들(140a) 사이에는 화소전극(150a)이 형성되며, 상기 화소전극(150a)은 상기 드레인 콘택홀(144)을 통해 상기 박막 트랜지스터(T)의 드레인 전극(122c)과 접속된다.
- [0042] 한편, 상기 상부기판(160) 상에는 다수 개의 컬럼 스페이스(162a)가 형성된다. 이때, 상기 컬럼 스페이스(162a)는 고 반사 특성을 나타내는 흑색 컬럼 스페이스(Black Column Spacer)가 사용될 수 있다.
- [0043] 이때, 상기 컬럼 스페이스들(162a)은 서로 다른 높이를 갖거나, 또는 제조 공정의 횟수를 감소시키기 위해 동일한 높이로 형성될 수도 있다.
- [0044] 그리고, 상기 상부기판(160)과 하부기판(110) 사이에는 액정층(190)이 형성된다.
- [0045] 이와 같이, 상기 화소전극(150a)은 각 화소영역에서 칼라필터층(130)과 패시베이션막(128) 및 게이트 절연막(116)을 사이에 두고 상기 다수의 공통전극(113a)들과 중첩되어 횡 전계(In-Plane Switching field)를 형성한다.
- [0046] 이렇게 하여, 박막 트랜지스터(T)를 통해 화소전극(150a)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극들(113a)이 횡 전계를 형성하여 하부기판(110)과 상부기판(160) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0047] 한편, 이와 같은 구성으로 이루어지는 본 발명에 따른 액정표시장치 제조방법에 적용되는 제1 내지 제6 마스크 제조 공정에 대해 도 3을 참조하여 개략적으로 설명하면 다음과 같다.
- [0048] 도 3은 본 발명에 따른 액정표시장치의 제조공정 흐름도로서, 제1 내지 7 마스크 공정에 의해 제조되는 액정표시장치 제조방법을 개략적으로 나타내는 흐름도이다.
- [0049] 본 발명에 따른 액정표시장치 제조방법은, 제1 마스크 공정(S110)을 통해 하부기판(미도시, 도 2의 110 참조) 상에 게이트 배선(미도시, 도 2의 112 참조)과 공통배선(미도시, 도 2의 113 참조)을 동시에 형성한다.
- [0050] 그런 다음, 제2 마스크 공정(S120)을 통해, 하부기판(110) 상에 액티브층(미도시, 도 2의 120 참조)과 데이터 배선(미도시, 도 2의 122a 참조) 및 소스전극(미도시, 도 2의 122b 참조) 그리고 드레인 전극(미도시, 도 2의 122c 참조)을 형성한다.
- [0051] 이어, 제3 마스크 공정(S130)을 통해, 상기 하부기판(110) 상에 적색(R) 컬러필터(미도시, 도 2의 132 참조)를 형성한다.
- [0052] 그런 다음, 제4 마스크 공정(S140)을 통해, 상기 적색(R) 컬러필터(미도시, 도 2의 132 참조)와 인접하여 녹색(G) 컬러필터(미도시, 도 2의 134 참조)를 형성한다.
- [0053] 이어, 제5 마스크 공정(S150)을 통해, 상기 녹색(G) 컬러필터(미도시, 도 2의 134 참조)와 인접하여 청색(B) 컬러필터(미도시, 도 2의 136 참조)를 형성한다. 이때, 상기 적색(R) 컬러필터(미도시, 도 2의 132 참조)와 녹색(G) 컬러필터(미도시, 도 2의 134 참조) 및 청색(B) 컬러필터(미도시, 도 2의 136 참조)는 컬러필터층(미도시, 도 2의 130 참조)을 이룬다.
- [0054] 그런 다음, 제6 마스크 공정(S160)을 통해, 상기 컬러필터층(130) 위에 핑거패턴(미도시, 도 2의 140a 참조) 및 화소전극(미도시, 도 2의 150a 참조)을 형성한다.
- [0055] 이어, 제 7 마스크 공정(S170)을 통해, 상부기판(미도시, 도 2의 160 참조) 상에 다수의 컬럼 스페이스(미도시, 도 2의 162a 참조)를 형성함으로써, 마스크 공정들에 의한 액정표시장치를 제조하는 과정을 완료한다.

- [0056] 또 한편, 이와 같이 제1 내지 7 마스크 공정을 통해 제조되는 본 발명에 따른 액정표시장치 제조방법에 대해 및 도 4a 내지 4v를 참조하여 설명하면 다음과 같다.
- [0057] 도 4a 내지 4v는 본 발명에 따른 액정표시장치의 제조 공정 단면도들이다.
- [0058] 도 4a에 도시된 바와 같이, 투명한 하부기판(110) 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소 영역을 정의하고, 상기 투명한 하부기판(110) 상에 제1 금속층(111)을 스퍼터링 방법에 의해 증착한다. 이때, 상기 제1 금속층 (111)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.
- [0059] 그런 다음, 상기 제1 금속층(111) 상부에 투과율이 높은 제1 포토레지스트 (photo-resist)를 도포하여 제1 감광막(114)을 형성한다.
- [0060] 이어서, 도 4b에 도시된 바와 같이, 제1 마스크 공정(S110)으로서, 제1 마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 제1 감광막(114)을 노광 및 현상한 후 선택적으로 제거하여 제1 감광막패턴(114a)을 형성한다.
- [0061] 그런 다음, 도 4c에 도시된 바와 같이, 상기 제1 감광막패턴(114a)을 차단막으로 상기 제1 금속층(111)을 선택적으로 식각하여 게이트 배선(미도시, 도 1의 112 참조)과 이 게이트배선으로부터 연장된 게이트전극(112a)과 함께, 이 게이트 배선(112)과 평행하게 이격된 공통배선(미도시, 도 1의 113 참조)을 형성한다.
- [0062] 이때, 상기 게이트 배선(112)에는 이 게이트 배선에 대해 수직방향으로 게이트 전극(112a)이 연장하여 형성되며, 상기 공통배선(113)에는 상기 게이트 배선 (112)에 대해 수직방향으로 다수 개의 공통전극(113a)이 분기하여 형성된다.
- [0063] 이어, 도 4d에 도시된 바와 같이, 상기 제1 감광막패턴(114a)을 제거한 후 상기 하부기판(110) 전면에 질화 실리콘(SiNx) 또는 실리콘 산화막(SiO₂)으로 이루어진 게이트 절연막(116)을 형성한다.
- [0064] 그런 다음, 상기 게이트 절연막(116) 위에 순수 비정질 실리콘층(a-Si:H) (118)과 불순물이 포함된 불순물 비정질 실리콘층(n+ 또는 p+)(119) 및 제2 금속층 (122)를 차례로 적층한다. 이때, 상기 비정질 실리콘층(a-Si:H) (118)과 불순물이 포함된 불순물 비정질 실리콘층(n+ 또는 p+)(119)은 화학기상 증착법 (CVD; Chemical Vapor Deposition method)으로 증착하고, 상기 제2 금속층(122)은 스퍼터링 방법으로 증착한다. 여기서는, 상기 증착 방법으로 화학기상 증착법, 스퍼터링 방법에 대해서만 기재하고 있지만, 필요에 따라서는 기타 다른 증착 방법을 사용할 수도 있다.
- [0065] 그리고, 상기 제2 금속층(122)으로는, 알루미늄(Al), 텅스텐(W), 구리 (Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.
- [0066] 이어, 상기 제2 금속층(122) 상에 투과성이 우수한 제2 감광막(124)을 도포한다.
- [0067] 그런 다음, 상기 제2 감광막(124) 상측에 회절 마스크(126)를 배치한다. 이때, 상기 회절 마스크(126)는 광차단부(126a)와 반투과부(126b) 및 투과부(126c)로 이루어진다.
- [0068] 이어, 상기 회절 마스크(126)를 이용한 제2 마스크 공정(S120)으로서, 상기 광차단부(126a)와 반투과부(126b) 및 투과부(126c)로 이루어진 회절 마스크(126)를 이용하여 상기 제2 감광막(124)에 노광 공정을 실시한다.
- [0069] 이때, 상기 회절 마스크(126)의 광차단부(126a)는 데이터배선 형성 지역과 소스전극 및 드레인 전극 형성 지역과 대응하는 상기 제2 감광막(124) 부분 상측에 위치하며, 상기 반투과부(126b)는 박막 트랜지스터(T)의 채널지역, 즉 게이트 전극 (112a)과 대응하는 상기 제2 감광막(124) 부분 상측에 위치한다. 그리고, 상기 회절 마스크 (126)로는 광의 회절 효과를 이용하는 마스크, 예를 들어 하프톤 마스크 (Half-ton mask), 슬릿 마스크(Slit-mask) 또는 기타 다른 회절 마스크를 사용할 수도 있다.
- [0070] 그런 다음, 도 4e에 도시된 바와 같이, 상기 노광 공정 이후에 현상공정을 실시하여 상기 제2 감광막(124)의 현상된 부분을 제거하여 데이터배선 형성지역과 소스전극 및 드레인 전극 형성지역에 소스/드레인 형성용 제1 더

미 패턴(124a)을 형성하고, 상기 박막 트랜지스터(T)의 채널지역에 채널 형성용 제2 더미 패턴(124b)을 형성한다.

- [0071] 이때, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 더미 패턴(124a)은 광이 투과되지 않은 상태이기 때문에 제2 감광막 두께를 그대로 유지하고 있지만, 상기 박막 트랜지스터(T)의 채널지역의 제2 더미패턴(124b)은 제2 감광막에 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 박막 트랜지스터(T)의 채널지역의 제2 더미 패턴(124b)은 상기 데이터배선 형성지역과 소스전극 및 드레인 전극 형성지역의 제1 더미 패턴(124a)보다 얇은 두께를 갖게 된다.
- [0072] 이어, 도 4f에 도시된 바와 같이, 상기 데이터배선 형성지역과 소스전극 및 드레인 전극 형성지역의 제1 더미 패턴(124a)과 상기 박막 트랜지스터(T)의 채널지역의 제2 더미 패턴(124b)을 식각 마스크로, 그 아래의 상기 제2 금속층(122)과 불순물이 함유된 비정질 실리콘층(119), 및 순수 비정질 실리콘층(118)을 순차적으로 식각하여 데이터배선(122a)을 형성함과 동시에, 소스전극 형성 부분과 드레인 전극 형성 부분 및 불순물 비정질 실리콘층 패턴(119a) 그리고, 순수 비정질 실리콘층패턴(118a)을 형성한다.
- [0073] 이때, 상기 제2 금속층(122)과 불순물이 함유된 비정질 실리콘층(119) 및 순수 비정질 실리콘층(118) 식각시에, 먼저 상기 제2 금속층(122)을 습식 식각(wet etch) 공정을 통해 1차로 식각한 다음, 다시 건식 식각(dry etch) 공정을 통해 불순물이 함유된 비정질 실리콘층(119)과 순수 비정질 실리콘층(118)을 2차로 식각한다.
- [0074] 그런 다음, 도 4g에 도시된 바와 같이, 에칭(ashing) 공정을 통해 상기 데이터배선 형성부분과 소스전극 및 드레인 전극 형성부분의 제1 더미 패턴(124a)의 두께 일부와 상기 박막 트랜지스터(T)의 채널지역의 제2 더미 패턴(124b) 전체를 제거하여 상기 박막 트랜지스터 (T)의 채널지역의 제2 더미 패턴(124b) 아래의 제2 금속층(122) 부분을 노출시킨다.
- [0075] 이어, 도 4h에 도시된 바와 같이, 상기 에칭 공정에 의해 두께 일부가 식각된 상기 데이터배선 형성부분과 소스전극 및 드레인 전극 형성부분의 제1 더미 패턴(124a)을 식각 마스크로 상기 노출된 제2 금속층(122)과 그 아래의 불순물 비정질 실리콘층(119)을 식각 함으로써 소스전극(122b)과, 이 소스전극(122b)과 이격된 드레인 전극(122c)을 형성한다. 이때, 상기 소스전극(122b) 및 드레인 전극(122c) 형성시에, 상기 채널 지역의 불순물이 함유된 불순물 비정질 실리콘층패턴(119a) 부분도 식각 공정을 통해 제거함으로써 불순물 비정질 실리콘층패턴(119a)이 상기 순수 비정질 실리콘층패턴(118a) 상에서 분리되어 형성된다. 따라서, 상기 순수 비정질 실리콘층 패턴(118a)과 불순물 비정질 실리콘층패턴(119a)은 액티브층(120)을 이룬다.
- [0076] 그런 다음, 도 4i에 도시된 바와 같이, 상기 하부기판(110) 전면에서 질화실리콘(SiNx) 또는 실리콘 산화막(SiO₂)으로 이루어진 보호막(128)을 형성한다.
- [0077] 이어, 도면에는 도시하지 않았지만, 상기 보호막(128) 상에 적색 컬러안료층(미도시)를 도포한 후 제3 마스크 공정(S130)을 통해 상기 적색 컬러안료층(미도시)을 선택적으로 패터닝하여, 도 4i에 도시된 바와 같이, 적색(R) 컬러필터(132)를 형성한다.
- [0078] 그런 다음, 도면에는 도시하지 않았지만, 상기 적색 컬러필터(132)를 포함한 보호막(128) 상에 녹색 컬러안료층(미도시)를 도포한 후 제4 마스크 공정(S140)을 통해 상기 녹색 컬러안료층(미도시)을 선택적으로 패터닝하여, 도 4j에 도시된 바와 같이, 녹색(G) 컬러필터(134)를 형성한다.
- [0079] 이어, 도면에는 도시하지 않았지만, 상기 적색 컬러필터(132) 및 녹색 컬러필터(134)를 포함한 보호막(128) 상에 청색 컬러안료층(미도시)를 도포한 후 제5 마스크 공정(S150)을 통해 상기 청색 컬러안료층(미도시)을 선택적으로 패터닝하여, 도 4k에 도시된 바와 같이, 청색(B) 컬러필터(136)를 형성한다. 따라서, 상기 적색 컬러필터(132) 및 녹색 컬러필터(134) 및 청색(B) 컬러필터(136)은 컬러필터층(130)을 이룬다.
- [0080] 그런 다음, 도 4l에 도시된 바와 같이, 상기 적색 컬러필터(132) 및 녹색 컬러필터(134) 및 청색(B) 컬러필터(136) 상에 평탄화막(140)을 형성하고, 그 위에 투과율이 높은 제3 감광막(142)을 도포한다.
- [0081] 이어, 도 4m에 도시된 바와 같이, 제6 마스크 공정(S160)으로서, 제6 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제3 감광막(142)을 노광 및 현상한 후 현상된 제3 감광막(142) 부분을 식각하여 제3 감광막패턴(142a)을 형성한다.
- [0082] 그런 다음, 도 4n에 도시된 바와 같이, 상기 제3 감광막패턴(142a)을 식각 마스크로 상기 평탄화막(140) 및 그 아래의 보호막(128)을 선택적으로 식각하여 상기 드레인 전극(122c) 일부를 노출시키는 드레인 콘택홀(144)과

다수의 핑거패턴 (finger pattern)(140a)을 형성한다. 이때, 상기 상기 핑거패턴들(140a)은 전술한 공통전극들 (113a)과 오버랩될 수 있다.

- [0083] 이어, 도 4o에 도시된 바와 같이, 상기 제3 감광막패턴(142a)을 제거하고, 상기 드레인 콘택홀(144) 및 다수의 핑거패턴(140a)을 포함한 컬러필터층(130) 상에 투명 도전층(150)을 형성한다. 이때, 상기 투명 도전층(150)의 형성물질로는 ITO (Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 기타 다른 투명 도전 물질을 사용할 수 있다.
- [0084] 그런 다음, 도 4p에 도시된 바와 같이, 상기 투명 도전층(150) 상에 상기 다수의 핑거패턴(140a) 사이 및 드레인 콘택홀(144) 지역이 매립되도록 제4 감광막 (152)을 형성한다.
- [0085] 이어서, 도 4q에 도시된 바와 같이, 상기 핑거패턴(140a) 상부의 투명 도전층 (150)의 부분이 노출될 때까지 상기 제4 감광막(152)을 전면 식각한다. 이때, 상기 제4 감광막(152)은 상기 핑거패턴들(140a) 사이 및 드레인 콘택홀(144) 내부에 잔류한다.
- [0086] 그런 다음, 도 4r에 도시된 바와 같이, 외부로 노출된 상기 투명 도전층 (150) 부분 및 잔류하는 제4 감광막 (152a)을 제거함으로써, 상기 핑거패턴들(140a) 사이에 화소전극(150a)을 형성한다. 이때, 상기 화소전극(150a)은 상기 드레인 콘택홀 지역에 있는 상기 드레인 콘택홀(144)을 통해 상기 박막 트랜지스터(T)의 드레인 전극 (122c)과 전기적으로 접속된다.
- [0087] 이렇게 하여, 상기 하부기판(110) 상에 COT(Color on TFT) 구조의 액정표시장치 제조 공정을 완료한다.
- [0088] 이후에, 도 4s에 도시된 바와 같이, 상기 하부기판(110)과 합착되는 상부기판 (160) 상에 흑색 컬럼 스페이스 물질층(162)을 도포하고, 그 위에 제5 감광막(164)을 형성한다.
- [0089] 그런 다음, 도 4t에 도시된 바와 같이, 상기 제7 마스크 공정(S170)으로서, 상기 5 감광막(164)을 제7 마스크 (미도시)를 이용한 포토 리소그래피 공정 기술을 통해 노광 및 현상한 후 선택적으로 식각하여 제 5 감광막패턴 (164a)을 형성한다.
- [0090] 이어, 도 4u에 도시된 바와 같이, 상기 제5 감광막패턴(164a)을 식각 마스크로 상기 흑색 컬럼 스페이스 물질층 (162)을 식각함으로써 갭 스페이스 및 돌립 스페이스 기능을 수행하는 다수의 컬럼 스페이스(162a)를 형성한다.
- [0091] 그런 다음, 도 4v에 도시된 바와 같이, 이와 같은 공정 순으로 제조된 상기 상부기판(160)과 하부기판(110) 사이에 액정층(170)을 형성함으로써, 제1 내지 7 마스크 공정을 통한 본 발명에 따른 액정표시장치 제조공정을 완료한다.
- [0092] 상기한 바와 같이, 본 발명에 따른 액정표시장치 제조방법은 평탄화막의 단차를 이용하여 화소전극을 별도의 마스크 공정없이 형성할 수 있어 마스크 공정 수를 줄일 수 있다.
- [0093] 특히, 평탄화막의 핑거패턴들을 이용하여 화소전극을 상기 핑거패턴들 사이에 배치되도록 하기 때문에 별도의 마스크 공정이 필요없게 됨으로써 그만큼 제조 공정을 단축시킬 수 있으며, 그에 따른 제조 비용도 절감시킬 수 있다.
- [0094] 그리고, 기존에는 화소전극을 형성하기 위해 별도의 마스크 공정이 요구되었지만, 본 발명에서는 평탄화막의 핑거패턴을 형성하기 위한 마스크 공정을 이용하여 화소전극을 형성할 수 있으므로 그만큼 액정표시장치를 제조하기 위한 마스크 공정을 줄일 수 있다.
- [0095] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0096] 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함 되는 것으로 해석되어야 한다.

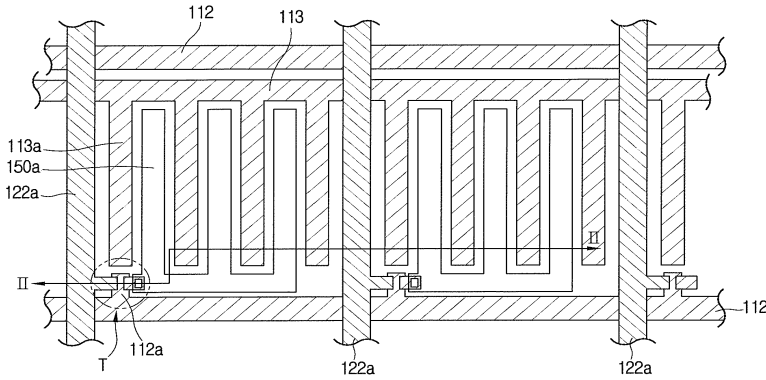
부호의 설명

- [0097] 130: 컬러필터층 140: 평탄화막
- 140a: 핑거패턴 150a: 화소전극

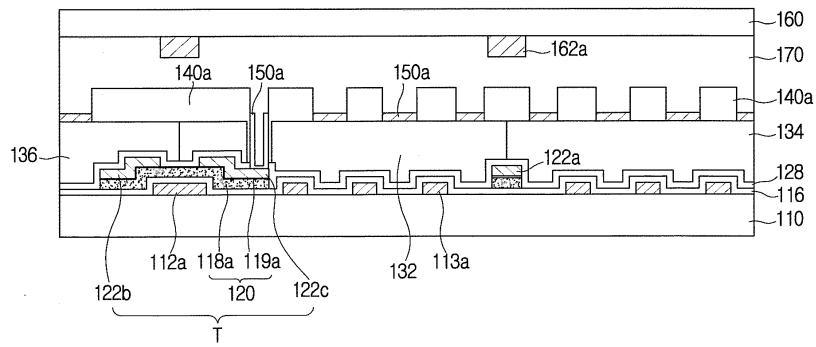
162: 흑색 컬럼 스페이서층 162a: 컬럼 스페이서

도면

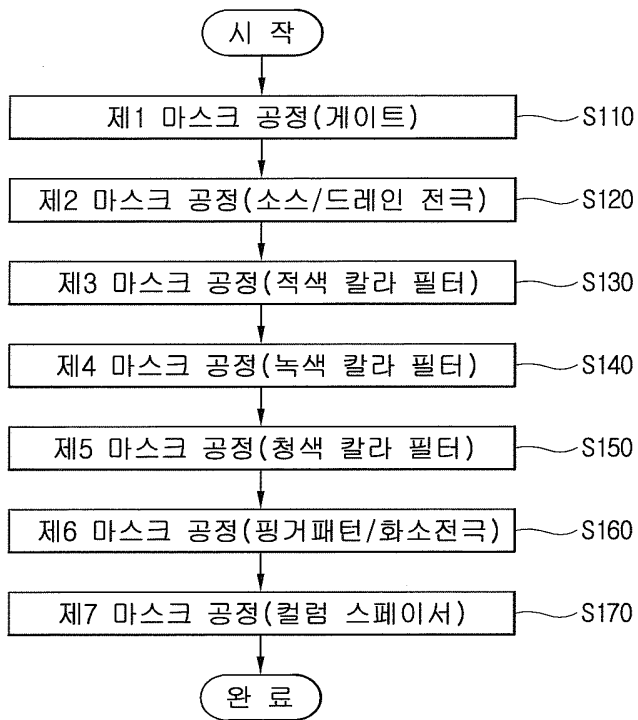
도면1



도면2



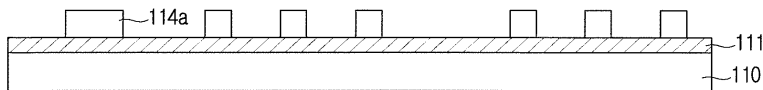
도면3



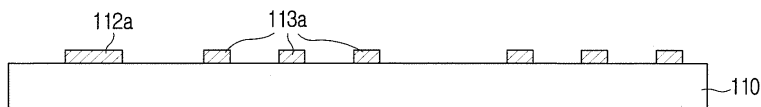
도면4a



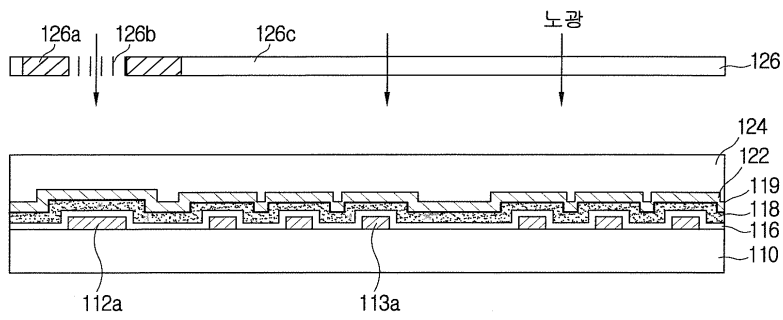
도면4b



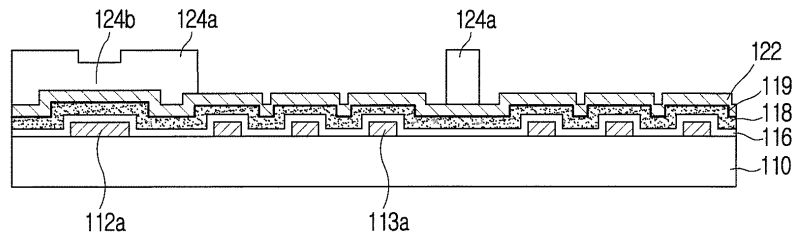
도면4c



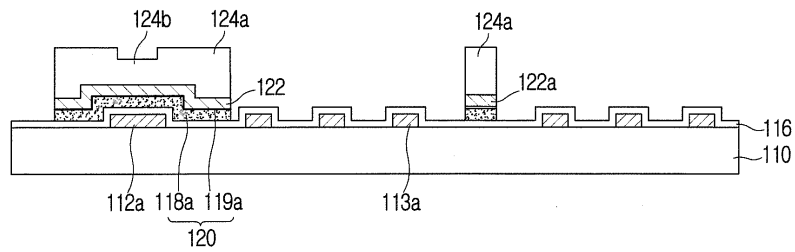
도면4d



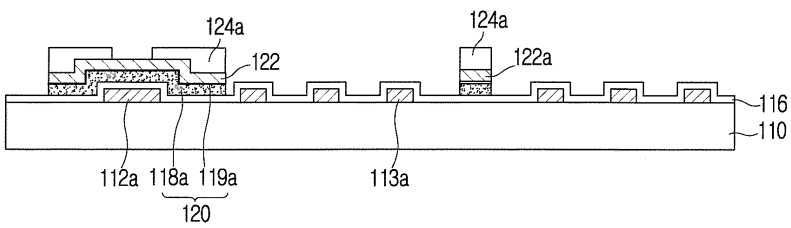
도면4e



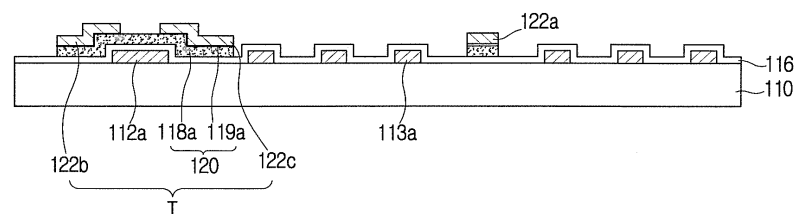
도면4f



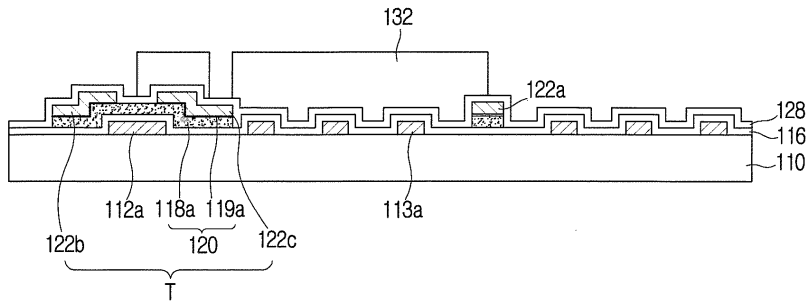
도면4g



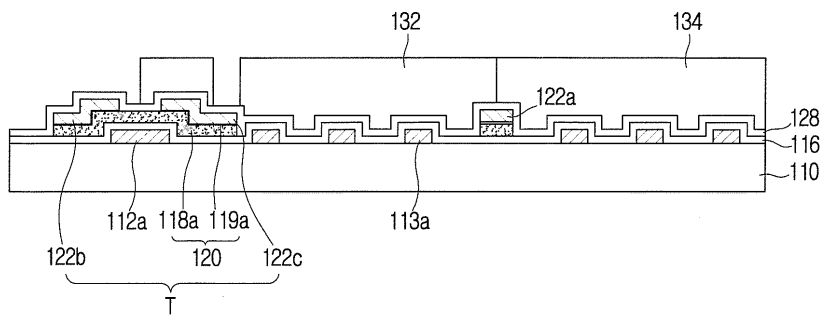
도면4h



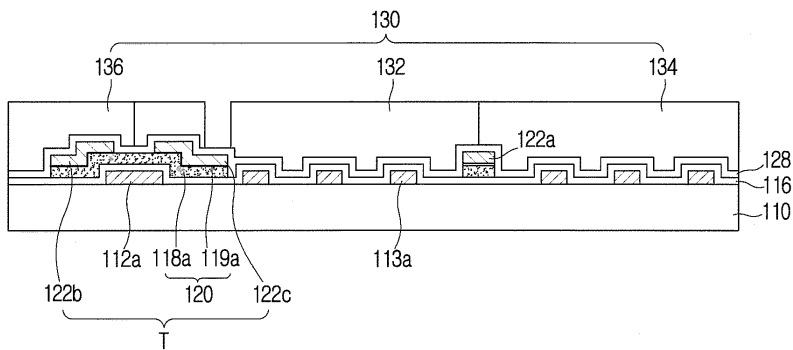
도면4i



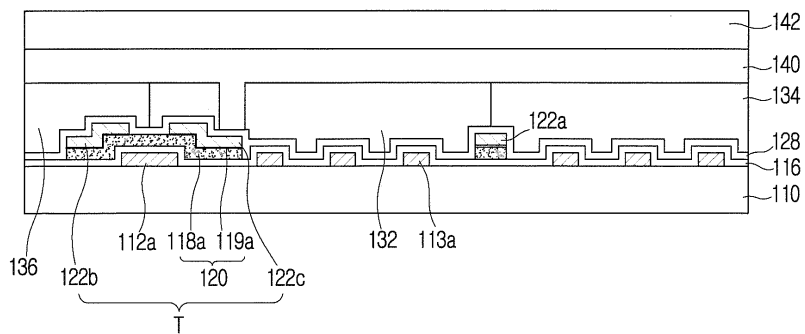
도면4j



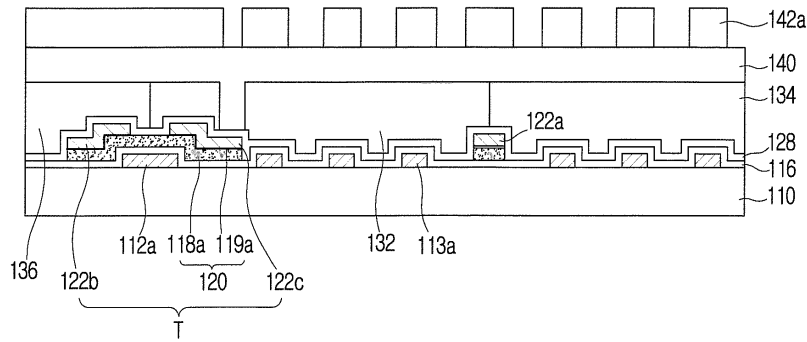
도면4k



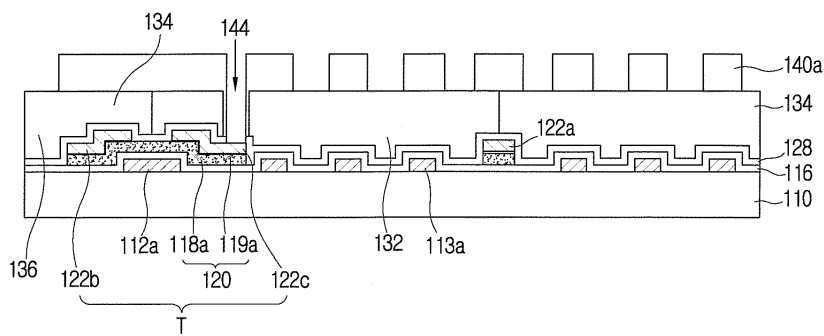
도면4l



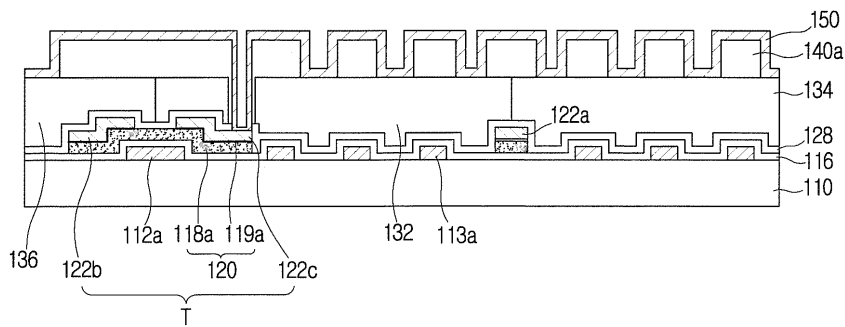
도면4m



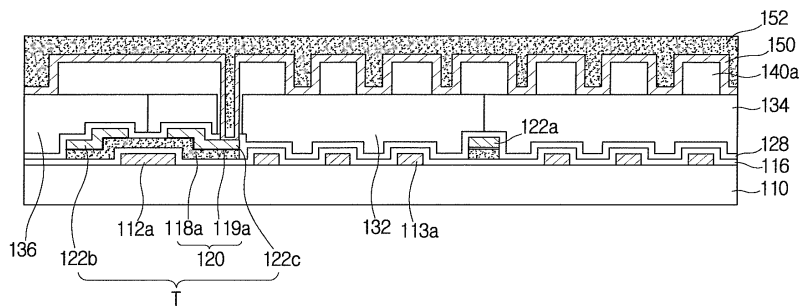
도면4n



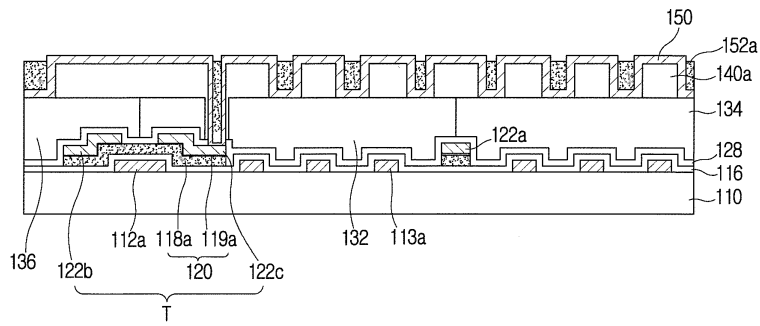
도면4o



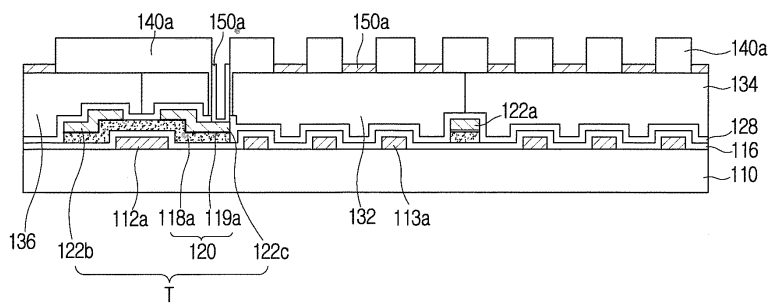
도면4p



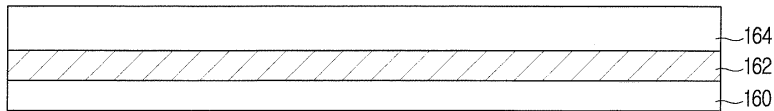
도면4q



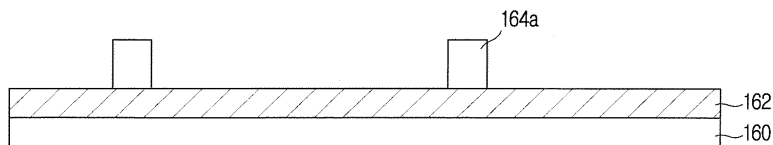
도면4r



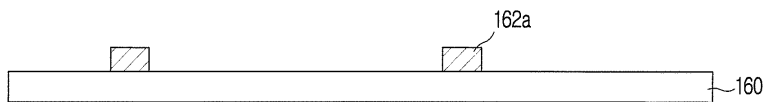
도면4s



도면4t



도면4u



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020170071359A	公开(公告)日	2017-06-23
申请号	KR1020150179589	申请日	2015-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG TAE BONG 정태봉 YANG BYUNG SUK 양병석		
发明人	정태봉 양병석		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1339 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/1368 G02F1/133514 G02F1/1339 G02F1/136286 G02F2001/134372		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

薄膜晶体管的制造方法技术领域本发明涉及一种薄膜晶体管的制造方法，该方法包括在下基板上形成薄膜晶体管 and 覆盖薄膜晶体管的滤色器层，在滤色器层上形成具有多个指状图案的平坦化膜，通过形成连接到电极的像素电极，在上基板上形成柱状间隔物，以及在上基板和下基板之间形成液晶层，在上基板和下基板之间形成液晶层。

