



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0033934
(43) 공개일자 2017년03월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 2330/021 (2013.01)
(21) 출원번호 10-2015-0131444
(22) 출원일자 2015년09월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강규태
경기도 고양시 일산서구 협중로 64 605동 505호
(탄현동, 탄현마을6단지아파트)
장훈
경기도 파주시 금바위로 47 210동 804호 (와동
동, 가람마을8단지동문굿모닝힐아파트)
(74) 대리인
특허법인로얄

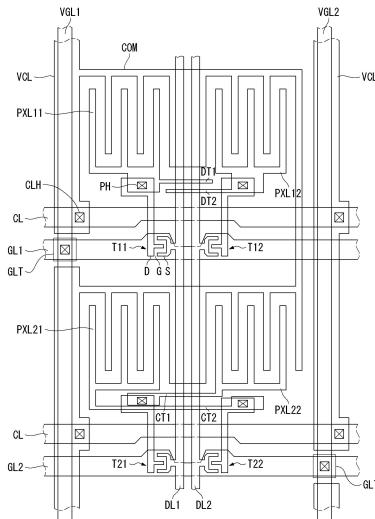
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 협 베젤 구조를 갖는 대형 액정 표시장치

(57) 요 약

본 발명은 수직 게이트 배선이 어레이 영역 내에 배치됨으로써 좌우측 베젤 영역이 극소화된 대형 액정 표시장치에 관한 것이다. 본 발명에 의한 액정 표시장치는, 수평 게이트 배선들, 데이터 배선들, 화소 영역들, 화소 전극들 그리고, 박막 트랜지스터들을 포함한다. 수평 게이트 배선들은, 기판 상에서 수평 방향으로 진행한다. 데이터 배선들은 기판 상에서 수직 방향으로 진행한다. 화소 영역들은 데이터 배선들과 수평 게이트 배선들의 교차 구조로 의해 (i,j) 행렬 방식으로 배열된다. (1,1) 박막 트랜지스터는 (1,1) 화소 영역에 배치되며, (1,1) 화소 전극과 연결된다. (1,2) 박막 트랜지스터는 (1,2) 화소 영역에 배치되며, (1,2) 화소 전극에 연결된다. (2,1) 박막 트랜지스터는 (2,1) 화소 영역에 배치되며, (2,2) 화소 전극에 연결된다. (2,2) 박막 트랜지스터는 (2,2) 화소 영역에 배치되며, (2,1) 화소 전극에 연결된다.

대 표 도 - 도4



명세서

청구범위

청구항 1

기판 위에서 수평 방향으로 진행하는 수평 게이트 배선들;

상기 기판 위에서 수직 방향으로 진행하는 데이터 배선들;

상기 데이터 배선들과 상기 수평 게이트 배선들의 교차 구조로 의해 (i, j) 행렬 방식으로 배열된 화소 영역들 (여기서, i 및 j는 자연수);

(1,1) 화소 영역에 배치된 (1,1) 화소 전극;

(1,2) 화소 영역에 배치된 (1,2) 화소 전극;

(2,1) 화소 영역에 배치된 (2,1) 화소 전극;

(2,2) 화소 영역에 배치된 (2,2) 화소 전극;

상기 (1,1) 화소 영역에 배치되며, 상기 (1,1) 화소 전극과 연결된 (1,1) 박막 트랜지스터;

상기 (1,2) 화소 영역에 배치되며, 상기 (1,2) 화소 전극과 연결된 (1,2) 박막 트랜지스터;

상기 (2,1) 화소 영역에 배치되며, 상기 (2,2) 화소 전극과 연결된 (2,1) 박막 트랜지스터;

상기 (2,2) 화소 영역에 배치되며, 상기 (2,1) 화소 전극과 연결된 (2,2) 박막 트랜지스터를 포함하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 (2,1) 박막 트랜지스터에서 상기 (2,2) 화소 영역으로 연장되어 상기 (2,2) 화소 전극과 연결되는 제1 수평 연결 전극;

상기 (2,2) 박막 트랜지스터에서 상기 (2,1) 화소 영역으로 연장되어 상기 (2,1) 화소 전극과 연결되는 제2 수평 연결 전극을 더 포함하는 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 (1,1) 박막 트랜지스터에서 상기 (1,2) 화소 영역으로 연장되는 제1 수평 더미 전극;

상기 (1,2) 박막 트랜지스터에서 상기 (1,1) 화소 영역으로 연장되는 제2 수평 더미 전극을 더 포함하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 수평 더미 전극과 상기 제2 수평 더미 전극 사이에 형성되는 더미 기생 용량은, 상기 제1 수평 연결 전극과 상기 제2 수평 연결 전극 사이에 형성되는 연결 기생 용량과 실질적으로 동일한 액정 표시장치.

청구항 5

제 1 항에 있어서,

상기 데이터 배선들은,

상기 1열 화소 열과 상기 2열 화소 열 사이에 배치된 제1열 데이터 배선과 제2열 데이터 배선을 포함하는 액정 표시장치.

청구항 6

제 1 항에 있어서,

상기 수평 게이트 배선들은,

제1 수평 게이트 배선과 제2 수평 게이트 배선을 포함하고,

상기 1열 화소 열의 좌측 열에 배치되며 상기 제1 수평 게이트 배선과 연결된 제1 수직 게이트 배선; 그리고

상기 2열 화소 열의 우측 열에 배치되며 상기 제2 수평 게이트 배선과 제2 수직 게이트 배선을 더 포함하는 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 수평 게이트 배선들과 평행하게 배치되는 수평 공통 배선; 그리고

상기 수직 게이트 배선들과 평행하게 중첩하여 배치되며, 상기 수평 공통 배선과 연결된 수직 공통 배선을 더 포함하는 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 수직 게이트 배선이 어레이 영역 내에 배치됨으로써 좌우측 베젤 영역이 극소화된 대형 액정 표시장치에 관한 것이다. 특히, 본 발명은 컬럼 인버전 구동 방식으로 도트 인버전 구동 방식을 구현하며, 좌우측 베젤 영역을 극소화한 대형 액정 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display: FPD)로 급속히 발전해 왔다. 평판 표시장치에는 액정 표시장치(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 다이오드 표시장치(Orgnaic Light Emitting Diode Display: OLED), 그리고 전기영동 표시장치(ElectroPhoretic Display: EPD) 등이 있다. 이 중에서 액정 표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정 표시장치는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor: 혹은 "TFT"라 함)를 이용하여 동영상을 표시하고 있다.

[0003] 액정 표시장치는 액정 표시패널, 액정 표시패널에 빛을 조사하는 백 라이트 유닛, 액정 표시패널의 데이터 배선들에 데이터 전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정 표시패널의 게이트 배선들(또는 스캔 배선들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백 라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 도 1은 종래 기술에 의한 액정 표시장치의 구조를 나타내는 개략도이다. 도 1을 참조하면, 종래 기술에 의한 액정 표시장치는 화소 어레이(10)가 형성된 액정 표시패널(DPL), 소스 구동 회로(12)(혹은 소스 드라이브 IC), 및 타이밍 콘트롤러(11)를 구비한다. 액정 표시패널(DPL)의 배면에는 액정 표시패널(DPL)에 빛을 균일하게 조

사하기 위한 백 라이트 유닛(도시하지 않음)이 배치될 수 있다.

[0005] 액정 표시패널(DPL)은 액정층을 사이에 두고 대향하는 상부 유리기판과 하부 유리기판을 포함한다. 액정 표시 패널(DPL)에는 화소 어레이(10)가 형성된다. 화소 어레이(10)는 데이터 배선(DL)들과 게이트 배선(GL)들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정 셀(Cl)들을 포함하여 비디오 데이터를 표시한다. 화소 어레이(10)의 하부 유리기판에는 데이터 배선(DL)들, 게이트 배선(GL)들, 박막 트랜지스터(T)들, 박막 트랜지스터(T)에 접속된 액정 셀(Cl)의 화소 전극, 및 액정 셀의 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 화소 어레이(10)의 액정 셀(Cl)들 각각은 박막 트랜지스터(T)를 통해 데이터 전압을 충전하는 화소 전극과, 공통 전압(Vcom)이 인가되는 공통 전극의 전압 차이에 의해 구동되어 빛의 투과양을 조정함으로써 비디오 데이터의 화상을 표시한다.

[0006] 소스 구동회로들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 액정 표시패널의 하부 유리 기판에 접합되고, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 구동회로들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리 기판 상에 접착될 수도 있다. 소스 구동회로들(12) 각각의 데이터 출력 채널들은 화소 어레이(10)의 데이터 배선(DL)들에 1:1로 접속된다.

[0007] 소스 구동회로들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터를 입력받는다. 소스 구동회로들(12)은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터 전압으로 변환하여 출력 채널들을 통해 화소 어레이(10)의 데이터 배선들에 공급한다. 소스 구동회로들(12)은 타이밍 콘트롤러(11)의 제어 하에 이웃한 데이터 배선들에 서로 상반된 극성의 데이터 전압들을 공급하고, 각각의 데이터 배선들에 공급되는 데이터 전압의 극성을 1 프레임기간 동안 동일하게 유지한다.

[0008] 게이트 구동회로들(13)은 타이밍 콘트롤러(11)로부터 전달되는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 배선들에 게이트 펄스를 순차적으로 공급한다. 게이트 구동회로들(13)은 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리 기판에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(10)와 동시에 하부 유리 기판 상에 직접 형성될 수 있다. 게이트 구동회로들(13)은 화소 어레이(10)의 일측에 배치되거나, 도 1과 같이 화소 어레이(10)의 양측에 배치될 수 있다.

[0009] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 소스 구동회로들(12)에 공급한다. 그리고 타이밍 콘트롤러(11)는 소스 구동회로들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결된다.

[0010] 액정 표시장치의 제조사들은 협 베젤(Narrow Bezel)을 구현하기 위한 다양한 시도를 하고 있다. 협 베젤 기술은 같은 크기의 표시 패널에서 영상이 표시되는 유효 화면의 크기를 상대적으로 크게하기 위해, 표시 패널의 가장자리를 차지하는 영상이 표시되니 않는 베젤(Bezel) 영역의 면적을 최소화하는 기술이다. 도 2를 참조하여 종래 기술에 의한 협 베젤 구조를 갖는 액정 표시장치를 설명한다. 도 2는 종래 기술에 의한 협 베젤 구조를 갖는 액정 표시장치를 나타내는 개략도이다.

[0011] 도 2를 참조하면, 종래 기술에 의한 협 베젤 구조의 액정 표시장치는, 기본적으로, 도 1에 도시한 바와 같은, 일반적인 액정 표시장치와 유사한 구조를 갖는다. 차이가 있다면, 표시 패널(DPL) 좌측 및/또는 우측에 직접 실장된 게이트 구동 회로(13)가 도 2에서는 포함되지 않는다는 데 있다.

[0012] 즉, 협 베젤 구조의 액정 표시장치는, 소스 구동회로들(12)과 게이트 구동회로들(13)을 모두 포함하는 드라이브 PCB(22)를 포함한다. 소스 구동회로들(12)과 게이트 구동회로들(13)은 COF(Chip On Film)과 같은 연성 회로 기판 상에 함께 실장될 수도 있다. COF의 입력단은 PCB(22)에 접합되고, COF의 출력단은 표시패널(DPL)의 하부 기판에 접합될 수 있다.

[0013] 표시 패널(DPL)에는 수직 방향으로 진행하는 데이터 배선(DL)과 수직 게이트 배선(VGL), 그리고 수평 방향으로 진행하는 수평 게이트 배선(GL)을 포함한다. 이들 수직 배선과 수평 배선의 교차 구조로 정의되는 화소 영역에는 박막 트랜지스터(T)와 액정 셀(Cl)을 구동하기 위한 화소 전극이 배치된다.

[0014] 수직 게이트 배선(VGL)은 게이트 구동회로(13)에서 분기되어 표시패널(DPL)로 연장된다. 수직 게이트 배선(VGL)하나는 수평 게이트 배선(GL) 하나와 일대일로 연결된다. 표시 패널(DPL)의 상측 베젤 영역에 배치된 드라이브 PCB(22)에 실장되는 게이트 구동 회로(13)로부터 연장된 수직 게이트 배선(VGL)을 더 포함한다는 것을

제외하고는, 도 1에 의한 액정 표시장치와 구성이 동일하다.

[0015] 종래 기술에 의한 협 베젤 액정 표시장치는, 수직 게이트 배선(VGL)들이 데이터 배선(DL)과 이웃하여 평행하게 배치되므로 수평 게이트 배선과 연결하는 접점에서 이웃하는 화소에 영향을 줄 수 있다. 이런 이유로 휴도차이가 발생하고, 수직 게이트 배선(VGL)과 수평 게이트 배선(GL)이 접속되는 접점 부위에서 얼룩 무늬가 발생하여 화질이 저하되는 문제가 있다.

[0016] 또한, 액정 표시장치들은 점차 대면적화되어 가고 있다. 대형 액정 표시장치의 액정 셀을 구동함에 있어서, 열화를 방지하기 위해 구동 전압의 극성을 반전하는 것이 바람직하다. 반전 방식에는 컬럼 인버전 방식과 도트 인버전 방식이 있다. 대형 액정 표시장치에서는 발열과 소비 전력이 높아지는 문제로 도트 인버전 방식을 사용할 수 없다. 따라서, 대형 액정 표시장치에서는 컬럼 인버전 방식을 사용할 수 밖에 없는데, 면적이 커질수록 극성 변화에 따른 전압 차이가 커져서 세로 띠 형태의 화질 불량이 발생한다.

[0017] 이와 같이 대형 액정 표시장치 특히, 협 베젤 구조를 갖는 대형 액정 표시장치에 대한 요구가 늘어나고 있지만, 양호한 표시 품질을 제공하기 위해서는, 구조적으로 개선이 필요한 상황이다.

발명의 내용

해결하려는 과제

[0018] 본 발명의 목적은 상기 문제점을 극복하기 위해 고안된 것으로, 게이트 구동부가 표시 영역의 좌우 베젤 영역에 배치되지 않고, 상하 베젤 영역에 데이터 구동부와 이웃하여 배치함으로써, 좌우 베젤 영역을 극소화한 협 베젤 액정 표시장치를 제공하는 데 있다. 본 발명의 다른 목적은, 게이트 신호를 수직 게이트 배선을 이용하여 제공함으로써, 게이트 구동부가 차지하는 좌우 베젤을 극소화한 협 베젤 액정 표시장치를 제공하는 데 있다. 본 발명의 또 다른 목적은, 데이터 배선을 매 두 화소 열마다 끓어서 배치하고, 수직 게이트 배선을 데이터 배선이 배치되지 않는 열에 배치함으로서, 수직 게이트 배선과 데이터 배선 사이의 기생 용량을 최소화한 대형 협 베젤 액정 표시장치를 제공하는 데 있다. 본 발명의 또 다른 목적은, 컬럼 인버전 방식으로 구동 신호를 반전하지만, 액정 패널에서는 도트 인버전 방식으로 구동하는 액정 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0019] 상기 목적을 달성하기 위해, 본 발명에 의한 액정 표시장치는, 수평 게이트 배선들, 데이터 배선들, 화소 영역들, 화소 전극들 그리고, 박막 트랜지스터들을 포함한다. 수평 게이트 배선들은, 기판 상에서 수평 방향으로 진행한다. 데이터 배선들은 기판 상에서 수직 방향으로 진행한다. 화소 영역들은 데이터 배선들과 수평 게이트 배선들의 교차 구조로 의해 (i, j) 행렬 방식으로 배열된다. 여기서, i 및 j 는 자연수이다. $(1, 1)$ 화소 전극은 $(1, 1)$ 화소 영역에 배치된다. $(1, 2)$ 화소 전극은 $(1, 2)$ 화소 영역에 배치된다. $(2, 1)$ 화소 전극은 $(2, 1)$ 화소 영역에 배치된다. $(2, 2)$ 화소 전극은 $(2, 2)$ 화소 영역에 배치된다. $(1, 1)$ 박막 트랜지스터는 $(1, 1)$ 화소 영역에 배치되며, $(1, 1)$ 화소 전극과 연결된다. $(1, 2)$ 박막 트랜지스터는 $(1, 2)$ 화소 영역에 배치되며, $(1, 2)$ 화소 전극에 연결된다. $(2, 1)$ 박막 트랜지스터는 $(2, 1)$ 화소 영역에 배치되며, $(2, 2)$ 화소 전극에 연결된다. $(2, 2)$ 박막 트랜지스터는 $(2, 2)$ 화소 영역에 배치되며, $(2, 1)$ 화소 전극에 연결된다.

[0020] 일례로, 본 발명에 의한 액정 표시장치는, 제1 수평 연결 전극과, 제2 수평 연결 전극을 더 포함한다. 제1 수평 연결 전극은 $(2, 1)$ 박막 트랜지스터에서 $(2, 2)$ 화소 영역으로 연장되어 $(2, 2)$ 화소 전극과 연결된다. 제2 수평 연결 전극은 $(2, 2)$ 박막 트랜지스터에서 $(2, 1)$ 화소 영역으로 연장되어 $(2, 1)$ 화소 전극과 연결된다.

[0021] 일례로, 본 발명에 의한 액정 표시장치는, 제1 수평 더미 전극 및 제2 수평 더미 전극을 더 포함한다. 제1 수평 더미 전극은 $(1, 1)$ 박막 트랜지스터에서 $(1, 2)$ 화소 영역으로 연장된다. 제2 수평 더미 전극은 $(1, 2)$ 박막 트랜지스터에서 $(1, 1)$ 화소 영역으로 연장된다.

[0022] 일례로, 제1 수평 더미 전극과 제2 수평 더미 전극 사이에 형성되는 더미 기생 용량은, 제1 수평 연결 전극과 제2 수평 연결 전극 사이에 형성되는 연결 기생 용량과 실질적으로 동일하다.

[0023] 일례로, 데이터 배선들은, 1열 화소 열과 2열 화소 열 사이에 배치된 제1열 데이터 배선과 제2열 데이터 배선을 포함한다.

[0024] 일례로, 수평 게이트 배선들은, 제1 수평 게이트 배선과 제2 수평 게이트 배선을 포함한다. 본 발명에 의한 액정 표시장치는, 제1 수직 게이트 배선과 제2 수직 게이트 배선을 더 포함한다. 제1 수직 게이트 배선은 1열 화

소 열의 좌측 열에 배치되며 제1 수평 게이트 배선과 연결된다. 제2 수직 게이트 배선은 2열 화소 열의 우측 열에 배치되며 제2 수평 게이트 배선과 연결된다.

[0025] 일례로, 본 발명에 의한 액정 표시장치는, 수평 공통 배선과 수직 공통 배선을 더 포함한다. 수평 공통 배선은 수평 게이트 배선들과 평행하게 배치된다. 수직 공통 배선은 수직 게이트 배선들과 평행하게 중첩하여 배치되며, 수평 공통 배선과 연결된다.

발명의 효과

[0026] 본 발명에 의한 액정 표시장치는 2x2 행렬 방식의 화소 영역을 기본 단위로 하여, 두 쌍의 화소 전극은 자신의 화소 영역에 배치된 박막 트랜지스터와 연결되지만, 나머지 두 쌍의 화소 전극은 이웃하는 화소 영역에 배치된 박막 트랜지스터와 연결된 구조를 갖는다. 이러한 구조로 인해, 컬럼 인버전 방식으로 데이터 전압의 극성을 변화하는 구동 방식을 사용하더라도, 액정 표시 패널에서는 도트 인버전 방식으로 데이터 전압이 변화하는 결과를 얻을 수 있다. 그 결과, 컬럼 인버전 방식에서 발생하는 세로 띠 형태의 화질 불량을 해소함과 동시에, 도트 인버전 구동에서 발생하는 대면적에서의 발명 및 소비 전력 증가 문제를 동시에 해소할 수 있다. 또한, 데이터 배선을 두 개씩 끊어서 한 컬럼에 배치함으로써, 수직 게이트 배선을 데이터 배선과 이웃하지 않도록 배치할 수 있다. 이러한 구조로 인해, 대형 패널에서도 화질 불균형을 해소한 협 베젤 구조의 액정 표시장치를 구현할 수 있다.

도면의 간단한 설명

[0027] 도 1은 종래 기술에 의한 액정 표시장치의 구조를 나타내는 개략도.

도 2는 종래 기술에 의한 협 베젤 구조를 갖는 액정 표시장치를 나타내는 개략도.

도 3은 본 발명에 의한 협 베젤 구조를 갖는 대형 액정 표시장치의 화소 에레이를 나타내는 평면도.

도 4는 본 발명에 의한 협 베젤 구조를 갖는 대형 액정 표시장치의 화소 구조를 나타내는 평면 확대도.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0029] 이하, 도 3 및 4를 참조하여, 본 발명에 의한 협 베젤 구조를 갖는 대형 액정 표시장치에 대하여 설명한다. 도 3은 본 발명에 의한 협 베젤 구조를 갖는 대형 액정 표시장치의 화소 에레이를 나타내는 평면도이다. 도 4는 본 발명에 의한 협 베젤 구조를 갖는 대형 액정 표시장치의 화소 구조를 나타내는 평면 확대도이다.

[0030] 도 3을 참조하여, 본 발명에 의한 액정 표시장치의 개략적인 구조를 설명한다. 본 발명에 의한 액정 표시장치는, 기판 위에서 매트릭스 방식으로 배열된 화소 영역들이 정의되어 있다. 예를 들어, i개의 행과 j개의 열로 이루어진 (i,j) 행렬 배열을 가질 수 있다. 여기서, i,j는 자연수이다.

[0031] 화소 영역들은 가로 방향으로 진행하는 다수 개의 배선들과 세로 방향으로 진행하는 다수 개의 배선들이 교차하여 형성하는 영역들이다. 예를 들어, 가로 방향으로 진행하는 배선들에는, 수평 게이트 배선들(GL1, GL2, GL3, ...), 수평 공통 배선들(CL)이 포함된다. 수평 게이트 배선들(GL1, GL2, GL3, ...)은 일정 간격을 두고 세로 방향으로 배치된다. 수평 공통 배선들(CL)은 수평 게이트 배선들(GL1, GL2, GL3, ...)과 이웃하며 평행하게 배열된다.

[0032] 세로 방향으로 진행하는 배선들에는, 수직 게이트 배선들(VGL1, VGL2, VGL3, ...), 데이터 배선들(DL1, DL2, DL3, DL4, ...), 그리고 수직 공통 배선들(VCL)이 포함된다. 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)은 두 개의 화소 영역 열마다 하나씩 가로 방향으로 배치된다. 수직 공통 배선들(VCL)은 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)과 중첩하여 평행하게 배열된다. 데이터 배선들(DL1, DL2, DL3, DL4, ...)은 이웃하는 두 개의 수직 게이트 배선들 사이에 두개씩 배치된다. 특히, 이웃하는 두 개의 수직 게이트 배선들 사이에 배치된 두 열의 화소 영역 사이에 두 개의 데이터 배선들이 이웃하여 배치된다.

- [0033] 도 3을 참조하면, 첫 번째 화소 열의 좌측 변에는 제1 수직 게이트 배선(VGL1)이 배치되어 있다. 또한, 수직 공통 배선(VCL) 하나가 절연막을 사이에 두고 제1 수직 게이트 배선(VGL1)과 평행하게 중첩하도록 배치된다. 첫 번째 화소 열과 두 번째 화소 열의 사이에는 제1 데이터 배선(DL1)과 제2 데이터 배선(DL2)이 함께 평행하게 배치된다. 두 번째 화소 열의 우측 변에는 제2 수직 게이트 배선(VGL2)과 수직 공통 배선(VCL) 하나가 배치된다. 또한, 첫 번째 화소 행의 하변에는 수평 게이트 배선(GL1)과 수평 공통 배선(CL)이 배치된다. 이와 같이, 화소 영역은 수직 배선과 수평 배선의 교차 구조에 의해 정의된다.
- [0034] 각 화소 영역 내에는, 박막 트랜지스터(T11, T12, T21, T22, ...)과 화소 전극(PXL11, PXL12, PXL21, PXL22, ...)이 각각 하나씩 배치되어 있다. 본 발명에 의한 액정 표시장치는 2x2 매트릭스 방식의 화소 행렬이 반복적으로 배치된 구조를 갖는다. 따라서, (i,j) 행렬 방식 중에서, (1,1), (1,2), (2,1) 및 (2,2) 네 개의 행렬 배열을 갖는 화소 영역들을 중심으로 설명한다.
- [0035] (1,1) 화소 영역에는 (1,1) 박막 트랜지스터(T11)와 (1,1) 화소 전극(PXL11)이 배치된다. (1,2) 화소 영역에는 (1,2) 박막 트랜지스터(T12)와 (1,2) 화소 전극(PXL12)이 배치된다. 마찬가지로 (2,1) 화소 영역에는 (2,1) 박막 트랜지스터(T21)와 (2,1) 화소 전극(PXL21)이 배치된다. 또한, (2,2) 화소 영역에는 (2,2) 박막 트랜지스터(T22)와 (2,2) 화소 전극(PXL22)이 배치된다. 하지만, 연결 구조는 종래 구조의 액정 표시장치와 다르다.
- [0036] 예를 들어, (1,1) 박막 트랜지스터(T11)는 (1,1) 화소 전극(PXL11)과 연결되고, (1,2) 박막 트랜지스터(T12)는 (1,2) 화소 전극(PXL12)과 연결된다. 즉, 두 쌍의 화소 영역에는 자신의 박막 트랜지스터와 자신의 화소 전극이 연결된 구조를 갖는다. 하지만, (2,1) 박막 트랜지스터(T21)는 (2,2) 화소 전극(PXL22)에 연결되고, (2,2) 박막 트랜지스터(T22)는 (2,1) 화소 전극(PXL21)에 연결된다. 즉, 나머지 두 쌍의 화소 영역에는 이웃하는 박막 트랜지스터와 자신의 화소 전극이 엇갈려 연결된 구조를 갖는다.
- [0037] 이와 같이 연결된 구조를 갖기 위해서는, (2,1) 박막 트랜지스터(T21)의 드레인 전극에서 (2,2) 화소 영역으로 연장되어 (2,2) 화소 전극(PXL22)과 연결되는 제1 수평 연결 단자(CT1)를 포함한다. 또한, (2,2) 박막 트랜지스터(T22)의 드레인 전극에서 (2,1) 화소 영역으로 연장되어 (2,1) 화소 전극(PXL21)과 연결되는 제2 수평 연결 단자(CT2)를 포함한다.
- [0038] 이와 같이, 2x2 행렬을 기본 단위로, 한쌍은 자신의 박막 트랜지스터가 연결되고, 나머지 한쌍은 이웃하는 박막 트랜지스터가 연결된 구조를 가짐으로써, 이웃하는 데이터 배선들에 서로 반전된 극성의 전압을 인가함으로써, 세로 방향으로 극성이 반전된 데이터 전압을 인가할 수 있다. 예를 들어, 제1 데이터 배선(DL1)에는 (+) 극성의 데이터 전압을, 제2 데이터 배선(DL2)에는 (-) 극성의 데이터 전압을 인가하면, (1,1) 화소 전극은 (+) 극성의 전압, (1,2) 화소 전극은 (-) 극성의 전압, (2,1) 화소 전극은 (-) 극성의 전압 그리고 (2,2) 화소 전극은 (+) 극성의 전압이 인가된다. 즉, 데이터 배선별로 반전된 컬럼 인버전 방식으로 데이터 전압을 인가하지만, 액정 표시장치에서는 화소 별로 반전된 도트 인버전 방식으로 구동되는 효과를 얻을 수 있다.
- [0039] 이로써, 대형 액정 표시장치를 구현함에 있어서, 극성 둥침이 발생하지 않는다. 이는 밝고 어두운 세로 선들이 교대로 보이는 화질 불량이 발생하지 않는다. 또한, 도트 인버전을 구현함에 있어 실제로는 컬럼 인버전 방식으로 데이터 전압이 인가되기 때문에, 대형 액정 표시장치에서 열화 문제나 소비 전력이 커지는 문제가 발생하지 않는다.
- [0040] 제1 수직 게이트 배선(VGL1)은 제1 수평 게이트 배선(GL1)과 연결된다. 제2 수직 게이트 배선(VGL2)은 제2 수평 게이트 배선(GL2)과 연결된다. 그리고, 제3 수직 게이트 배선(VGL3)은 제3 수평 게이트 배선(GL3)과 연결된다. 즉, 수평 게이트 배선들(GL1, GL2, GL3, ...)에 인가되는 게이트 신호들은 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)들로부터 인가 받는다. 도면에서와 같이, 이들 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)은 기판의 외측에 배치되지 않고, 표시 영역 내부에 배치된다. 그 결과, 표시 영역 주변의 영역인 베젤 영역을 극소화할 수 있다.
- [0041] 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)이 매 화소 열마다 하나씩 배치되지 않고, 매 두 화소 열마다 하나씩 배치된다. 또한, 데이터 배선들(DL1, DL2, DL3, DL4, ...)도 매 화소 열마다 하나씩 배치되지 않고, 매 두 화소 열마다 두 개씩 배치된다. 특히, 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)은 데이터 배선들(DL1, DL2, DL3, DL4, ...)과 화소 열을 가운데 두고 이격되어 배치된 구조를 갖는다. 따라서, 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)이 수평 게이트 배선들(GL1, GL2, GL3, ...)과 연결되는 화소 영역에서, 데이터 배선과의 사이에서 용량 차이가 크게 발생하지 않는다. 그러므로, 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)과

수평 게이트 배선들(GL1, GL2, GL3, ...)의 연결점 부분이 특히 어렵게 보이는 화질 불량이 발생하지 않는다.

[0042] 이하, 도 4를 참조하여, 본 발명에 의한 액정 표시장치의 상세한 구조에 대해 설명한다. 기본적인 구조는 도 3과 동일하다. 도 4에서는 각 구성 요소들이 연결되는 구조를 좀 더 상세하게 나타내고 있다.

[0043] 수평 방향으로 진행하는 제1 수평 게이트 배선(GL1)과 제2 수평 게이트 배선(GL2)가 일정 간격을 두고 평행하게 배치되어 있다. 각 게이트 배선들의 윗면에는 수평 공통 배선(CL)이 평행하게 하나씩 배치되어 있다.

[0044] 수직 방향으로 진행하는 제1 수직 게이트 배선(VGL1)이 첫 번째 화소 행의 왼쪽 변에 배치되어 있다. 또한, 제1 수직 게이트 배선(VGL1)과 절연막을 사이에 두고 중첩하며, 평행하게 진행하는 수직 공통 배선(VCL)이 하나씩 배치되어 있다. 또한, 수직 방향으로 진행하는 제1 데이터 배선(DL1)과 제2 데이터 배선(DL2)가 첫 번째 화소 행과 두 번째 화소 행 사이에 나란하게 배치되어 있다.

[0045] (1,1) 화소 영역에는 (1,1) 화소 전극(PXL11)이 배치되어 있다. 수평 전계형 액정 표시장치의 경우, 화소 전극(PXL11)은 다수 개의 선분들이 일정 간격으로 나란하게 배치된 구조를 갖는다. 또한, (1,1) 화소 영역에는 (1,1) 박막 트랜지스터(T11)가 배치되어 있다. 박막 트랜지스터(T11)은 제1 수평 게이트 배선(GL1)에서 분기하는 게이트 전극(G)과 제1 데이터 배선(DL1)에서 분기하는 소스 전극(S) 그리고, 소스 전극(S)과 일정 거리 이격하여 배치된 드레인 전극(D)을 포함한다.

[0046] 즉, 제1 게이트 배선(GL1)과 제1 데이터 배선(DL1)에 연결된 (1,1) 박막 트랜지스터(T11)는 (1,1) 화소 영역에 배치되며, 동일한 화소 영역에 배치된 (1,1) 화소 전극(PXL11)과 연결된다. (1,1) 화소 전극(PXL11)은 화소 콘택홀(PH)을 통해 (1,1) 박막 트랜지스터(T11)의 드레인 전극(D)과 연결된다. 이하, 박막 트랜지스터 및 화소 전극의 연결 구조는 기본적으로 동일하므로 상세한 설명은 생략한다.

[0047] 또한, 제1 게이트 배선(GL1)과 제2 데이터 배선(DL2)에 연결된 (1,2) 박막 트랜지스터(T12)는 (1,2) 화소 영역에 배치되며, 동일한 화소 영역에 배치된 (1,2) 화소 전극(PXL12)과 연결된다.

[0048] 한편, 제2 게이트 배선(GL2)과 제1 데이터 배선(DL1)에 연결된 (2,1) 박막 트랜지스터(T21)는 (2,1) 화소 영역에 배치된다. 하지만, 이웃하는 (2,2) 화소 영역에 배치된 (2,2) 화소 전극(PXL22)과 연결된다. 예를 들어, 화소 콘택홀(PH)을 통해 (2,1) 박막 트랜지스터(T21)의 드레인 전극에 연결된 제1 수평 연결 전극(CT1)이 제1 데이터 배선(DL1)과 제2 데이터 배선(DL2)을 가로 질러 (2,2) 화소 영역으로 연장되고, (2,2) 화소 전극(PXL22)과 연결된다.

[0049] 또한, 제2 게이트 배선(GL2)과 제2 데이터 배선(DL2)에 연결된 (2,2) 박막 트랜지스터(T22)는 (2,2) 화소 영역에 배치된다. 하지만, 이웃하는 (2,1) 화소 영역에 배치된 (2,1) 화소 전극(PXL21)과 연결된다. 예를 들어, 화소 콘택홀(PH)을 통해 (2,2) 박막 트랜지스터(T22)의 드레인 전극에 연결된 제2 수평 연결 전극(CT2)이 제2 데이터 배선(DL2)과 제1 데이터 배선(DL1)을 가로 질러 (2,1) 화소 영역으로 연장되고, (2,1) 화소 전극(PXL21)과 연결된다.

[0050] 여기서, 제1 연결 전극(CT1)과 제2 연결 전극(CT2)은 서로 평행하게 이웃하게 배치되며, 이들 사이에는 기생 용량이 발생할 수 있다. 이로 인해, 기생 용량이 발생하지 않는 (1,1) 화소 영역과 (1,2) 화소 영역보다 좀 더 어렵게 표시될 수 있다. 이러한 문제를 해소하기 위해, (1,1) 화소 영역과 (1,2) 화소 영역에도 동일한 기생 용량을 만들어 주는 것이 바람직하다.

[0051] 예를 들어, (1,1) 화소 영역에는, (1,1) 화소 전극(PXL11)에서 분기되어 제1 데이터 배선(DL1)과 제2 데이터 배선(DL2)을 가로 질러 (1,2) 화소 영역으로 연장되며, (1,2) 화소 전극(PXL12)과는 연결되지 않은 제1 수평 더미 전극(DT1)을 배치하는 것이 바람직하다. 또한, (1,2) 화소 영역에는, (1,2) 화소 전극(PXL12)에서 분기되어 제2 데이터 배선(DL2)과 제1 데이터 배선(DL1)을 가로 질러 (1,1) 화소 영역으로 연장되며, (1,1) 화소 전극(PXL11)과는 연결되지 않은 제2 수평 더미 전극(DT2)을 배치하는 것이 바람직하다.

[0052] 특히, 제1 수평 더미 전극(DT1)과 제2 수평 더미 전극(DT2)은 제1 수평 연결 전극(CT1)과 제2 수평 연결 전극(CT2)과 동일한 간격 및 동일한 길이를 갖는 것이 바람직하다. 이로써, 제1 수평 더미 전극(DT1)과 제2 수평 더미 전극(DT2) 사이에 형성되는 더미 기생 용량은, 제1 수평 연결 전극(CT1)과 제2 수평 연결 전극(CT2) 사이에 형성되는 연결 기생 용량과 실질적으로 동일하게 된다. 그 결과, 비 대칭 연결 구조를 갖는 두 쌍의 화소 전극들이 동일한 구조를 가짐으로써, 구조적 불균형에 의한 화질 문제가 발생하는 것을 방지할 수 있다.

[0053] 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)은 데이터 배선들(DL1, DL2, DL3, DL4, ...)과 동일한 층에 형성하는 것이 바람직하다. 따라서, 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)은 수평 게이트 배선들(GL1, GL2,

GL3, ...)과 게이트 절연막을 사이에 두고 서로 다른 층에 배치된다. 이들을 연결하기 위해서는, 게이트 콘택홀(GH)을 통해 게이트 연결 단자(GLT)로 연결하는 것이 바람직하다. 특히, 게이트 연결 단자(GLT)는 수직 공통 배선(VCL), 화소 전극(PXL), 공통 전극(COM)과 동일한 층에 동일한 물질로 형성할 수 있다.

[0054] 본 발명에 의한 액정 표시장치에서는, 수직 게이트 배선들(VGL1, VGL2, VGL3, ...)과 데이터 배선들(DL1, DL2, DL3, DL4, ...)이 서로 이웃하지 않고, 화소 열을 사이에 두고 이격된 구조를 갖는다. 따라서, 어느 한 수직 게이트 배선이 어느 한 수평 게이트 배선과 연결되는 연결 단자(GLT)는 데이터 배선들(DL1, DL2, DL3, DL4, ...)과 이격되어 배치된다. 따라서, 연결 단자(GLT)에 의한 전기적 영향에 의해 데이터 배선에서의 전압 강하가 발생하지 않는다.

[0055] 수평 공통 배선(CL)은 수평 게이트 배선들(GL1, GL2, GL3, ...)과 동일한 층에 동일한 물질로 형성한다. 수평 공통 배선(CL)은 수직 공통 배선(VCL)과 연결하는 것이 바람직하다. 예를 들어, 수직 공통 배선(VCL)은 공통 콘택홀(CLH)을 통해 수평 공통 배선(CL)과 연결할 수 있다.

[0056] 본 발명의 실시 예에서는 2x2 행렬 방식의 화소 영역들을 기본으로 하여 설명하였다. 첫 번째 화소 열의 좌측 변에는 제1 수직 게이트 배선(VGL1)이, 두 번째 화소 열의 우측 변에는 제2 수직 게이트 배선(VGL2)이 배치된 구조로 설명하였다. 그리고, 첫 번째 화소 열과 두 번째 화소 열 사이에는 제1 데이터 배선(DL1)과 제2 데이터 배선(DL2)이 함께 배치된 구조로 설명하였다. 즉, 이웃하는 두 데이터 배선들을 하나의 열에 배치함으로써, 매 두 열마다 데이터 배선이 배치되지 않는 열을 확보할 수 있다. 데이터 배선이 배치되지 않는 열에 수직 게이트 배선을 배치한다.

[0057] 액정 표시장치는, 단위 화소를 기준으로 보면, 화소 열의 개수와 화소 행의 개수가 4:3, 16:9 및 2.33:1 중 어느 한 비율을 갖는다. 또한, 한 단위 화소는 적어도 RGB 혹은 RGBW로 이루어진 세 개 또는 네 개의 서브 화소들을 구비한다. 따라서, 서브 화소를 기준으로 보면, 화소 열의 개수와 화소 행의 개수는 12:3 (혹은,), 48:9 (혹은, 64:9), 6.99:1 (혹은, 9.32:1) 중 어느 한 비율을 갖는다. 따라서, 이웃하는 두 데이터 배선들을 한 열에 모아 둔 구조에서, 수직 게이트 배선이 배치하고도 빈 열이 많이 발생한다. 다시 말해서, 수직 게이트 배선은 매 3열, 매 4열 혹은 매 5열마다 하나씩 배치될 수도 있다.

[0058] 본 발명에 의한 액정 표시장치에서, 임의의 2x2 행렬 구조의 화소 영역들을 선택할 경우, 수직 게이트 배선들이 포함되지 않을 수도 있다. 편의상, 본 발명의 상세한 설명에서는, 수직 게이트 배선들이 모두 포함된 경우로 설명한 것이다.

[0059] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0060] 10 : 화소 어레이 11 : 타이밍 콘트롤러

12 : 소스 드라이브 IC 13 : 게이트 구동회로

14: 소스 PCB 15: 소스 드라이브 IC

16: 콘트롤 PCB 17: 연성회로기판

VGL: 수직 게이트 배선 GL: 수평 게이트 배선

DL: 데이터 배선

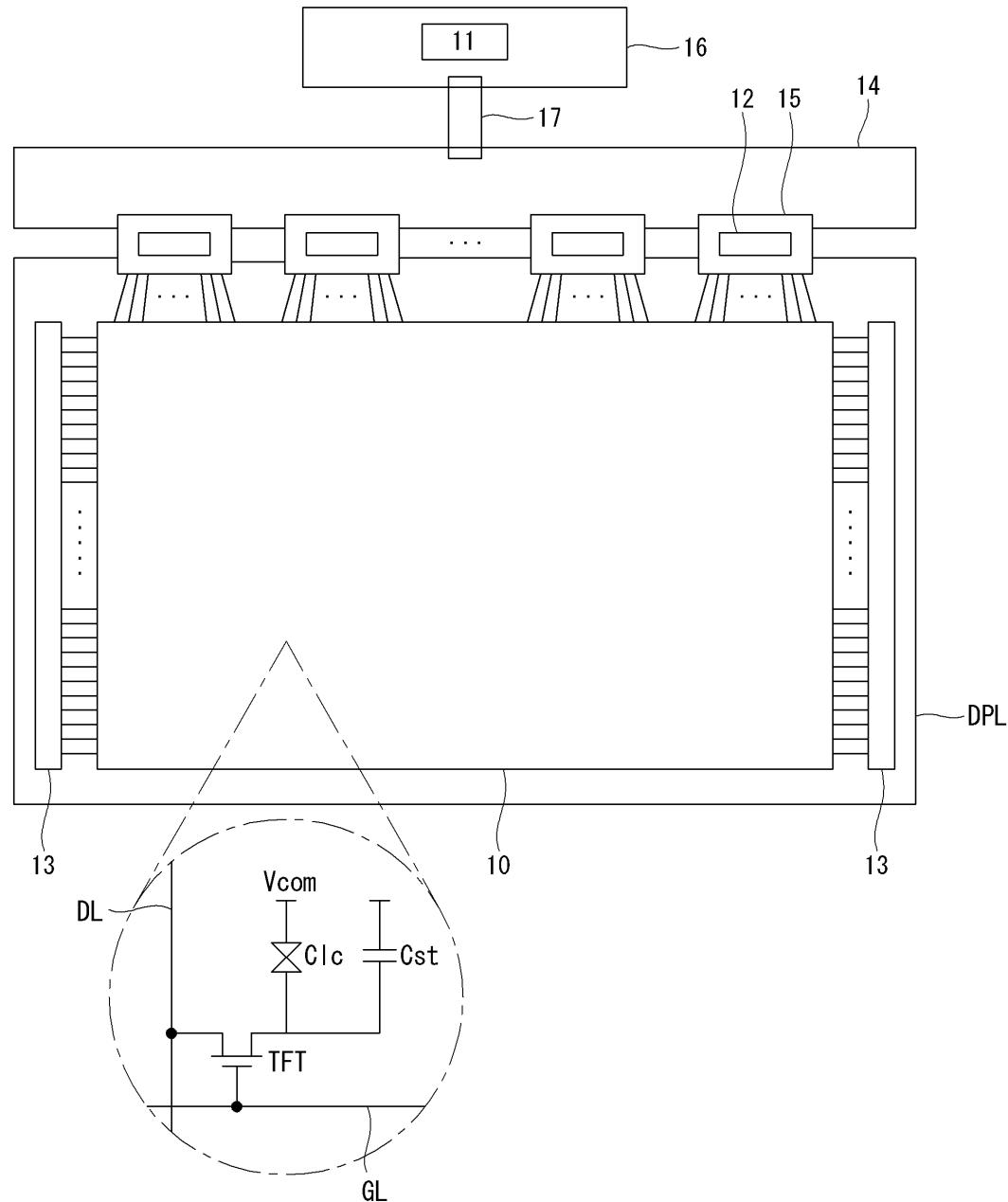
VCL: 수직 공통 배선 CL: 수평 공통 배선

CT1: 제1 수평 연결 전극 CT2: 제2 수평 연결 전극

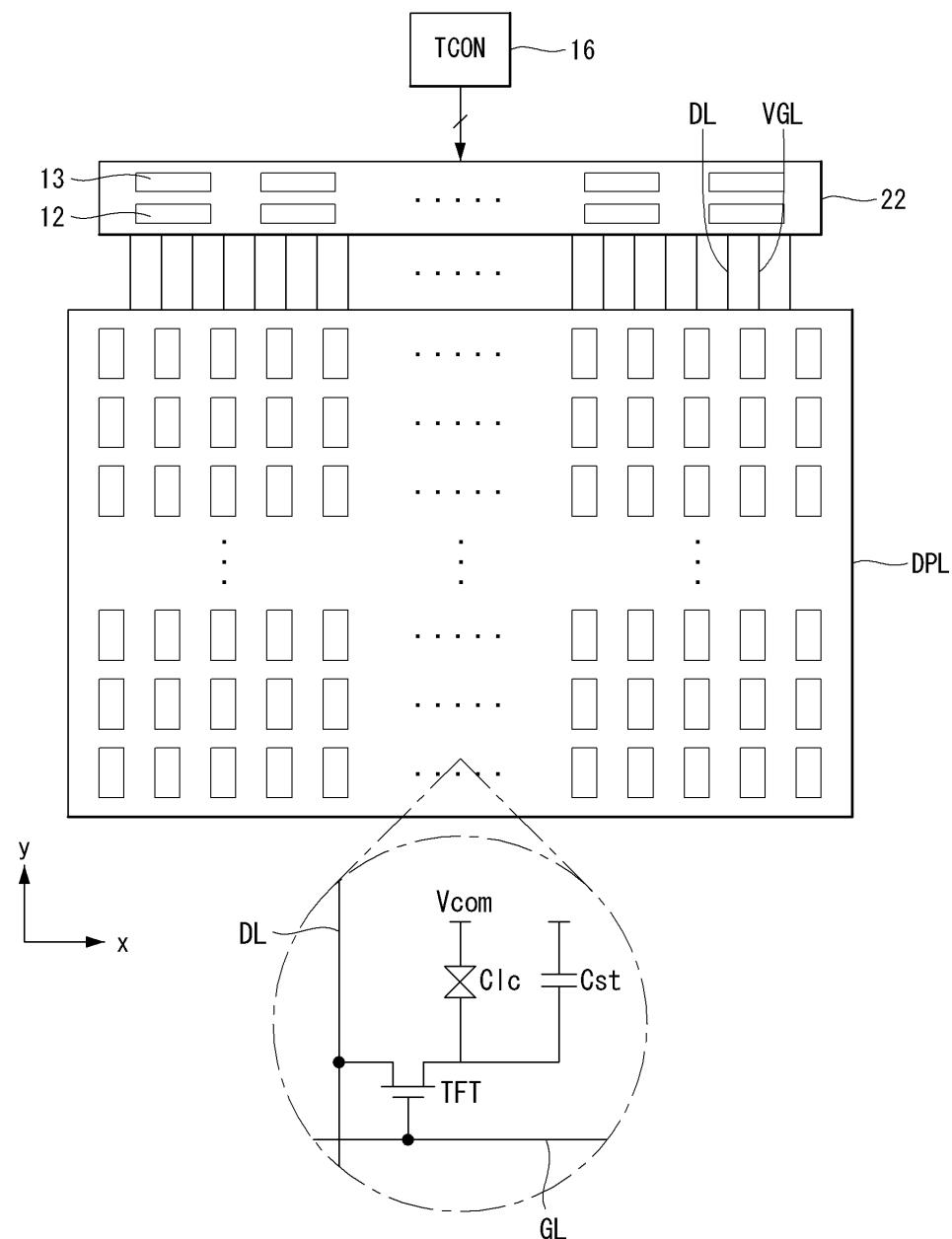
DT1: 제1 수평 더미 전극 DT2: 제2 수평 더미 전극

도면

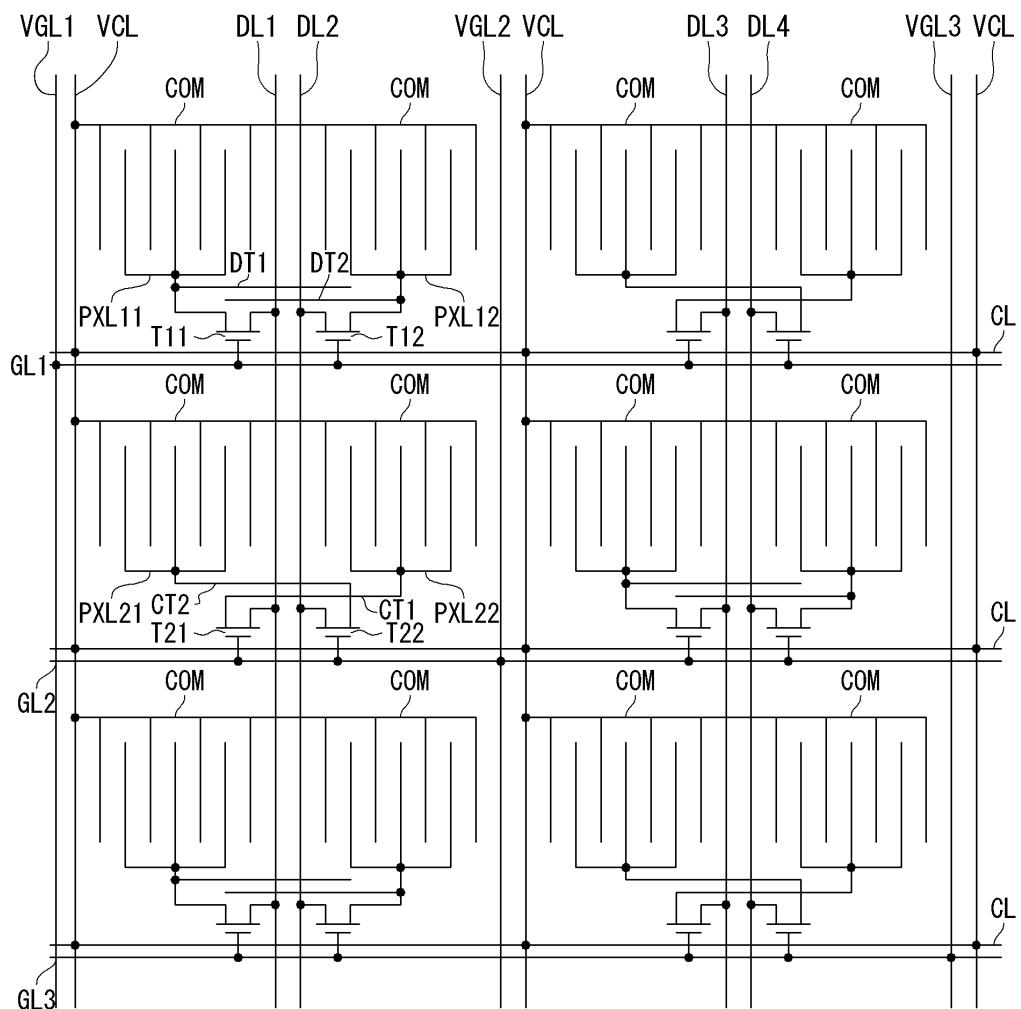
도면1



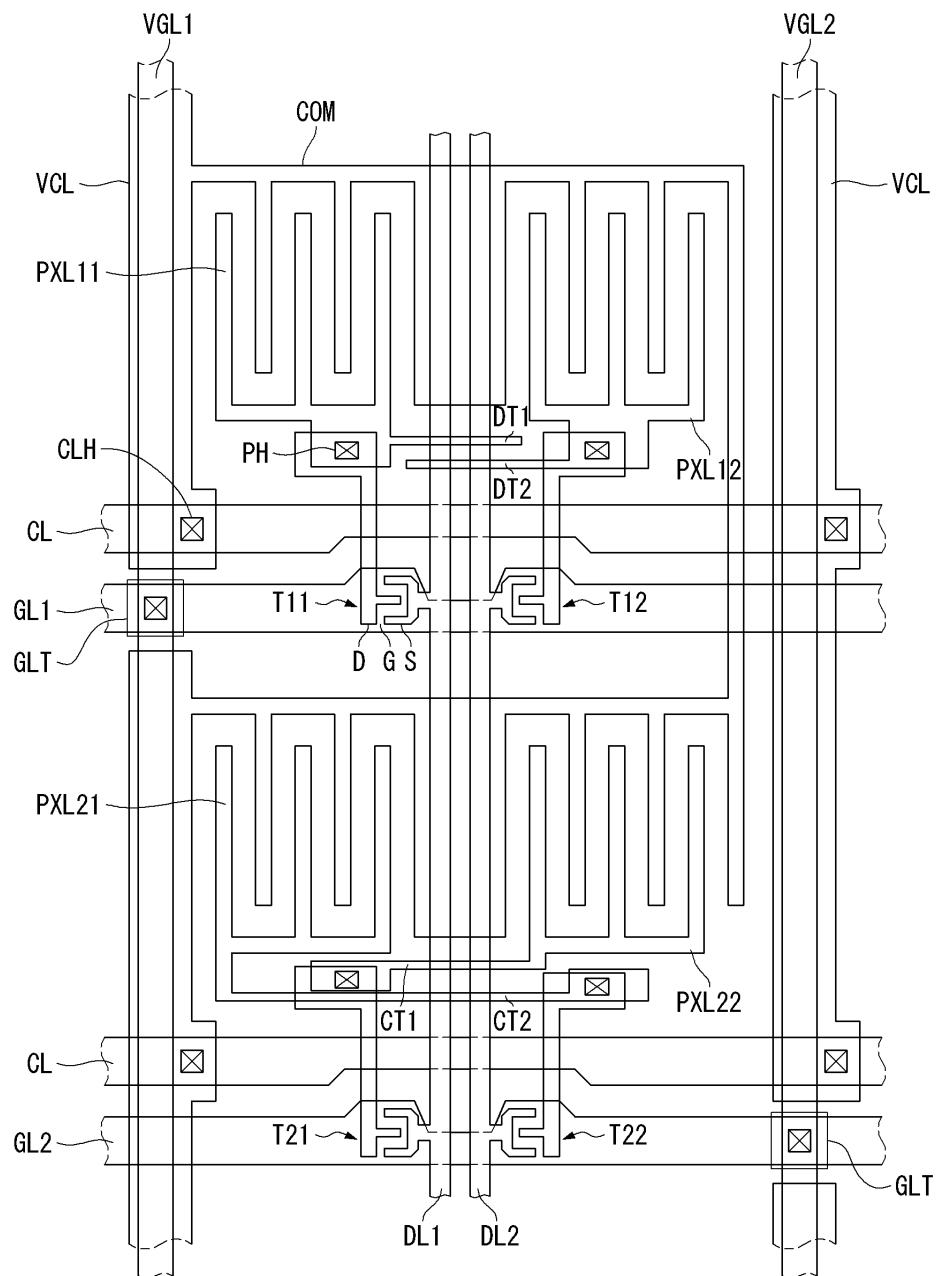
도면2



도면3



도면4



| | | | |
|----------------|---------------------------------------|---------|------------|
| 专利名称(译) | 标题 : 具有窄边框结构的大型液晶显示装置 | | |
| 公开(公告)号 | KR1020170033934A | 公开(公告)日 | 2017-03-28 |
| 申请号 | KR1020150131444 | 申请日 | 2015-09-17 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | KANG GYU TAE 강규태 JANG HUN 장훈 | | |
| 发明人 | 강규태 장훈 | | |
| IPC分类号 | G09G3/36 | | |
| CPC分类号 | G09G3/3648 G09G2330/021 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明涉及大型液晶显示装置，其中由于垂直栅极布线布置在阵列区域内，所以左右边框域最小化。根据本发明的液晶显示器包括水平栅极布线，数据线，像素区域，像素电极，薄膜晶体管。水平栅极布线作为基板上的水平方向前进。数据线作为基板上的垂直方向前进。根据水平栅极布线的交叉结构和数据线(i, j)s和像素区域以矩阵方式排列。

- (1,1) 薄膜晶体管配置在(1,1)像素区域，与(1,1)像素电极连接。
- (1,2) 薄膜晶体管配置在(1,2)像素区域，与(1,2)像素电极连接。
- (2,1) 薄膜晶体管配置在(2,1)像素区域，与(2,2)像素电极连接。
- (2,2) 薄膜晶体管配置在(2,2)像素区域，与(2,1)像素电极连接。

