



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0078573

(43) 공개일자 2015년07월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2013-0168052

(22) 출원일자 2013년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유상희

경기 파주시 청석로 300, 916동 1402호 (다율동, 청석마을대원효성아파트)

(74) 대리인

박영복

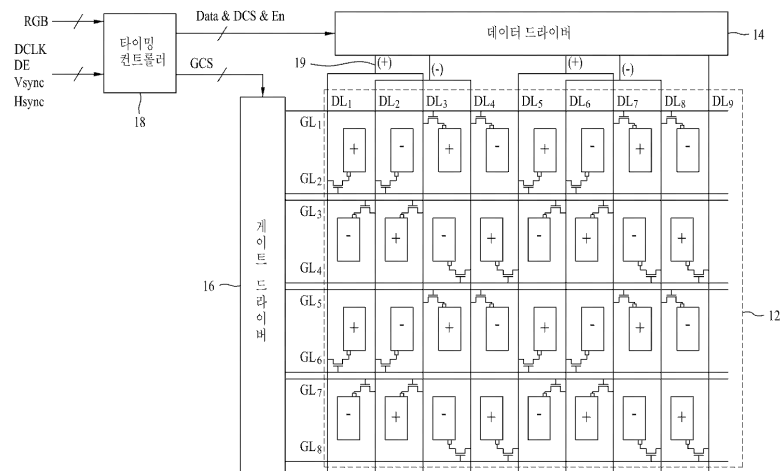
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정 표시장치

(57) 요약

본 발명은 종래 DRD 방식의 액정 표시장치에서 발생하는 개구율 감소하고 소비전력 증가하는 문제점을 해결하면서 Z-인버전 방식을 적용할 수 있는 DRD 액정표시장치에 관한 것으로, 액정 패널의 표시 영역에 상호 교차하는 다수의 게이트 라인 및 데이터 라인과, 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이마다 배열된 다수의 서브 화소와, 각 화소에 박막트랜지스터를 구비하고, 상기 액정 패널의 비표시 영역에 인접한 홀수번째 데이터 라인을 서로 연결하고, 인접한 짝수번째 데이터 라인을 서로 연결하는 다수개의 데이터 연결 라인을 구비하여, 상기 각 연결 라인은 데이터 드라이버의 각 채널에 연결되고, 상기 각 게이트 라인에 수직한 방향으로 각 서브 화소 사이마다 상기 다수의 데이터 라인이 배열되고, 상기 각 데이터 라인은 일측 열의 서브 화소들에만 상기 박막트랜지스터를 통해 접속된 것이다.

대표도



명세서

청구범위

청구항 1

액정 패널의 표시 영역에, 상호 교차하는 다수의 게이트 라인 및 데이터 라인과, 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이마다 배열된 다수의 서브 화소와, 각 화소에 박막트랜지스터를 구비하고,

상기 액정 패널의 비표시 영역에, 인접한 홀수번째 데이터 라인을 서로 연결하고, 인접한 짝수번째 데이터 라인을 서로 연결하는 다수개의 데이터 연결 라인을 구비하여, 상기 각 연결 라인은 데이터 드라이버의 각 채널에 연결되고,

상기 각 게이트 라인에 수직한 방향으로 각 서브 화소 사이마다 상기 다수의 데이터 라인이 배열되고, 상기 각 데이터 라인은 일측 열의 서브 화소들에만 박막트랜지스터를 통해 접속됨을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

4n-3번째 게이트 라인들은 4n-1번째 및 4n번째 데이터 라인들에 의해 공급된 데이터 신호가 홀수번째 수평 서브 화소의 4n-1번째 및 4n번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

4n-2번째 게이트 라인들은 4n-3번째 및 4n-2번째 데이터 라인들에 의해 공급된 데이터 신호가 홀수번째 수평 서브 화소의 4n-3번째 및 4n-2번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

4n-1번째 게이트 라인들은 4n-2번째 및 4n-1번째 데이터 라인들에 의해 공급된 데이터 신호가 짝수번째 수평 서브 화소의 4n-3번째 및 4n-2번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

4n번째 게이트 라인들은 4n번째 및 4n+1번째 데이터 라인들에 의해 공급된 데이터 신호가 짝수번째 수평 서브 화소의 4n-1번째 및 4n번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에서 있어서,

상기 박막트랜지스터의 소오스 전극 및 드레인 전극은 상기 해당 게이트 라인 상에 위치됨을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

본 발명은 액정 표시장치에 관한 것으로, 특히 개구율을 향상시키고 저소비전력으로 구동할 수 있는 DRD(Double

[0001]

Rate Driving) 액정표시장치에 관한 것이다.

배 경 기 술

- [0002] 일반적으로, 액정 표시장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정은 굴절율, 유전율 등이 분자 장축 방향과 단축 방향에 따라 서로 다른 이방성 성질을 갖고, 분자 배열과 광학적 성질을 쉽게 조절할 수 있다. 이를 이용한 액정 표시장치는 전계의 크기에 따라 액정 분자들의 배열 방향을 가변시켜서 편광판을 투과하는 광 투과율을 조절함으로써 영상을 표시한다.
- [0003] 액정 표시장치는 다수의 화소들이 매트릭스 형태로 배열된 액정 패널과, 액정 패널의 게이트 라인을 구동하는 게이트 드라이버와, 액정 패널의 데이터 라인을 구동하는 데이터 드라이버 등을 포함한다.
- [0004] 이러한, 액정 표시장치는 직류(DC) 오프셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 이웃한 액정셀들 사이에서 극성이 반전되고 프레임 단위로 극성이 반전되는 인버전 구동이 적용되고 있다.
- [0005] 또한, 액정 표시장치의 회로 비용을 절감하기 위해, 기존 대비 게이트 라인의 수를 2배로 늘리는 대신 데이터 라인의 수를 1/2 배로 줄여 데이터 드라이브 IC의 수를 줄인 DRD(Double Rate Driving) 방식의 액정 표시장치가 개발되고 있다.
- [0006] 도 1은 일반적인 DRD 방식의 액정 표시장치의 구성도이고, 도 2는 일반적인 DRD 방식의 액정 패널의 구체적인 레이아웃도이다.
- [0007] 일반적인 DRD 방식의 액정 표시장치는, 도 1에 도시한 바와 같이, 데이터 라인들(DL1 내지 DLm)의 수가 반감된 구조의 화소 매트릭스를 구비한 액정패널(2)과, 상기 액정패널(2)의 각 데이터 라인들(DL1 내지 DLm)에 영상 신호를 충전시키는 데이터 드라이버(4)와, 상기 액정패널(2)의 게이트 라인들(GL1 내지 GLn)을 구동하는 게이트 드라이버(6), 및 외부로부터의 영상 데이터(RGB)를 정렬하여 데이터 드라이버(4)에 공급함과 아울러 상기 데이터 드라이버(4)가 약충전 기간에 왜곡되는 영상 신호의 충전량만큼 강충전 기간에 그 충전량을 감소시켜 충전시키도록 데이터 제어신호(DCS)를 생성하여 데이터 드라이버(4)를 제어하는 타이밍 컨트롤러(8)를 구비한다.
- [0008] 상기 액정패널(2)은 상호 교차하는 다수의 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)과, 홀수번째 게이트 라인(GL1, GL3, GL5, ...GLn-1)과 짝수번째 게이트 라인(GL2, GL4, GL6, ...GLn) 사이마다 배열된 다수의 서브 화소(R,G,B)를 포함하고, 다수의 서브 화소(R,G,B)와 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)에 각각 접속된 박막 트랜지스터(TFT)를 포함한다.
- [0009] 상기 데이터 라인들(DL1 내지 DLm) 각각은 양측에 위치한 홀수열의 서브 화소들 및 짝수열의 서브 화소들과 공통 접속된다. 다시 말하여, 각 데이터 라인(DL1 내지 DLm)은 그 데이터 라인과 인접하여 왼쪽에 위치한 홀수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속되고, 그 데이터 라인과 인접하여 오른쪽에 위치한 짝수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속된다. 그리고, 한 데이터 라인과 접속된 홀수열의 서브 화소들과 짝수열의 서브 화소들은 해당 박막 트랜지스터(TFT)를 통해 서로 다른 게이트 라인과 접속되어 순차 구동된다.
- [0010] 다시 말하여, 가로줄을 구성하는 서브 화소들 각각은 한 쌍의 게이트 라인 즉, 홀수열의 게이트 라인과 짝수열의 게이트 라인 사이에 배치되어서, 상기 홀수열 및 짝수열의 게이트 라인들 중 어느 하나와 접속된다. 이때, 상기 가로줄에서 같은 데이터 라인과 접속된 한 쌍의 서브 화소, 즉 홀수열의 서브 화소와 짝수열의 서브 화소는 상기 한 쌍의 게이트 라인 중 서로 다른 게이트 라인과 접속되어서 순차 구동된다. 이에 따라, 게이트 라인들(GL1 내지 GLn)의 수는 2배로 증가되지만 데이터 라인들(DL1 내지 DLm)의 수는 반감된다.
- [0011] 여기서, 상기 박막트랜지스터(TFT) 및 화소 전극의 구성을 보다 구체적으로 설명하면 다음과 같다.
- [0012] 도 1 및 도 2에 도시된 바와 같이, 하나의 데이터 라인을 공유하여 가로줄을 구성하는 인접한 두개의 서브 화소의 각 박막트랜지스터(TFT)는 게이트 라인과 연결되는 방향이 서로 반대로 되어 있다.
- [0013] 각 박막트랜지스터(TFT)는, 도 2에 도시한 바와 같이, 각 게이트 라인(GL1 내지 GLn)으로부터 돌출되는 게이트 전극(1)과, 상기 각 데이터 라인(DL1 내지 DLm)으로부터 "C"자 모양으로 연장되는 소오스 전극(2) 및 상기 소오스 전극(2)에 대향하여 형성되는 드레인 전극(3)을 구비하여 구성된다. 그리고 각 서브 화소 영역에 상기 드레인 전극(3)과 전기적으로 연결되는 픽셀 전극(4)이 형성된다.
- [0014] 상기에서, 홀수번째 게이트 라인(GL1, GL3, GL5, ...GLn-1)들은 각 데이터 라인을 중심으로 왼쪽에 인접한 서브 화소를 구동하도록 박막트랜지스터가 구성되고, 짝수번째 게이트 라인(GL2, GL4, GL6, ...GLn)들은 각 데이터 라

인을 중심으로 오른쪽에 인접한 서브 화소를 구동하도록 박막트랜지스터가 구성된다. 따라서, 하나의 데이터 라인을 공유하여 가로줄을 구성하는 인접한 두개의 서브 화소의 각 박막트랜지스터(TFT)는 게이트 라인과 연결되는 방향이 서로 반대로 되어 있다.

[0015] 상기 데이터 드라이버(4)는 타이밍 컨트롤러(8)로부터의 데이터 제어신호(DCS) 예를 들어, 소스 스타트 펄스(SSP; Source Start Pulse), 소스 쉬프트 클럭(SSC; Source Shift Clock), 소스 출력 인에이블(SOE; Source Output Enable) 신호 등을 이용하여, 타이밍 컨트롤러(8)로부터 정렬된 영상 데이터(Data)를 아날로그 전압 즉, 영상신호로 변환한다. 구체적으로, 데이터 드라이버(4)는 SSC에 따라 입력되는 영상 데이터(Data)를 래치한 후, SOE 신호에 응답하여 각 게이트 라인(GL1 내지 GLn)에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 영상 신호를 각 데이터 라인(DL1 내지 DLm)에 공급한다.

[0016] 이때, 데이터 드라이버(4)는 상기 타이밍 컨트롤러(8)로부터의 극성 제어신호에 응답하여 정렬된 영상 데이터(Data)의 게조 값에 따라 소정 레벨을 가지는 정극성(+) 또는 부극성(-)의 감마전압을 선택하고, 선택된 감마전압을 영상 신호로 각 데이터 라인(DL1 내지 DLm)에 공급한다.

[0017] 상기 게이트 드라이버(6)는 타이밍 컨트롤러(8)로부터 게이트 제어신호(GCS)를 공급받는다. 그리고, 공급받은 게이트 제어신호(GCS) 예를 들어, 게이트 스타트 펄스(GSP; Gate Start Pulse), 게이트 쉬프트 클럭(GSC; Gate Shift Clock), 게이트 출력 인에이블(GOE; Gate Output Enable) 신호에 응답하여 스캔펄스를 순차 발생하고, 이를 게이트 라인들(GL1 내지 GLn)에 순차적으로 공급한다. 다시 말하여, 게이트 드라이버(6)는 타이밍 컨트롤러(8)로부터의 GSP를 GSC에 따라 쉬프트 시켜서 게이트 라인들(GL1 내지 GLn)에 스캔펄스 예를 들어, 게이트 온 전압을 순차적으로 공급한다. 그리고, 게이트 라인들(GL1 내지 GLn)에 게이트 온 전압이 공급되지 않는 기간에는 게이트 오프 전압을 공급한다. 여기서, 게이트 드라이버(6)는 스캔펄스의 펄스 폭을 GOE 신호에 따라 제어한다. 상기 타이밍 컨트롤러(8)는 외부로부터 입력되는 영상 데이터(Data)를 액정패널(2)의 구동에 알맞게 정렬하여 데이터 드라이버(4)에 순차적으로 공급한다. 아울러, 타이밍 컨트롤러(8)는 외부로부터의 동기신호들(DCLK, DE, Hsync, Vsync)을 이용하여 게이트 제어신호(GCS)를 생성하고 이를 게이트 드라이버(6)에 공급한다.

[0018] 그러나, 이와 같은 일반적인 DRD 방식의 액정 표시장치에 있어서는, 하나의 데이터 라인을 공유하는 서브 화소 각각의 박막트랜지스터(TFT)는 게이트 라인과 연결되는 방향이 서로 반대로 되어 있으므로, 게이트 라인(게이트 전극 포함) 형성용 마스크와 데이터 라인(소오스/드레인 전극 포함) 형성용 마스크가 서로 틀어질 경우, 서로 다른 크기의 기생 커패시턴스(Cgs)를 갖게 된다. 이로 인하여 인접한 화소 효율 전압(pixel effective voltage)에 차이가 나타날 수 있다.

[0019] 도 3은 도 1의 일반적인 DRD 방식의 액정 표시장치에서 게이트 라인 대비 소오스/드레인 전극이 왼쪽으로 쉬프트될 경우 기생 커패시턴스(Cgs)의 크기를 설명한 것이고, 도 4는 도 1의 일반적인 DRD 방식의 액정 표시장치에서 게이트 라인 대비 소오스/드레인 전극이 오른쪽으로 쉬프트될 경우 기생 커패시턴스(Cgs)의 크기를 설명한 것이다.

[0020] 도 3에 도시한 바와 같이, 게이트 라인(게이트 전극 포함)을 형성한 후, 데이터 라인(소오스/드레인 전극 포함)을 형성하기 위한 마스크가 왼쪽으로 쉬프트된 경우, 홀수번째 게이트 라인(GL1, GL3, GL5, ... GLn-1)에 연결되는 박막트랜지스터의 기생 커패시턴스(Cgs)는 감소하게 되고, 짝수번째 게이트 라인(GL2, GL4, GL6, ... GLn)에 연결되는 박막트랜지스터의 기생 커패시턴스(Cgs)는 증가하게 된다.

[0021] 반대로, 도 4에 도시한 바와 같이, 게이트 라인(게이트 전극 포함)을 형성한 후, 데이터 라인(소오스/드레인 전극 포함)을 형성하기 위한 마스크가 오른쪽으로 쉬프트된 경우, 홀수번째 게이트 라인(GL1, GL3, GL5, ... GLn-1)에 연결되는 박막트랜지스터의 기생 커패시턴스(Cgs)는 증가하게 되고, 짝수번째 게이트 라인(GL2, GL4, GL6, ... GLn)에 연결되는 박막트랜지스터의 기생 커패시턴스(Cgs)는 감소하게 된다.

[0022] 이와 같이, 각 박막트랜지스터의 기생 커패시턴스(Cgs)가 다른 크기를 갖기 때문에 인접한 화소 효율 전압(pixel effective voltage)에 차이가 나타날 수 있다.

[0023] 따라서, 상기와 같은 각 박막트랜지스터가 다른 크기의 기생 커패시턴스(Cgs)를 갖는 문제점을 해결하기 위하여, 도 2에 도시한 바와 같이, 게이트 라인(DL)에서 돌출되어 드레인 전극(3)과 중첩되는 상기 기생 커패시턴스(Cgs) 보상 패턴(5)을 형성하여야 한다. 즉, 데이터 라인(소오스/드레인 전극 포함)을 형성하기 위한 마스크가 쉬프트되어 기생 커패시턴스(Cgs)가 감소되는 서브 화소에서는 상기 보상 패턴(5)과 드레인 전극이 중첩되는 면적이 넓어지고, 기생 커패시턴스(Cgs)가 증가되는 서브 화소에서는 상기 보상 패턴(5)과 드레인 전극이 중첩되는 면적이 좁아져서 상기 기생 커패시턴스(Cgs)를 보상한다. 그러나, 이와 같이 보상 패턴을 형성하므로

일반적인 DRD 방식의 액정 표시장치는 개구율이 감소하게 된다.

- [0024] 도 5는 도 1의 일반적인 DRD 방식의 액정 표시장치의 수평 2 도트(dot) 인버전 구동시의 데이터 신호 설명도이다.
- [0025] 도 5에 도시한 바와 같이, 액정 표시장치를 수평 2도트 인버전 방식으로 표시하기 위해서는, 데이터 신호의 극성이 1 프레임내에서 2 수평 기간 주기로 반전되는 수직 2도트 방식으로 구동되어야 한다. 따라서, 도 1의 일반적인 DRD 방식의 액정 표시장치는 소비전력이 증가하게 된다.
- [0026] 상기 일반적인 DRD 방식의 액정 표시장치의 소비전력이 증가하게 되는 문제점을 해결하기 위하여, 최근에는 DRD Z-인버전 방식 액정표시장치가 제안되었다.
- [0027] 도 6는 종래의 DRD Z-인버전 방식 액정 패널의 구성 및 수평 2 도트(dot) 인버전 구동시의 데이터 신호 설명도이다.
- [0028] 상술한 바와 같이, 도 1의 일반적인 DRD 방식의 액정 표시장치는, 하나의 데이터 라인(DL1, DL2, ...)은 해당 데이터 라인의 양측에 인접한 2개의 서브 화소에 데이터 신호를 공급하도록 구성되어 있다. 그러나, 종래의 DRD Z-인버전 방식의 액정 패널은, 도 6에 도시한 바와 같이, 하나의 데이터 라인(DL1, DL2, ...)은 해당 데이터 라인의 일측에 인접한 2개의 서브 화소에 데이터 신호를 공급하도록 구성되어 있다.
- [0029] 종래의 DRD Z-인버전 방식의 액정 패널은 상기와 같이 구성되므로, 액정 표시장치를 수평 2도트 인버전 방식으로 표시하기 위해서는, 데이터 신호의 극성이 1 프레임내에서는 반전되지 않는다. 즉, 종래의 DRD Z-인버전 방식의 액정 패널에서는 데이터 신호가 라인 인버전 방식으로 공급되어도 액정표시장치는 수평 2도트 인버전 방식으로 표시된다. 따라서, 소비전력을 감소시킬 수 있다.
- [0030] 그러나, 종래의 DRD Z-인버전 방식의 액정표시장치에 있어서는 데이터 라인 대비 게이트의 기생커패시턴스가 증가되고, 박막트랜지스터의 구조(드레인 전극의 길이)가 서로 상이한 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0031] 본 발명은 종래 DRD 방식의 액정 표시장치에서 발생하는 개구율 감소하고 소비전력 증가하는 문제점을 해결하면서 Z-인버전 방식을 적용할 수 있는 DRD 액정표시장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0032] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 액정 패널의 표시 영역에 상호 교차하는 다수의 게이트 라인 및 데이터 라인과, 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이마다 배열된 다수의 서브 화소와, 각 화소에 박막트랜지스터를 구비하고, 상기 액정 패널의 비표시 영역에 인접한 홀수번째 데이터 라인을 서로 연결하고, 인접한 짝수번째 데이터 라인을 서로 연결하는 다수개의 데이터 연결 라인을 구비하여, 상기 각 연결 라인은 데이터 드라이버의 각 채널에 연결되고, 상기 각 게이트 라인에 수직한 방향으로 각 서브 화소 사이마다 상기 다수의 데이터 라인이 배열되고, 상기 각 데이터 라인은 일측 열의 서브 화소들에만 상기 박막트랜지스터를 통해 접속됨에 그 특징이 있다.
- [0033] 여기서, $4n-3$ 번째 게이트 라인들은 $4n-1$ 번째 및 $4n$ 번째 데이터 라인들에 의해 공급된 데이터 신호가 홀수번째 수평 서브 화소의 $4n-1$ 번째 및 $4n$ 번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 한다.
- [0034] $4n-2$ 번째 게이트 라인들은 $4n-3$ 번째 및 $4n-2$ 번째 데이터 라인들에 의해 공급된 데이터 신호가 홀수번째 수평 서브 화소의 $4n-3$ 번째 및 $4n-2$ 번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 한다.
- [0035] $4n-1$ 번째 게이트 라인들은 $4n-2$ 번째 및 $4n-1$ 번째 데이터 라인들에 의해 공급된 데이터 신호가 짝수번째 수평 서브 화소의 $4n-3$ 번째 및 $4n-2$ 번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 한다.
- [0036] $4n$ 번째 게이트 라인들은 $4n$ 번째 및 $4n+1$ 번째 데이터 라인들에 의해 공급된 데이터 신호가 짝수번째 수평 서브 화소의 $4n-1$ 번째 및 $4n$ 번째 열들의 서브 화소들에 공급되도록 상기 박막트랜지스터가 연결됨을 특징으로 한다.

[0037] 상기 박막트랜지스터의 소오스 전극 및 드레인 전극은 상기 해당 게이트 라인 상에 위치됨을 특징으로 한다.

발명의 효과

[0038] 상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치에 있어서는 다음과 같은 효과가 있다.

[0039] 첫째, 데이터 라인(소오스/ 드레인 전극 포함)을 형성하기 위한 마스크가 오른쪽 또는 왼쪽으로 쉬프트되더라도, 인접한 서브 픽셀 간의 기생 커패시턴스(Cgs)에는 차이가 없어서, 기생 커패시턴스 보상 패턴을 형성할 필요가 없으므로, 개구율을 향상시킬 수 있다.

[0040] 둘째, 액정 패널의 비표시 영역에서, 인접한 홀수번째 데이터 라인을 서로 연결하고, 인접한 짝수번째 데이터 라인을 서로 연결하는 다수개의 데이터 연결 라인을 구비하여, 상기 각 연결 라인을 데이터 드라이버가 구동하므로, 데이터 드라이버 IC 수를 줄일 수 있고 DRD 기능을 구현할 수 있다.

[0041] 셋째, 데이터 신호의 극성을 라인 인버전 방식으로 구동하여도 1도트 인버전 방식으로 표시할 수 있으므로 소비 전력을 줄일 수 있다.

도면의 간단한 설명

[0042] 도 1은 일반적인 DRD 방식의 액정 표시장치의 구성도

도 2는 일반적인 DRD 방식의 액정 패널의 구체적인 레이아웃도

도 3은 도 1의 일반적인 DRD 방식의 액정 표시장치에서 게이트 라인 대비 소오스/드레인 전극이 왼쪽으로 쉬프트될 경우 기생 커패시턴스(Cgs)의 크기를 설명한 설명도

도 4는 도 1의 일반적인 DRD 방식의 액정 표시장치에서 게이트 라인 대비 소오스/드레인 전극이 오른쪽으로 쉬프트될 경우 기생 커패시턴스(Cgs)의 크기를 설명한 설명도

도 5는 도 1의 일반적인 DRD 방식의 액정 표시장치의 수평 2 도트(dot) 인버전 구동시의 데이터 신호 설명도

도 6는 종래의 DRD Z-인버전 방식 액정 패널의 구성 및 수평 2 도트(dot) 인버전 구동시의 데이터 신호 설명도

도 7은 본 발명에 따른 액정표시장치의 구성도

발명을 실시하기 위한 구체적인 내용

[0043] 상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

[0044] 본 발명에 따른 액정표시장치의 액정표시장치는, 홀수번째 게이트 라인(GL1, GL3, GL5, ...GLn-1)과 짝수번째 게이트 라인(GL2, GL4, GL6, ...GLn) 사이마다 다수의 서브 화소(R,G,B)를 배치하고, 데이터 라인들(DL1 내지 DLm) 각각은 일열의 서브 화소들에만 접속되도록 하고, 액정 패널의 비표시 영역에서, 인접한 홀수번째 데이터 라인을 서로 연결하고, 인접한 짝수번째 데이터 라인을 서로 연결하여 DRD 기능을 구현할 수 있는 액정표시장치이다.

[0045] 도 7은 본 발명에 따른 액정표시장치의 구성도이다.

[0046] 도 7에 도시한 바와 같이, 상호 교차하는 다수의 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)에 의해 화소 매트릭스를 구비한 액정패널(12)과, 상기 액정패널(12)의 각 데이터 라인들(DL1 내지 DLm)에 영상 신호를 충전시키는 데이터 드라이버(14)와, 상기 액정패널(12)의 게이트 라인들(GL1 내지 GLn)을 구동하는 게이트 드라이버(16), 및 외부로부터의 영상 데이터(RGB)를 정렬하여 데이터 드라이버(14)에 공급함과 아울러 상기 데이터 드라이버(14)가 약충전 기간에 왜곡되는 영상 신호의 충전량만큼 강충전 기간에 그 충전량을 감소시켜 충전시키도록 데이터 제어신호(DCS)를 생성하여 데이터 드라이버(14)를 제어하는 타이밍 컨트롤러(18)를 구비한다.

[0047] 상기 타이밍 컨트롤러(18), 게이트 드라이버(14) 및 데이터 드라이버(14)의 구성 및 동작 설명은 생략하고 액정 패널(12)에 대해서만 구체적으로 설명한다.

[0048] 상기 액정패널(12)은 상호 교차하는 다수의 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)과, 홀수 번째 게이트 라인(GL1, GL3, GL5, ...GLn-1)과 짝수번째 게이트 라인(GL2, GL4, GL6, ...GLn) 사이마다 배열된

다수의 서브 화소(R,G,B)를 포함하고, 다수의 서브 화소(R,G,B)와 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)에 각각 접속된 박막 트랜지스터(TFT)를 포함한다.

[0049] 보다 구체적으로 설명하면 다음과 같다.

[0050] 상기 홀수번째 게이트 라인(GL1, GL3, GL5, ...GLn-1)과 짝수번째 게이트 라인(GL2, GL4, GL6, ...GLn) 사이마다 다수의 서브 화소(R,G,B)를 배치한다. 즉, GL1과 GL2 게이트 라인 사이, GL3과 GL4 게이트 라인 사이, ...에는 다수의 서브 화소(R,G,B)가 배치되고, GL2과 GL3 게이트 라인 사이, GL4과 GL5 게이트 라인 사이, ...에는 다수의 서브 화소(R,G,B)가 배치되지 않는다.

[0051] 그리고, 각 서브 화소 사이마다 상기 게이트 라인에 수직한 방향으로 다수의 데이터 라인((DL1 내지 DLm)이 배열되어, 상기 다수의 데이터 라인들(DL1 내지 DLm) 각각은 일측 열의 서브 화소들에만 접속되도록 한다. 그리고, 액정 패널의 비표시 영역에서, 인접한 홀수번째 데이터 라인을 서로 연결하고, 인접한 짝수번째 데이터 라인을 서로 연결하는 다수개의 데이터 연결 라인(19)이 구비되어, 상기 각 연결 라인(19)은 상기 데이터 드라이버(14)의 각 채널에 연결되어 DRD 기능을 구현한다.

[0052] 즉, 각 연결 라인(19)은 DL1 및 DL3 데이터 라인, DL2 및 DL4 데이터 라인, DL5 및 DL7 데이터 라인, DL6 및 DL8 데이터 라인, ... 을 서로 연결한다.

[0053] 또한, 4n-3번째 게이트 라인(GL1, GL5, GL9, ...)은 4n-1번째 및 4n번째 데이터 라인(DL3, DL4, DL7, DL8, ...)에 의해 공급된 데이터 신호가 홀수번째 수평 서브 화소의 4n-1번째 및 4n번째 열의 서브 화소에 공급되도록 박막트랜지스터가 연결된다.

[0054] 4n-2번째 게이트 라인(GL2, GL6, GL10, ...)은 4n-3번째 및 4n-2번째 데이터 라인(DL1, DL2, DL6, DL7, ...)에 의해 공급된 데이터 신호가 홀수번째 수평 서브 화소의 4n-3번째 및 4n-2번째 열의 서브 화소에 공급되도록 박막트랜지스터가 연결된다.

[0055] 4n-1번째 게이트 라인(GL3, GL7, GL11, ...)은 4n-2번째 및 4n-1번째 데이터 라인(DL2, DL3, DL6, DL7, ...)에 의해 공급된 데이터 신호가 짝수번째 수평 서브 화소의 4n-3번째 및 4n-2번째 열의 서브 화소에 공급되도록 박막트랜지스터가 연결된다.

[0056] 4n번째 게이트 라인들(GL4, GL8, GL12, ...)은 4n번째 및 4n+1번째 데이터 라인들(DL4, DL5, DL8, DL9, ...)에 의해 공급된 데이터 신호가 짝수번째 수평 서브 화소의 4n-1번째 및 4n번째 열의 서브 화소에 공급되도록 박막트랜지스터가 연결된다.

[0057] 여기서, n 및 m은 자연수이다.

[0058] 여기서, 상기 박막트랜지스터(TFT) 및 화소 전극의 구성은, 도 2에서 설명한 바와 같이 구성되어도 무방하고, 박막트랜지스터의 게이트 전극이 게이트 라인으로부터 돌출되지 않고, 박막트랜지스터의 소오스 전극 및 드레인 전극이 상기 게이트 라인상에 위치하도록 할 수 있다.

[0059] 상기와 같이, 본 발명에 따른 액정표시장치에서는 각 수평 라인의 서브 화소들에 배치되는 박막트랜지스터는 데이터 라인을 중심으로 동일한 측면에 배치된다. 즉, 홀수번째 수평 라인(GL1과 GL2 사이, GL5와 GL6 사이, ...)의 서브 화소들에 배치되는 각 박막트랜지스터는 해당 데이터 라인의 오른쪽에 배치되고, 짝수번째 수평 라인(GL3과 GL4 사이, GL7와 GL8 사이, ...)의 서브 화소들에 배치되는 각 박막트랜지스터는 해당 데이터 라인의 왼쪽에 배치된다. 따라서, 게이트 라인(게이트 전극 포함)을 형성한 후, 데이터 라인(소오스/ 드레인 전극 포함)을 형성하기 위한 마스크가 오른쪽 또는 왼쪽으로 쉬프트되더라도, 인접한 서브 픽셀 간의 기생 커패시턴스(Cgs)에는 차이가 없다. 따라서, 일반적인 DRD 액정표시장치에서와 같이 기생 커패시턴스 보상 패턴을 형성할 필요가 없으므로 개구율이 향상된다.

[0060] 참고로, 도 1과 같이 일반적인 DRD 방식의 액정표시장치는 개구율이 약 15.351% 정도이지만, 본 발명의 액정표시장치에서는 개구율이 약 16.042%로, 개구율이 약 4.5% 향상된다.

[0061] 또한, 본 발명의 액정표시장치는, 일반적인 DRD 액정표시장치보다 데이터 라인은 2배 증가되지만, 상술한 바와 같이, 액정 패널의 비표시 영역에서, 인접한 홀수번째 데이터 라인을 서로 연결하고, 인접한 짝수번째 데이터 라인을 서로 연결하는 다수개의 데이터 연결 라인(19)이 구비되어, 상기 각 연결 라인(19)이 상기 데이터 드라이버(14)의 각 채널에 연결되므로, 일반적인 DRD 액정표시장치와 같이, 데이터 드라이버 IC이 수를 줄일 수 있고 DRD 기능을 구현할 수 있다.

[0062] 한편, 본 발명의 액정표시장치는, 도 7과 같이 액정 패널이 구성되므로, 데이터 신호의 극성을 라인 인버전 방식으로 구동하여도 1도트 인버전 방식으로 표시할 수 있으므로 소비전력을 줄일 수 있다. 즉, 칼럼 인버전 방식을 적용할 수 있다.

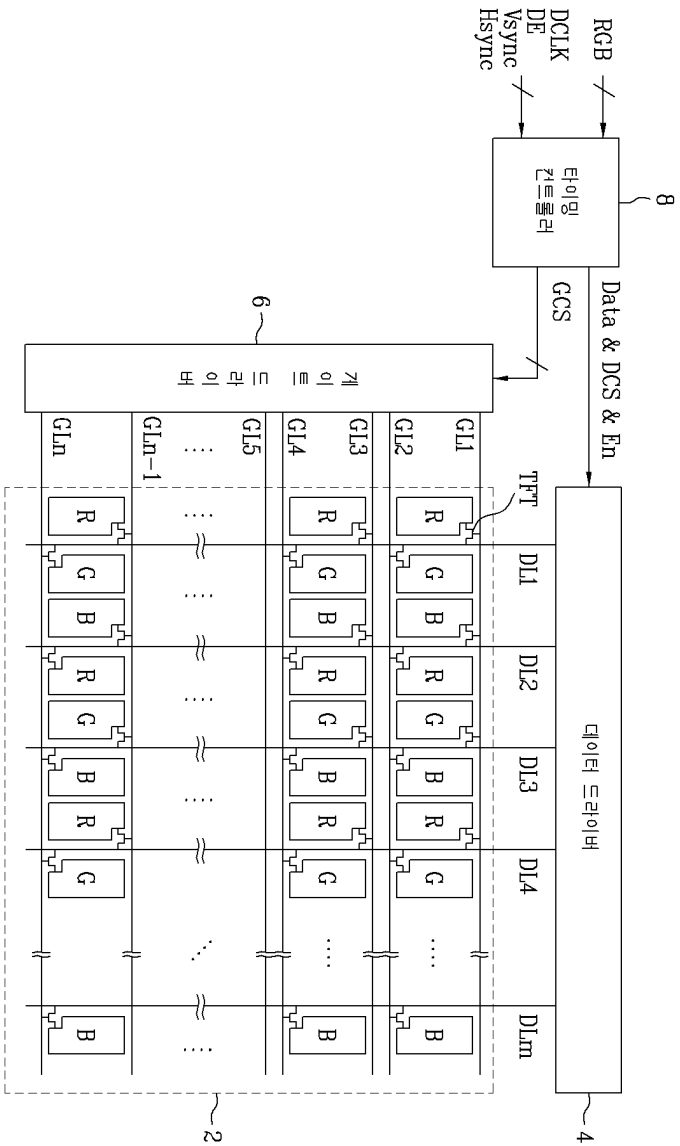
[0063] 참고로, 도 1과 같이 일반적인 DRD 방식의 액정표시장치의 소비전력은 약 1.72W이지만, 본 발명의 액정표시장치의 소비전력은 1.4W 정도로 낮출 수 있으므로, 소비전력을 약 20% 감소시킬 수 있다.

[0064] 상기에서 설명한 본 발명에 따른 액정표시장치는 IPS 모드, TN 모드, VA 모드 및 AH-IPS 모드의 액정표시장치에 모두 적용할 수 있다.

[0065] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

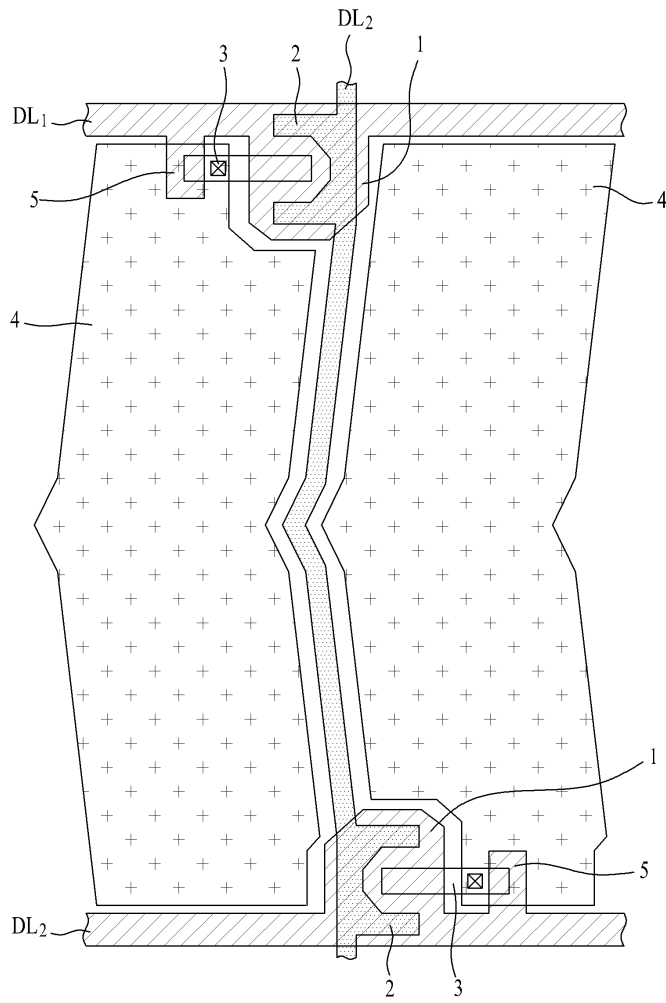
[0066] 12: 액정 패널 14: 데이터 드라이버
16: 게이트 드라이버 18: 타이밍 컨트롤러
19: 연결 라인 GL1-GLn: 게이트 라인
DL1-DLm: 데이터 라인 TFT: 박막트랜지스터



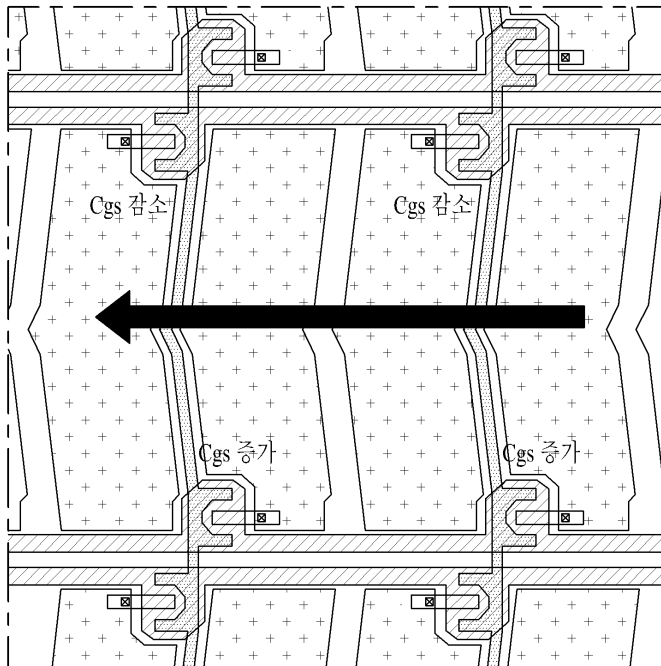
도면

도면1

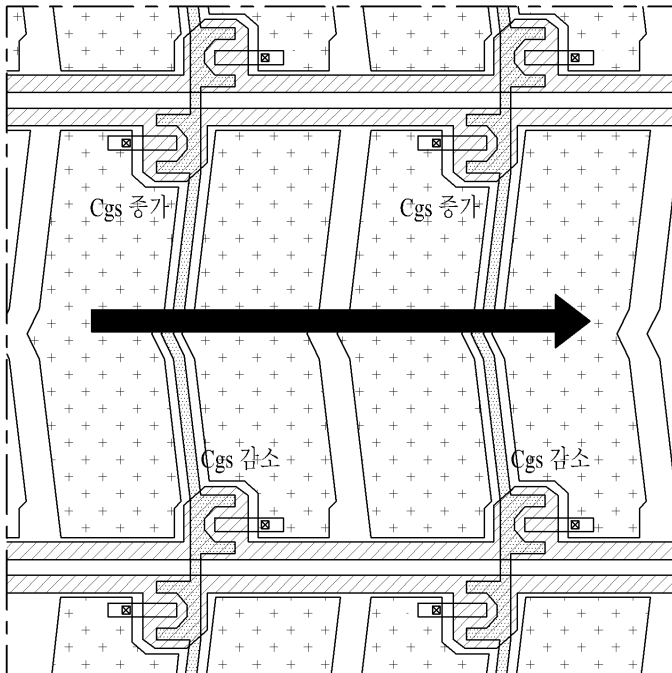
도면2



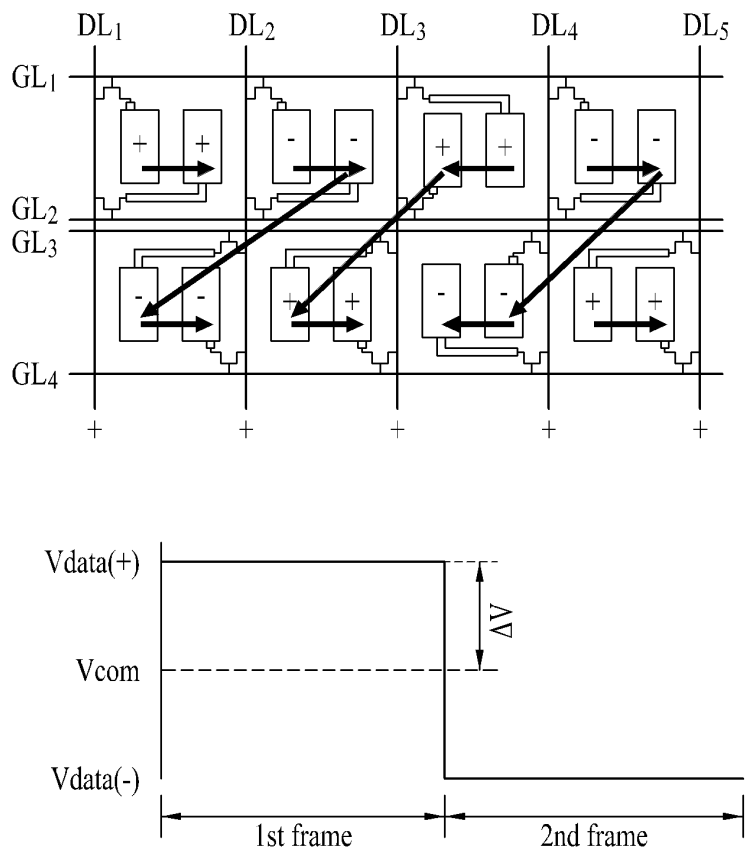
도면3



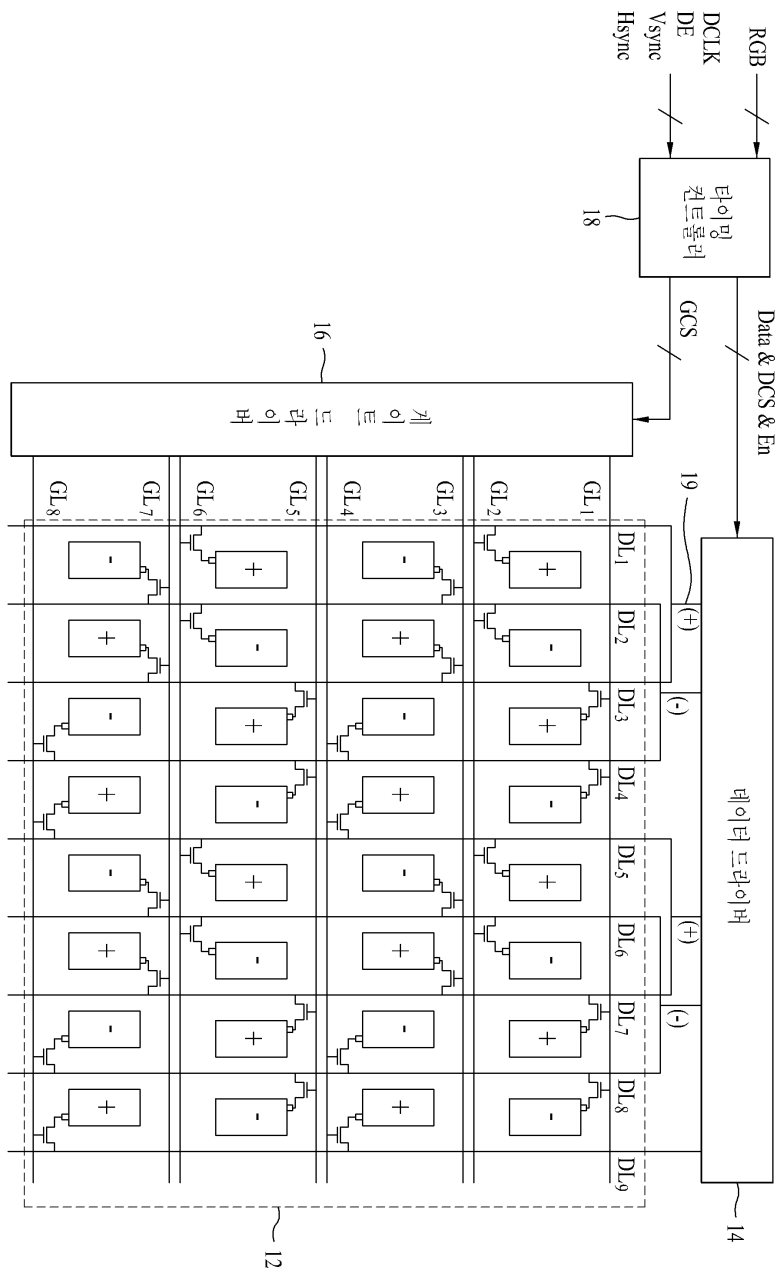
도면4



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020150078573A	公开(公告)日	2015-07-08
申请号	KR1020130168052	申请日	2013-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU SANG HEE		
发明人	YU, SANG HEE		
IPC分类号	G02F1/133 G09G3/36		
代理人(译)	PARK , YOUNG BOK		
外部链接	Espacenet		

摘要(译)

DRD液晶显示装置技术领域本发明涉及一种DRD液晶显示装置，其能够应用Z反转方法，同时解决了传统DRD型液晶显示装置中产生的开口率降低和功耗增加的问题，多条栅极线和数据线，在每个像素中提供编号的栅极线和奇数栅极线，薄膜晶体管，与液晶面板的非显示区域相邻的奇数数据线彼此连接，并且均匀 - 多个数据连接将线路连接在一起其中，所述多条数据线中的每条数据线连接到所述数据驱动器的每个通道，并且所述多条数据线中的每条数据线被分成子通过薄膜晶体管连接到像素威尔。

