



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0057027
(43) 공개일자 2015년05월28일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0139811
(22) 출원일자 2013년11월18일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
안정은
경북 구미시 박정희로 545, 101동 401호 (송정동, 한솔아파트)
정보영
경북 구미시 흥안로 43, 104동 801호 (옥계동, 옥계동화타운)
(74) 대리인
특허법인로알

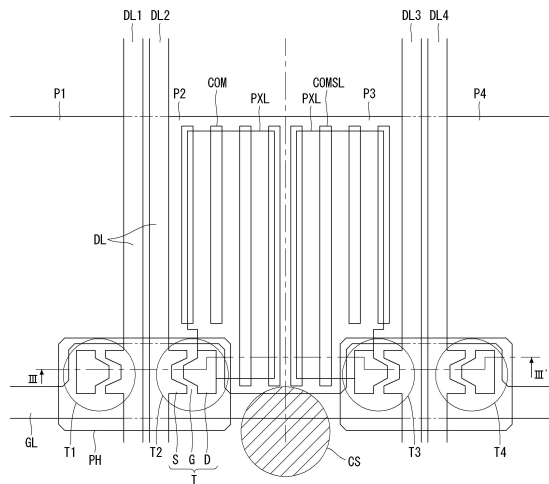
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **고 투과율을 갖는 고 해상도 액정표시장치용 박막 트랜지스터 기관 및 그 제조 방법**

(57) 요약

본 발명은 고 투과율을 갖는 고 해상도 액정 표시장치용 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다. 본 발명에 의한 박막 트랜지스터 기관은, 기관 위에서 세로 방향으로 진행하며, 서로 이웃하여 배치된 n번째 및 (n+1)번째 데이터 배선들; 상기 기관 위에서 가로 방향으로 진행되는 게이트 배선들; 상기 이웃하는 두 개의 데이터 배선들과 상기 게이트 배선이 교차하는 부위에 서로 이웃하여 형성된 n번째 박막 트랜지스터와 (n+1)번째 박막 트랜지스터; 상기 기관 전체를 덮으며, 상기 n번째 박막 트랜지스터와 상기 (n+1)번째 박막 트랜지스터를 동시에 노출하는 패턴 홀이 형성된 평탄화 막; 상기 패턴 홀을 통해 상기 n번째 박막 트랜지스터와 연결되는 n번째 화소 전극; 그리고 상기 패턴 홀을 통해 상기 (n+1)번째 박막 트랜지스터와 연결되는 (n+1)번째 화소 전극을 포함한다.

대표도 - 도5



명세서

청구범위

청구항 1

기관 위에서 세로 방향으로 진행하며, 서로 이웃하여 배치된 n 번째 및 $(n+1)$ 번째 데이터 배선들;

상기 기관 위에서 가로 방향으로 진행하는 게이트 배선들;

상기 이웃하는 두 개의 데이터 배선들과 상기 게이트 배선이 교차하는 부위에 서로 이웃하여 형성된 n 번째 박막 트랜지스터와 $(n+1)$ 번째 박막 트랜지스터;

상기 기관 전체를 덮으며, 상기 n 번째 박막 트랜지스터와 상기 $(n+1)$ 번째 박막 트랜지스터를 동시에 노출하는 패턴 홀이 형성된 평탄화 막;

상기 패턴 홀을 통해 상기 n 번째 박막 트랜지스터와 연결되는 n 번째 화소 전극; 그리고

상기 패턴 홀을 통해 상기 $(n+1)$ 번째 박막 트랜지스터와 연결되는 $(n+1)$ 번째 화소 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 2

제 1 항에 있어서,

상기 n 번째 화소 전극 및 $(n+1)$ 번째 화소 전극을 덮는 보호막; 그리고

상기 보호막 위에서 상기 화소 전극과 중첩하는 다수 개의 선분들을 구비하는 공통 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 3

제 1 항에 있어서,

상기 게이트 배선을 따라, 상기 n 번째 및 $(n+1)$ 번째 박막 트랜지스터를 동시에 노출하는 상기 패턴 홀들 사이의 이격 거리는, 스페이서를 배치할 수 있는 충분한 간격을 갖는 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 4

제 1 항에 있어서,

상기 박막 트랜지스터들 각각은,

상기 게이트 배선에서 분기된 게이트 전극;

상기 게이트 전극과 중첩하는 반도체 층;

상기 데이터 배선에서 분기되어 상기 반도체 층의 일측부와 접촉하는 소스 전극; 그리고

상기 소스 전극과 일정 거리 이격하고, 상기 반도체 층의 타측부와 접촉하는 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 5

제 1 항에 있어서,

상기 n번째 박막 트랜지스터는, 상기 게이트 배선으로부터 분기되어, 상기 이웃하는 두 개의 데이터 배선들과 상기 게이트 배선이 교차하는 부위에 형성된 n번째 게이트 전극을 포함하고,

상기 (n+1)번째 박막 트랜지스터는, 상기 게이트 배선으로부터 분기되어, 상기 이웃하는 두 개의 데이터 배선들과 상기 게이트 배선이 교차하는 부위에 형성된 (n+1)번째 게이트 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 6

제 5 항에 있어서,

상기 n번째 게이트 전극과 상기 (n+1)번째 게이트 전극은 하나의 몸체로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 7

기판 위에 게이트 금속 물질을 도포하고 패터하여, 가로 방향으로 진행하는 게이트 배선을 형성하는 제1 마스크 공정;

상기 게이트 배선 위에 게이트 절연 물질, 반도체 물질 및 소스 금속 물질을 연속으로 도포하고 패터하여, 반도체 층, 그리고 상기 게이트 배선과 교차하며 서로 이웃하여 배치하도록 n번째 및 (n+1)번째 데이터 배선을 형성하는 제2 마스크 공정;

상기 데이터 배선 위에 평탄화 막을 도포하고 패터하여, 상기 n번째 및 (n+1)번째 데이터 배선과 상기 게이트 배선이 교차하는 영역을 노출하는 패턴 홀을 형성하는 제3 마스크 공정; 그리고

상기 패턴 홀이 형성된 상기 기판 전체에 투명 도전 물질을 도포하고 패터하여, 상기 데이터 배선에서 분기하는 소스 전극, 상기 소스 전극과 일정 거리 이격하는 드레인 전극, 그리고 상기 드레인 전극의 상층면과 접촉하며 연장된 화소 전극을 형성하는 제4 마스크 공정을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판 제조 방법.

청구항 8

제 7 항에 있어서,

상기 화소 전극이 형성된 상기 기판 위에 보호막을 도포하는 단계; 그리고

상기 보호막 위에 투명 도전 물질을 도포하고 패터하여 상기 화소 전극과 중첩하는 다수 개의 선분을 구비한 공통 전극을 형성하는 제5 마스크 공정을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 기판 제조 방법.

청구항 9

제 7 항에 있어서,

상기 제1 마스크 공정에서,

상기 게이트 배선에서 분기하여, 상기 n번째 및 (n+1)번째 데이터 배선들과 중첩하는 위치로 분기된 게이트 전극을 형성하고;

상기 제2 마스크 공정에서,

상기 게이트 전극과 중첩하며 상기 n번째 데이터 배선에서 분기하는 n번째 소스-드레인 요소, 그리고 상기 게이트 전극과 중첩하며 상기 (n+1)번째 데이터 배선에서 분기하는 (n+1)번째 소스-드레인 요소를 형성하고; 그리고

상기 제4 마스크 공정에서,

상기 투명 도전 물질과 함께 상기 소스-드레인 요소를 패터닝하여, 상기 소스 전극, 상기 드레인 전극 및 상기 화소 전극을 형성하며, 상기 소스 전극과 상기 드레인 전극 사이에 노출되는 채널 영역을 정의하는 것을 특징으로 하는 박막 트랜지스터 기판 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 고 투과율을 갖는 고 해상도 액정 표시장치(Liquid Crystal Display: LCD)용 박막 트랜지스터(Thin Film Transistor: TFT) 기판 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 휴대용 액정 표시장치에서 고 해상도를 구현할 경우, 화소의 크기가 작아짐에 따라 발생하는 투과율 저하 문제를 해소한, 고 투과율을 갖는 고 해상도 액정 표시장치용 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 능동형으로 구동하는 액정 표시장치, 유기발광 표시장치 및 전기영동 표시장치의 경우, 매트릭스 방식으로 배열된 화소 영역 내에 할당된 박막 트랜지스터가 배치된 박막 트랜지스터 기판을 포함한다. 액정표시장치(Liquid Crystal Display Device: LCD)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 구분한다.

[0004] 수직 전계형 액정표시장치는 상 하부 기판에 대향하게 배치된 화소 전극과 공통전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동한다. 이러한 수직전계형 액정표시장치는 개구율이 큰 장점을 가지는 반면, 시야각이 90도 정도로 좁은 단점이 있다.

[0005] 수평 전계형 액정표시장치는 하부 기판에 평행하게 배치된 화소 전극과 공통전극 사이에 수평 전계를 형성하여 인-플레인 스위칭(In Plane Switching: IPS) 모드의 액정을 구동한다. 이러한 IPS 모드의 액정표시장치는 시야각이 160도 정도로 넓은 장점이 있으나, 개구율 및 투과율이 낮은 단점이 있다. 구체적으로 IPS 모드의 액정표시장치는 인 플레인 필드(In Plane Field)를 형성하기 위해서 공통전극과 화소전극간의 간격을 상부 기판과 하부 기판의 간격(셀 갭: Cell Gap)보다 넓게 형성하고, 적절한 세기의 전계를 얻기 위해서 공통전극과 화소 전극을 일정한 너비를 갖는 띠 형태로 형성한다. 이와 같은 IPS 모드의 화소 전극 및 공통전극 사이에는 기판과 거의 평행한 전계가 형성되지만, 일정 너비를 갖는 화소 전극 및 공통전극들 상부의 액정에는 전계가 형성되지 않는다. 즉, 화소 전극 및 공통전극 상부에 놓인 액정분자들은 구동되지 않고 초기 배열 상태를 유지한다. 초기 상태를 유지하는 액정은 광을 투과시키지 못하여 개구율 및 투과율을 저하하는 요인이 된다.

[0006] 이러한 IPS 모드의 액정표시장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작하는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정표시장치가 제안되었다. FFS 타입의 액정표시장치는 각 화소 영역에 절연막을 사이에 둔 공통전극과 화소 전극을 구비하고, 그 공통전극과 화소 전극이 수직 방향으로 서로 중첩되거나, 중첩하지 않더라도 수평 방향으로의 이격 간격이 상부 기판과 하부 기판의 간격보다 좁게 형성하여 공통전극과 화소 전극 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상하부 기판 사이에 개재된 액정 분자들은 모두 동작함으로써 개구율 및 투과율이 향상된 결과를 얻을 수 있다.

[0007] 프린지 필드 방식의 액정표시장치는 공통 전극과 화소 전극이 중첩되거나 상당히 가까운 위치에 배치되기 때문에 공통 전극과 화소 전극 사이에서 보조 용량이 형성된다. 따라서, IPS 모드와 달리 보조 용량을 형성하지 않아도 된다는 장점이 있다. 하지만, 대화면 표시장치를 프린지 필드 방식으로 구현할 경우, 화소의 크기가 커지고 따라서 보조 용량의 크기도 커지므로 이를 구동하기 위해서는 박막 트랜지스터가 커져야 한다는 문제점이 있다.

[0008] 이러한 문제점을 해결하기 위해, 박막 트랜지스터의 크기를 키우지 않고도 고용량 구동 특성을 갖는 금속 산화물 반도체 층을 갖는 박막 트랜지스터 기판이 응용되고 있다. 도 1은 종래의 프린지 필드 방식의 액정표시장치에 포함된 산화물 반도체 층을 갖는 박막 트랜지스터 기판을 나타내는 평면도이다. 도 2는 도 1에 도시한 박막

트랜지스터 기판을 절취선 I-I' 선을 따라 자른 단면도이다.

- [0009] 도 1 및 도 2에 도시된 금속 산화물 반도체 층을 갖는 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL), 그 교차 구조에 의해 정의된 각 화소 영역 내에 형성된 박막 트랜지스터(T)를 구비한다.
- [0010] 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기된 게이트 전극(G), 데이터 배선(DL)에서 분기된 소스 전극(S), 소스 전극(S)과 대향하는 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하면 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 층(A)을 포함한다.
- [0011] 특히, 반도체 층(A)을 산화물 반도체 물질로 형성하는 경우, 높은 전하 이동도 특성에 의해 충전 용량이 큰 대면적 박막 트랜지스터 기판에 유리하다. 그러나 산화물 반도체 물질은 소자의 안정성을 확보하기 위해 상부 표면에 식각액으로부터 보호를 위한 에치 스톱퍼(ES)를 더 포함하는 것이 바람직하다. 구체적으로, 소스 전극(S)과 드레인 전극(D) 사이의 분리된 부분을 통해 유입되는 식각액으로부터 반도체 층(A)을 보호하도록 에치 스톱퍼(ES)를 형성하는 것이 바람직하다.
- [0012] 게이트 배선(GL)의 일측 단부에는 외부로부터 게이트 신호를 인가받기 위한 게이트 패드(GP)를 포함한다. 게이트 패드(GP)는 게이트 절연막(GI)을 관통하는 제1 게이트 패드 콘택홀(GH1)을 통해 게이트 패드 중간 단자(IGT)와 접촉한다. 게이트 패드 중간 단자(IGT)는 제1 보호막(PA1)과 제2 보호막(PA2)을 관통하는 제2 게이트 패드 콘택홀(GH2)을 통해 게이트 패드 단자(GPT)와 접촉한다. 한편, 데이터 배선(DL)의 일측 단부에는 외부로부터 화소 신호를 인가받기 위한 데이터 패드(DP)를 포함한다. 데이터 패드(DP)는 제1 보호막(PA1) 및 제2 보호막(PA2)을 관통하는 데이터 패드 콘택홀(DPH)을 통해 데이터 패드 단자(DPT)와 접촉한다.
- [0013] 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PA2)을 사이에 두고 형성된 화소 전극(PXL)과 공통 전극(COM)을 구비한다. 공통 전극(COM)은 게이트 배선(GL)과 나란하게 배열된 공통 배선(CL)과 접촉된다. 공통 전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.
- [0014] 공통 전극(COM)과 화소 전극(PXL)의 위치 및 모양은 설계 환경과 목적에 맞추어 다양하게 형성할 수 있다. 공통 전극(COM)은 일정한 기준 전압이 인가되는 반면, 화소 전극(PXL)은 구현하고자 하는 비디오 데이터에 따라 수시로 변화하는 전압 값이 인가된다. 따라서, 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량이 발생할 수 있다. 이러한 기생 용량으로 인해 화질에 문제를 야기할 수 있기 때문에, 유전율이 낮은 유기물질을 두겹게 형성한 평탄화막(PAC)으로 데이터 배선(DL) 및 박막 트랜지스터(T)를 덮는 것이 바람직하다.
- [0015] 즉, 데이터 배선(DL) 및 박막 트랜지스터(T)를 덮는 제1 보호막(PA1) 위에 유전율이 낮은 유기물질을 두겹게 형성한 평탄화막(PAC)을 형성한 후에, 공통 전극(COM)을 형성한다. 그리고 공통 전극(COM)을 덮는 제2 보호막(PA2)을 형성 한 후, 공통 전극(COM)과 중첩하는 화소 전극(PXL)을 제2 보호막(PA2) 위에 형성한다. 이러한 구조에서는 화소 전극(PXL)이 데이터 배선(DL)과 제1 보호막(PA1), 평탄화막(PAC), 그리고 제2 보호막(PA2)에 의해 이격되므로 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량을 줄일 수 있다.
- [0016] 공통 전극(COM)은 화소 영역의 형태에 대응하는 장방형으로 형성되고, 화소 전극(PXL)은 다수 개의 선분 형상으로 형성된다. 특히, 화소 전극(PXL)은 제2 보호막(PA2)을 사이에 두고 공통 전극(COM)과 수직 상으로 중첩하는 구조를 갖는다. 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드가 형성되어 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.
- [0017] 이와 같은 박막 트랜지스터 기판을 고 해상도 휴대용 액정 표시장치에 적용할 경우, 화소의 크기가 작아지므로, 단일 화소에서 충분한 광량을 확보하는 것이 필요하다. 하지만, 도 1 및 2에서 도시한 구조와 같은 박막 트랜지스터 기판은, 드레인 전극(D)은 드레인 콘택홀(DH)을 통해 화소 전극(PXL)과 접촉한다. 즉, 드레인 전극(D)이 화소 전극(PXL)의 영역을 향해 연장된 구조를 갖는다.
- [0018] 드레인 전극(D)이 화소 전극(PXL) 쪽으로 연장되어 드레인 콘택홀(DH)을 형성할 만한 충분한 공간을 확보하여야 한다. 이러한 드레인 콘택홀(DH)을 형성하기 위한 공간으로 인해 개구 영역을 결정하는 화소 전극(PXL)의 영역이 축소된다. 저 해상도의 경우, 드레인 콘택홀(DH)이 차지하는 면적 비율이 크게 문제되지 않는다. 하지만, 300ppi(pixel per inch) 이상의 초고 해상도 표시장치에서는 단일 화소의 크기가 현저히 줄어들기 때문에, 드레인 콘택홀(DH)의 크기도 개구율을 감소하는 데 큰 영향을 준다.
- [0019] 따라서, 화면의 크기가 비교적 작은 휴대용 표시장치에서 초고해상도를 구현하기 위한 액정 표시장치에서 고 개

구울을 확보할 수 있는 구조를 갖는 박막 트랜지스터 기관에 대한 필요성이 필요하다.

발명의 내용

해결하려는 과제

[0020] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, 화면의 크기가 비교적 작은 휴대용 표시장치에서 초고해상도를 구현하기 위한 액정 표시장치용 박막 트랜지스터 기관 및 그 제조 방법을 제공하는 데 있다. 본 발명의 다른 목적은, 고 개구율을 확보하기 위한 고 투과율을 갖는 초고해상도 액정표시장치용 박막 트랜지스터 기관 및 이를 단순하고 저렴한 비용으로 제조할 수 있는 방법을 제공하는 데 있다.

과제의 해결 수단

[0021] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 박막 트랜지스터 기관은, 기관 위에서 세로 방향으로 진행하며, 서로 이웃하여 배치된 n번째 및 (n+1)번째 데이터 배선들; 상기 기관 위에서 가로 방향으로 진행되는 게이트 배선들; 상기 이웃하는 두 개의 데이터 배선들과 상기 게이트 배선이 교차하는 부위에 서로 이웃하여 형성된 n번째 박막 트랜지스터와 (n+1)번째 박막 트랜지스터; 상기 기관 전체를 덮으며, 상기 n번째 박막 트랜지스터와 상기 (n+1)번째 박막 트랜지스터를 동시에 노출하는 패턴 홀이 형성된 평탄화 막; 상기 패턴 홀을 통해 상기 n번째 박막 트랜지스터와 연결되는 n번째 화소 전극; 그리고 상기 패턴 홀을 통해 상기 (n+1)번째 박막 트랜지스터와 연결되는 (n+1)번째 화소 전극을 포함한다.

[0022] 상기 n번째 화소 전극 및 (n+1)번째 화소 전극을 덮는 보호막; 그리고 상기 보호막 위에서 상기 화소 전극과 중첩하는 다수 개의 선분들을 구비하는 공통 전극을 더 포함하는 것을 특징으로 한다.

[0023] 상기 게이트 배선을 따라, 상기 n번째 및 (n+1)번째 박막 트랜지스터를 동시에 노출하는 상기 패턴 홀들 사이의 이격 거리는, 스페이서를 배치할 수 있는 충분한 간격을 갖는 것을 특징으로 한다.

[0024] 상기 박막 트랜지스터들 각각은, 상기 게이트 배선에서 분기된 게이트 전극; 상기 게이트 전극과 중첩하는 반도체 층; 상기 데이터 배선에서 분기되어 상기 반도체 층의 일측부와 접촉하는 소스 전극; 그리고 상기 소스 전극과 일정 거리 이격하고, 상기 반도체 층의 타측부와 접촉하는 드레인 전극을 포함하는 것을 특징으로 한다.

[0025] 상기 n번째 박막 트랜지스터는, 상기 게이트 배선으로부터 분기되어, 상기 이웃하는 두 개의 데이터 배선들과 상기 게이트 배선이 교차하는 부위에 형성된 n번째 게이트 전극을 포함하고, 상기 (n+1)번째 박막 트랜지스터는, 상기 게이트 배선으로부터 분기되어, 상기 이웃하는 두 개의 데이터 배선들과 상기 게이트 배선이 교차하는 부위에 형성된 (n+1)번째 게이트 전극을 포함하는 것을 특징으로 한다.

[0026] 상기 n번째 게이트 전극과 상기 (n+1)번째 게이트 전극은 하나의 몸체로 형성된 것을 특징으로 한다.

[0027] 또한, 본 발명에 의한 박막 트랜지스터 기관의 제조 방법은, 기관 위에 게이트 금속 물질을 도포하고 패턴하여, 가로 방향으로 진행되는 게이트 배선을 형성하는 제1 마스크 공정; 상기 게이트 배선 위에 게이트 절연 물질, 반도체 물질 및 소스 금속 물질을 연속으로 도포하고 패턴하여, 반도체 층, 그리고 상기 게이트 배선과 교차하며 서로 이웃하여 배치하도록 n번째 및 (n+1)번째 데이터 배선을 형성하는 제2 마스크 공정; 상기 데이터 배선 위에 평탄화 막을 도포하고 패턴하여, 상기 n번째 및 (n+1)번째 데이터 배선과 상기 게이트 배선이 교차하는 영역을 노출하는 패턴 홀을 형성하는 제3 마스크 공정; 그리고 상기 패턴 홀이 형성된 상기 기관 전체에 투명 도전 물질을 도포하고 패턴하여, 상기 데이터 배선에서 분기하는 소스 전극, 상기 소스 전극과 일정 거리 이격하는 드레인 전극, 그리고 상기 드레인 전극의 상층면과 접촉하며 연장된 화소 전극을 형성하는 제4 마스크 공정을 포함한다.

[0028] 상기 화소 전극이 형성된 상기 기관 위에 보호막을 도포하는 단계; 그리고 상기 보호막 위에 투명 도전 물질을 도포하고 패턴하여 상기 화소 전극과 중첩하는 다수 개의 선분을 구비한 공통 전극을 형성하는 제5 마스크 공정을 더 포함하는 것을 특징으로 한다.

[0029] 상기 제1 마스크 공정에서, 상기 게이트 배선에서 분기하여, 상기 n번째 및 (n+1)번째 데이터 배선들과 중첩하는 위치로 분기된 게이트 전극을 형성하고; 상기 제2 마스크 공정에서, 상기 게이트 전극과 중첩하며 상기 n번째 데이터 배선에서 분기하는 n번째 소스-드레인 요소, 그리고 상기 게이트 전극과 중첩하며 상기 (n+1)번째 데이터 배선에서 분기하는 (n+1)번째 소스-드레인 요소를 형성하고; 그리고 상기 제4 마스크 공정에서, 상기 투명 도전 물질과 함께 상기 소스-드레인 요소를 패턴하여, 상기 소스 전극, 상기 드레인 전극 및 상기 화소 전극을

형성하며, 상기 소스 전극과 상기 드레인 전극 사이에 노출되는 채널 영역을 정의하는 것을 특징으로 한다.

발명의 효과

[0030] 본 발명에 의한 고 투과율을 갖는 고 해상도 액정표시장치용 박막 트랜지스터 기판은 가로 방향으로 이웃하는 두 개의 박막 트랜지스터들이 근접하여 배치된 구조를 갖는다. 그리고, 이 근접한 박막 트랜지스터를 개방하도록 패턴 홀을 형성하고, 이 패턴 홀을 통해 드레인 전극과 화소 전극이 연결된다. 따라서, 화소 영역을 차지하는 화소 전극의 크기를 극대화할 수 있어, 초고해상도 화소 구조에서도 높은 개구율을 확보할 수 있다. 또한, 이웃하는 두 개의 박막 트랜지스터를 하나의 패턴 홀에 배치함으로써, 패턴 홀들 사이에 스페이서를 배치함으로써, 셀 간격을 균일하게 유지할 수 있다.

도면의 간단한 설명

[0031] 도 1은 종래의 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기판을 나타내는 평면도.
 도 2는 도 1에 도시한 박막 트랜지스터 기판을 절취선 I-I'선을 따라 자른 단면도.
 도 3은 본 발명의 제1 실시 예에 의한 고 투과율을 갖는 고 해상도 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도.
 도 4는 도 3에 도시한 박막 트랜지스터 기판을 절취선 II-II'을 따라 자른 단면도.
 도 5는 본 발명의 제2 실시 예에 의한 고 투과율을 갖는 고 해상도 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도.
 도 6은 도 5에 도시한 박막 트랜지스터 기판을 절취선 III-III'을 따라 자른 단면도.
 도 7a 내지 7f는, 도 5에서 절취선 III-III'으로 자른, 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판을 제조하는 방법을 나타내는 단면도들.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0033] 도 3은 본 발명의 제1 실시 예에 의한 고 투과율을 갖는 고 해상도 액정표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 4는 도 3에 도시한 박막 트랜지스터 기판을 절취선 II-II'을 따라 자른 단면도이다.

[0034] 도 3 및 4를 참조하면, 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기판은, 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL), 그 교차 구조에 의해 정의된 각 화소 영역 내에 형성된 박막 트랜지스터(T), 박막 트랜지스터(T)에 연결된 화소 전극(PXL), 그리고 제2 보호막(PA2)을 사이에 두고 화소 전극(PXL)과 중첩하는 공통 전극(COM)을 구비한다.

[0035] 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기된 게이트 전극(G), 데이터 배선(DL)에서 분기된 소스 전극(S), 소스 전극(S)과 대향하는 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하면서 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 층(A)을 포함한다.

[0036] 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PA2)을 사이에 두고 형성된 화소 전극(PXL)과 공통 전극(COM)을 구비한다. 공통 전극(COM)은 게이트 배선(GL)과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통 전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.

[0037] 공통 전극(COM)과 화소 전극(PXL)의 위치 및 모양은 설계 환경과 목적에 맞추어 다양하게 형성할 수 있다. 본 발명에서는, 제조 공정상의 편의성과 채널 영역 정의 및 형성 과정에서 채널 영역을 효율적으로 보호하도록 하기 위한 제조 공정법을 적용한다. 따라서, 화소 전극(PXL)을 먼저 형성하고, 그 위에 공통 전극(COM)을 형성한 구조를 갖는다. 제조 공정에 대해서는 본 발명의 가장 바람직한 실시 예인 제2 실시 예에서 설명한다.

[0038] 공통 전극(COM)은 일정한 기준 전압이 인가되는 반면, 화소 전극(PXL)은 구현하고자 하는 비디오 데이터에 따라 수시로 변화하는 전압 값이 인가된다. 따라서, 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량이 발생할

수 있다. 이러한 기생 용량으로 인해 화질에 문제를 야기할 수 있기 때문에, 유전율이 낮은 유기물질을 두겹게 형성한 평탄화막(PAC)으로 데이터 배선(DL) 및 박막 트랜지스터(T)를 덮는 것이 바람직하다.

[0039] 즉, 데이터 배선(DL) 및 박막 트랜지스터(T)를 덮는 제1 보호막(PA1) 위에 유전율이 낮은 유기물질을 두겹게 형성한 평탄화막(PAC)을 형성한 후에, 화소 전극(PXL)을 형성한다. 그리고 화소 전극(PXL)을 덮는 제2 보호막(PA2)을 형성한 후, 화소 전극(PXL)과 중첩하는 공통 전극(COM)을 제2 보호막(PA2) 위에 형성한다. 이러한 구조에서는 화소 전극(PXL)이 제1 보호막(PA1) 및 평탄화막(PAC)에 의해, 데이터 배선(DL)으로부터 이격되어 있으므로, 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량을 충분히 최소화할 수 있다.

[0040] 화소 전극(PXL)은 게이트 배선(GL)과 데이터 배선(DL)이 둘러싸면서 정의하는 화소 영역 내에서 최대한의 크기를 갖는 장방형의 형상을 갖는 것이 바람직하다. 공통 전극(COM)은 제2 보호막(PA2) 위에서 화소 어레이가 배치된 기관(SUB)의 대부분을 덮는 하나의 몸체로 형성되는 것이 바람직하다. 특히, 공통 전극(COM)은, 화소 영역 내에서는, 슬릿(COMSL)을 구비하여, 서로 평행한 다수 개의 선분 형상이 화소 전극(PXL)과 중첩하도록 형성하는 것이 바람직하다.

[0041] 즉, 화소 전극(PXL)은 제2 보호막(PA2)을 사이에 두고 공통 전극(COM)과 수직 상으로 중첩하는 구조를 갖는다. 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드가 형성되어 박막 트랜지스터 기관과 컬러 필터 기관 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.

[0042] 본 발명에서는 초고해상도를 갖는 소형 액정 표시패널에서 고 개구율을 확보하는 것을 주요 목적으로 한다. 특히, 드레인 전극(D)과 화소 전극(PXL)을 연결하는 콘택홀의 크기를 최소화하여 개구율을 높이는 것이 주요 특징이다.

[0043] 이를 위해, 본 발명의 제1 실시 예에서는, 제1 보호막(PA1) 및 평탄화 막(PAC) 중에서 박막 트랜지스터(T)를 개방하는 패턴 홀(PH)을 구비한다. 패턴 홀(PH)을 통해 드레인 전극(D)과 화소 전극(PXL)이 연결된다. 따라서, 드레인 전극(D)이 화소 영역으로 연장될 필요 없이, 최소한의 크기만으로 형성될 수 있다. 즉, 최소한의 크기로 박막 트랜지스터(T)를 형성하고, 화소 전극(PXL)이 박막 트랜지스터(T)의 드레인 전극(D)과 중첩하도록 형성된다. 그 결과, 화소 전극(PXL)의 크기를 화소 영역 내에서 최대한의 크기로 형성할 수 있다.

[0044] 본 발명의 제1 실시 예에서는 화소 전극(PXL)이 화소 영역 내에서 최대한의 면적 비율을 갖도록 하기 위한 방법으로, 박막 트랜지스터(T) 전체를 개방하는 패턴 홀(PH)을 통해 화소 전극(PXL)과 드레인 전극(D)을 연결하는 구조를 갖는다. 즉, 단일 박막 트랜지스터(T)의 크기에 대응하는 패턴 홀(PH)을 갖는다.

[0045] 일반적으로 액정 표시패널의 경우, 박막 트랜지스터 기관(TFTS)과 칼라 필터 기관(CFS)이 합착되고, 그 합착 간격을 유지하기 위한 스페이서(CS)가 배치된다. 대표적으로 스페이서(CS)에는 컬럼 스페이서와 볼 스페이서가 있다. 여기서는 편의상 컬럼 스페이서(CS)로 설명한다.

[0046] 또한, 스페이서(CS)는, 개구 영역을 차지하는 화소 전극(PXL)과는 중첩되지 않도록 배치하는 것이 중요하다. 예를 들어, 게이트 배선(GL) 혹은 데이터 배선(DL)과 중첩하도록 배치할 수 있다. 하지만 제일 바람직하게는 박막 트랜지스터(T) 위에 형성하는 것이 좋다. 스페이서(CS)의 크기는 대략 8~16 μm 의 폭을 갖는다. 특히, 컬럼 스페이서의 경우, 상부 변은 14~16 μm 의 폭을 갖고, 하부 변은 8~9 μm 의 폭을 갖는 역 테이퍼진 형태를 갖는다. 한편, 박막 트랜지스터(T)의 크기도 약 10x10 μm ~ 15x15 μm 의 사각형 형태를 갖는다.

[0047] 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기관에서, 스페이서(CS)를 박막 트랜지스터(T)와 중첩하도록 배치할 경우, 일부 스페이서(CS)가 박막 트랜지스터(T) 영역에 형성된 패턴 홀(PH)의 안으로 삽입될 수 있다. 그 결과, 박막 트랜지스터 기관과 컬러 필터 기관의 합착 간격이 일정하게 유지되지 않는 경우가 발생할 수 있다.

[0048] 이러한 문제 상황을 회피하기 위해, 박막 트랜지스터(T)들 사이의 게이트 배선(GL)과 중첩하도록 스페이서(CS)를 배치하는 것을 고려할 수 있다. 하지만, 초고해상도를 구현한 화소 배열에서는, 단위 화소의 크기가 줄어들어, 박막 트랜지스터(T)와 박막 트랜지스터(T) 사이의 간격이 8 μm 이하의 간격을 가질 수도 있다. 이 경우, 스페이서(CS)의 배치를 균일하고, 정확하게 설계하는 것이 어렵다. 즉, 일부 스페이서(CS)가 박막 트랜지스터(T)와 중첩하고, 스페이서(CS)가 높이를 일정하게 유지하지 못하는 경우가 발생할 수 있다.

[0049] 이하, 도 5 및 6을 참조하여, 제2 실시 예에서는 제1 실시 예에서 발생할 수 있는 액정 표시패널의 합착 간격을 일정하게 유지할 수 있는 박막 트랜지스터 기관을 설명한다. 도 5는 본 발명의 제2 실시 예에 의한 고 투과율

을 갖는 고 해상도 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 6은 도 5에 도시한 박막 트랜지스터 기판을 절취선 III-III'을 따라 자른 단면도이다.

- [0050] 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판은, 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL), 그 교차 구조에 의해 정의된 각 화소 영역 내에 형성된 박막 트랜지스터(T), 박막 트랜지스터(T)에 연결된 화소 전극(PXL), 그리고 제2 보호막(PA2)을 사이에 두고 화소 전극(PXL)과 중첩하는 공통 전극(COM)을 구비한다.
- [0051] 특히, 제2 실시 예에서는, 두 개의 데이터 배선(DL)들을 서로 근접하여 배치한다. 즉, 홀수 번째 데이터 배선과 짝수 번째 데이터 배선을 서로 근접하여 배치하여, 짝수번째 화소 열과 홀수번째 화소 열이 근접하여 배치하는 구조를 가질 수 있다. 예를 들어, 첫 번째 데이터 배선(DL1)과 두 번째 데이터 배선(DL2)이 서로 근접하고, 세 번째 데이터 배선(DL3)과 네 번째 데이터 배선(DL4)이 서로 근접하도록 배치할 수 있다.
- [0052] 이 경우, 첫 번째 데이터 배선(DL1)에 연결되고 첫 번째 화소 열에 할당된 첫 번째 박막 트랜지스터(T1)와 두 번째 데이터 배선(DL2)에 연결되고 두 번째 화소 열에 할당된 두 번째 박막 트랜지스터(T2)는 서로 배향(등을 맞댄 배치)하는 구조를 갖는다. 또한, 세 번째 데이터 배선(DL3)에 연결되고 세 번째 화소 열에 할당된 세 번째 박막 트랜지스터(T3)와 네 번째 데이터 배선(DL4)에 연결되고 네 번째 화소 열에 할당된 네 번째 박막 트랜지스터(T4)는 서로 배향(등을 맞댄 배치)하는 구조를 갖는다. 그 결과, 두 번째 화소 열에 배치된 두 번째 화소 영역(P2)과 세 번째 화소 열에 배치된 세 번째 화소 영역(P3)은 그 사이에 데이터 배선(DL) 없이 이웃하는 구조를 가질 수 있다.
- [0053] 홀수번째 박막 트랜지스터와 짝수번째 박막 트랜지스터가 서로 등을 맞대고 근접하여 배치되므로, 게이트 전극을 공유할 수 있다. 도 5에서와 같이, 첫 번째 박막 트랜지스터(T1)와 두 번째 박막 트랜지스터(T2)는 게이트 전극(G)을 공유하는 구조를 가질 수 있다. 이러한, 구조에서 박막 트랜지스터(T)를 노출하는 패턴 홀(PH)은 서로 배향하여 근접 배치된 홀수번째 박막 트랜지스터와 짝수번째 박막 트랜지스터를 동시에 노출하도록 형성할 수 있다. 도 5에서와 같이, 첫 번째 박막 트랜지스터(T1)와 두 번째 박막 트랜지스터(T2)가 하나의 패턴 홀(PH)에 의해 노출되는 구조를 가질 수 있다.
- [0054] 이 경우, 게이트 배선(GL)을 따라 이웃하는 두 패턴 홀(PH)의 이격 거리는 제1 실시 예의 경우와 비교해서 약 2배 정도의 이격 거리를 가질 수 있다. 따라서, 초고해상도를 구현한 화소 배열에서 단위 화소의 크기가 줄어도, 이웃하는 패턴 홀(PH)들 사이의 이격 거리는 최소한 12 μ m 이상을 유지할 수 있다. 즉, 패턴 홀(PH)의 간격은 스페이서(CS)의 하부 폭인 8~9 μ m보다 큰 공간을 확보한다. 따라서, 스페이서(CS)를 패턴 홀(PH)과 패턴 홀(PH) 사이의 게이트 배선(GL)과 중첩하도록 배치함으로써, 스페이서(CS)가 패턴 홀(PH)과 중첩되지 않도록 할 수 있다. 또한, 스페이서(CS)의 배치 밀도를 균일하게 설계할 수 있으며, 박막 트랜지스터 기판과 칼라 필터 기판 사이의 셀 갭(Cell Gap)을 전체 기판에 걸쳐 균일하게 유지할 수 있다.
- [0055] 이와 같이 본 발명의 제2 실시 예에서는, 게이트 배선(GL)을 따라 이웃하는 두 개의 화소 영역당 하나의 패턴 홀(PH)을 갖도록 배치함으로써, 패턴 홀(PH)과 패턴 홀(PH) 사이에 스페이서(CS)를 배치할 수 있는 충분한 공간을 확보할 수 있다. 그 결과, 스페이서(CS)가 셀 갭을 일정하게 유지할 수 있도록 균일한 분포로 형성할 수 있으므로, 스페이서(CS) 및 셀 갭 불량으로 인한 화면 얼룩을 방지할 수 있다.
- [0056] 이하, 도 7a 내지 7f를 참조하여, 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판을 제조하는 방법을 설명한다. 도 7a 내지 7f는, 도 5에서 절취선 III-III'으로 자른, 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판을 제조하는 방법을 나타내는 단면도들이다.
- [0057] 기판(SUB) 위에 게이트 금속 물질을 도포하고 제1 마스크 공정으로 패터하여 게이트 요소를 형성한다. 게이트 요소에는 기판(SUB)의 가로 방향으로 진행되는 게이트 배선(GL) 그리고, 게이트 배선(GL)에서 분기하는 게이트 전극(G)을 포함한다. 게이트 전극(G)은 이웃하는 두 개의 화소 영역에 걸쳐서 형성하는 것이 바람직하다. 특히, 첫 번째 화소 영역(P1)과 두 번째 화소 영역(P2)의 경계부에서 이 두 화소 영역들(P1, P2)에 걸쳐도록 게이트 전극(G)을 형성한다.
- [0058] 좀 더 구체적으로 설명하면, 첫 번째 화소 영역(P1)의 게이트 전극(G1)과 두 번째 화소 영역(P1)의 게이트 전극(G2)은 하나의 게이트 전극이 되도록 형성한다. 또한, 세 번째 화소 영역(P3)의 게이트 전극(G3)과 네 번째 화소 영역(P4)의 게이트 전극(G4)은 하나의 게이트 전극이 되도록 형성한다. (도 7a)

- [0059] 게이트 요소가 형성된 기판(SUB) 위에 게이트 절연막(GI)을 도포한다. 이어서, 게이트 절연막(GI) 위에, 반도체 물질과 소스-드레인 금속 물질을 연속으로 증착한다. 제2 마스크 공정으로 반도체 물질과 소스-드레인 금속 물질을 연속으로 패터닝하여, 게이트 전극(G)과 중첩하는 반도체 층(A)과 소스-드레인 요소를 형성한다. 소스-드레인 요소는 기판(SUB)의 세로 방향으로 진행하며 게이트 배선(GL)과 교차하는 데이터 배선(DL), 데이터 배선(DL)에서 게이트 전극(G)과 중첩하도록 분기된 소스-드레인 전극(SD)을 포함한다. 여기서, 소스-드레인 전극(SD)은 아직 분리되지 않고, 하나의 몸체로 형성되어 있다. 반도체 층(A)은 소스-드레인 요소와 동일한 형상으로 형성한다.
- [0060] 예를 들어, 첫 번째 화소 영역(P1)의 게이트 전극(G1) 위에는 첫 번째 소스-드레인 전극(SD1)과 첫 번째 반도체 층(A1)을, 두 번째 화소 영역(P2)의 게이트 전극(G2) 위에는 두 번째 소스-드레인 전극(SD2)과 두 번째 반도체 층(A2)을 형성한다. 즉, 첫 번째 화소 영역(P1)과 두 번째 화소 영역(P2)의 경계부에 형성된 하나의 게이트 전극(G) 위에, 첫 번째 소스-드레인 전극(SD1)과 첫 번째 반도체 층(A1), 그리고 두 번째 소스-드레인 전극(SD2)과 두 번째 반도체 층(A2)이 이웃하여 형성된다.
- [0061] 마찬가지로, 세 번째 화소 영역(P3)의 게이트 전극(G3) 위에는 세 번째 소스-드레인 전극(SD3)과 세 번째 반도체 층(A3)을, 네 번째 화소 영역(P4)의 게이트 전극(G4) 위에는 네 번째 소스-드레인 전극(SD4)과 네 번째 반도체 층(A4)을 형성한다. 즉, 세 번째 화소 영역(P3)과 네 번째 화소 영역(P4)의 경계부에 형성된 하나의 게이트 전극(G) 위에, 세 번째 소스-드레인 전극(SD3)과 세 번째 반도체 층(A3), 그리고 네 번째 소스-드레인 전극(SD4)과 네 번째 반도체 층(A4)이 이웃하여 형성된다. (도 7b)
- [0062] 소스-드레인 요소 위에 제1 보호막(PA1)과 평탄화 막(PAC)을 연속으로 도포한다. 제3 마스크 공정으로 제1 보호막(PA1)과 평탄화 막(PAC)을 패터닝하여, 박막 트랜지스터(T)를 노출하는 패턴 홀(PH)을 형성한다. 예를 들어, 패턴 홀(PH)은 첫 번째 화소 영역(P1)에 배치된 첫 번째 박막 트랜지스터(T1)와 두 번째 화소 영역(P2)에 배치된 두 번째 박막 트랜지스터(T2)를 동시에 노출하도록 형성한다. 마찬가지로, 세 번째 화소 영역(P3)에 배치된 세 번째 박막 트랜지스터(T3)와 네 번째 화소 영역(P4)에 배치된 네 번째 박막 트랜지스터(T4)를 동시에 노출하도록, 패턴 홀(PH)을 형성한다. (도 7c)
- [0063] 패턴 홀(PH)들이 형성된 기판(SUB) 전체 표면 위에 인듐-주석 산화물(Indium-Tin-Oxide; ITO) 및 인듐-아연-산화물(Indium-Zinc-Oxide; IZO)과 같은투명 도전 물질을 도포한다. 제4 마스크 공정으로, 투명 도전 물질과 소스-드레인 전극을 동시에 패터닝하여, 채널 영역을 정의하도록 소스 전극(S) 및 드레인 전극(D)을 형성함과 동시에, 드레인 전극(D)에 연결된 화소 전극(PXL)을 형성한다.
- [0064] 예를 들어, 첫 번째 반도체 층(A1) 위에 형성된 첫 번째 소스-드레인 전극(SD1)을 분리하여 첫 번째 소스 전극(S1)과 첫 번째 드레인 전극(D1)을 형성한다. 특히, 첫 번째 드레인 전극(D1) 위에는 투명 도전 물질이 적층되어 있으므로, 화소 영역으로 연장되는 첫 번째 화소 전극(PXL1)을 동시에 형성할 수 있다. 마찬가지로, 두 번째 반도체 층(A2) 위에 형성된 두 번째 소스-드레인 전극(SD2)을 분리하여 두 번째 소스 전극(S2)과 두 번째 드레인 전극(D2)을 형성하고, 두 번째 드레인 전극(D2)과 접촉하는 두 번째 화소 전극(PXL2)을 형성한다. 이하, 세 번째 및 네 번째 화소 영역에도 각각 세 번째 소스 전극(S3), 세 번째 드레인 전극(D3) 및 세 번째 화소 전극(PXL3)이, 그리고 네 번째 소스 전극(S4), 네 번째 드레인 전극(D4) 및 네 번째 화소 전극(PXL4)을 형성한다.
- [0065] 화소 전극들(PXL)이 패턴 홀(PH)을 통해 직접 드레인 전극(D)과 접촉되기 때문에, 드레인 전극(D) 자체가 화소 전극(PXL)과 접촉하기 위해 연장되지 않으며, 드레인 전극(D)을 노출하기 위한 콘택홀 영역을 확보할 필요가 없다. 즉, 박막 트랜지스터를 노출하는 패턴 홀(PH)에 의해 드레인 전극(D) 자체가 노출되고, 화소 전극(PXL)이 노출된 드레인 전극(D) 상부와 직접 접촉된다. 따라서, 화소 전극(PXL)의 크기를 극대화하여, 초고해상도 액정 표시패널에서 고 개구율을 확보할 수 있다. (도 7d)
- [0066] 화소 전극들(PXL1 ~ PXL4)이 형성된 기판(SUB) 전체를 덮도록 제2 보호막(PA2)을 형성한다. 이어서, 제2 보호막(PA2) 전체 표면 위에 인듐-주석 산화물(Indium-Tin-Oxide; ITO) 및 인듐-아연-산화물(Indium-Zinc-Oxide; IZO)과 같은투명 도전 물질을 도포한다. 제5 마스크 공정으로, 투명 도전 물질을 패터닝하여 공통 전극(COM)을 형성한다. 공통 전극(COM)은 기판(SUB)의 상부 표면 전체를 덮는 하나의 몸체로 형성한다. 다만, 화소 영역에서는 화소 전극(PXL)과의 사이에서 프린지 필드를 만들 수 있도록, 슬릿(COMSL)을 형성함으로써, 서로 평행한 다수 개의 선분 형상을 갖도록 형성한다. (도 7e)
- [0067] 이와 같이 형성한 박막 트랜지스터 기판(TFTS)은 칼라 필터가 형성된 칼라 필터 기판(CFS)과 일정 간격(셀 갭; Cell Gap)을 두고 합착한다. 셀 갭을 일정하게 유지하도록 하기 위해 칼라 필터 기판(CFS) 혹은 박막 트랜지스

터 기관(TFTS)에 스페이서(CS)를 형성한다. 본 발명의 제2 실시 예에서는 스페이서(CS)를 게이트 배선(GL)을 따라 이웃하는 두 개의 패턴 홀들(PH) 사이에 배치한다. (도 7f)

[0068] 이로써, 초고해상도를 갖는 휴대용 액정 표시패널에서 각 단위 화소당 화소 전극(PXL)의 크기를 최대한 확보할 수 있다. 또한, 스페이서(CS)를 균일한 분포로 동일한 위치에 배치할 수 있으므로, 셀 갭을 일정하게 유지하여 표시 품질을 양호하게 확보할 수 있다.

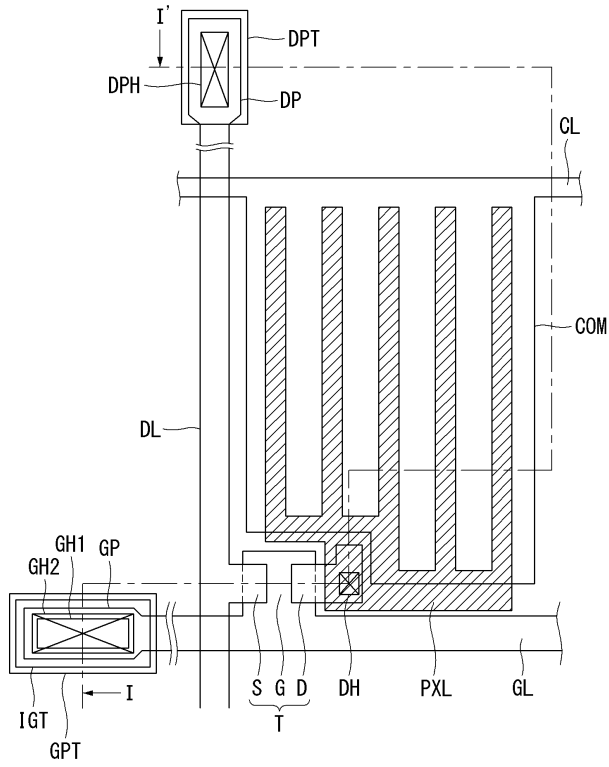
[0069] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

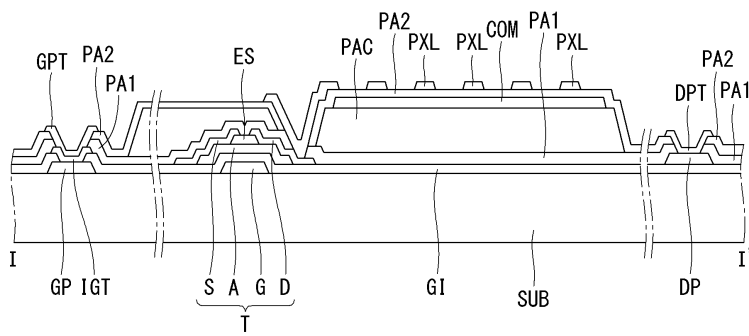
[0070] T: 박막 트랜지스터 SUB: 기관
 GL: 게이트 배선 CL: 공통 배선
 DL: 데이터 배선 PXL: 화소 전극
 COM: 공통 전극 GP: 게이트 패드
 DP: 데이터 패드 GPT: 게이트 패드 단자
 DPT: 데이터 패드 단자 IGT: 게이트 패드 중간 단자
 GPH: 게이트 패드 콘택홀 GH1: 제1 게이트 패드 콘택홀
 GH2: 제2 게이트 패드 콘택홀 DPH: 데이터 패드 콘택홀
 G: 게이트 전극 S: 소스 전극
 D: 드레인 전극 A: 반도체 채널 층
 GI: 게이트 절연막 DH: 드레인 콘택홀
 PA1: 제1 보호막 PA2: 제2 보호막
 PAC: 평탄화 막 ES: 에치 스톱퍼
 PH: 패턴 홀 CS: 스페이서
 TFTS: 박막 트랜지스터 기관 CFS: 칼라 필터 기관

도면

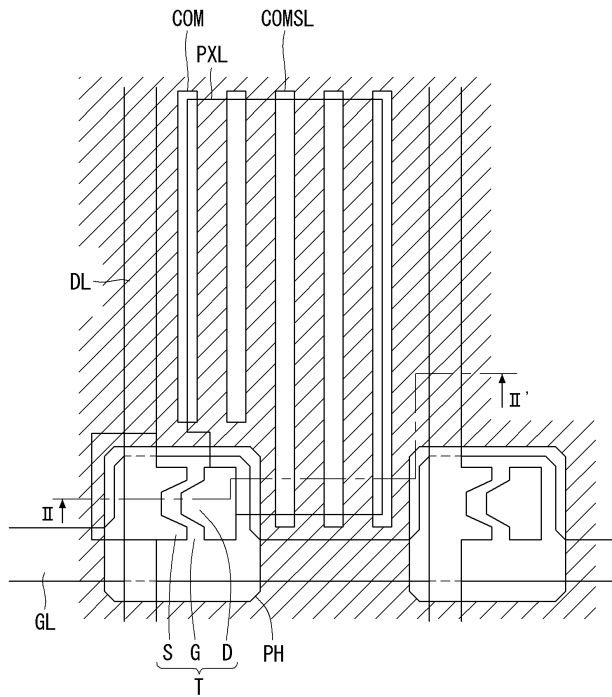
도면1



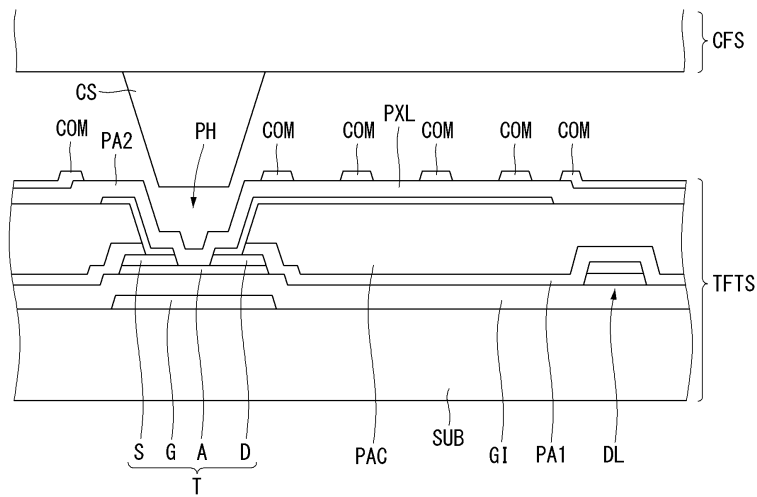
도면2



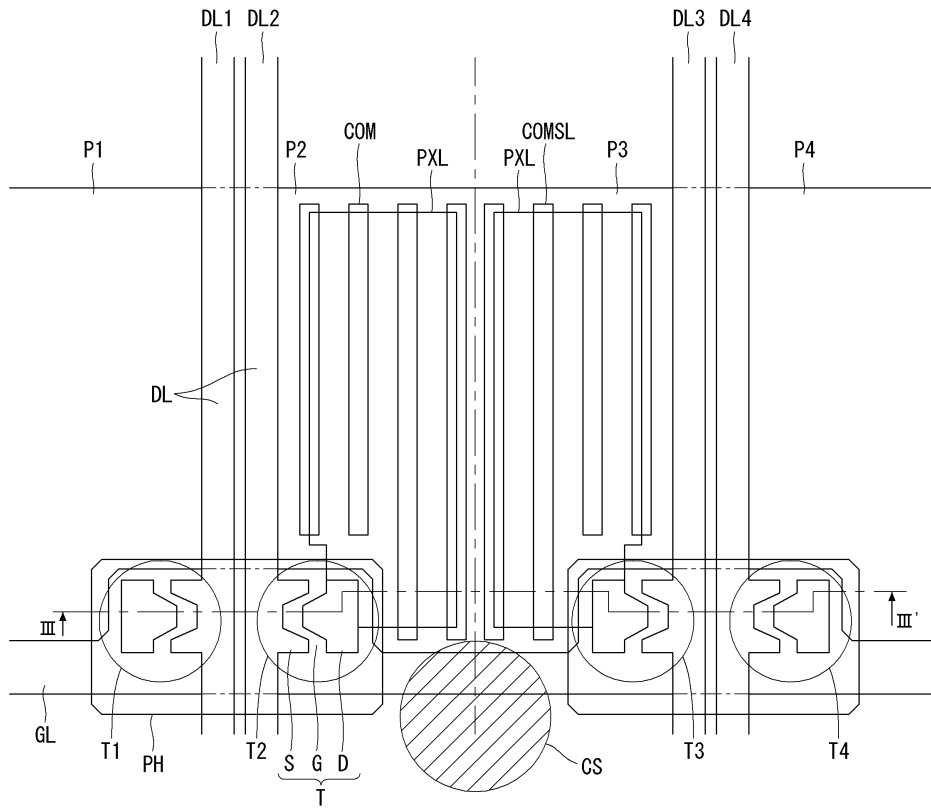
도면3



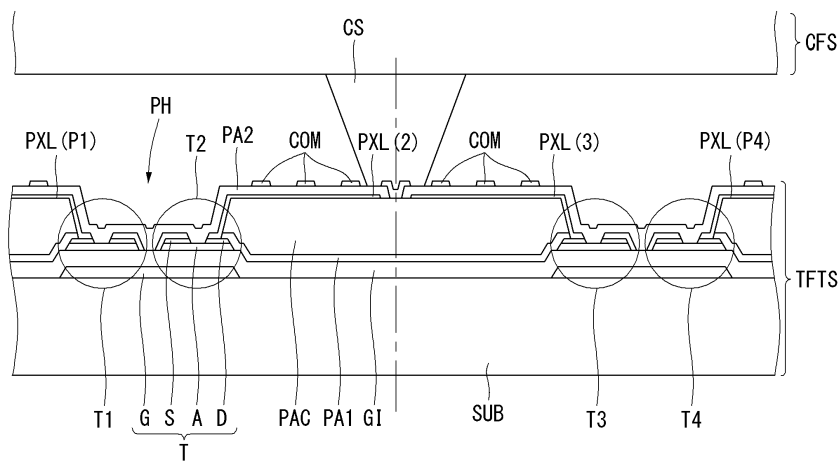
도면4



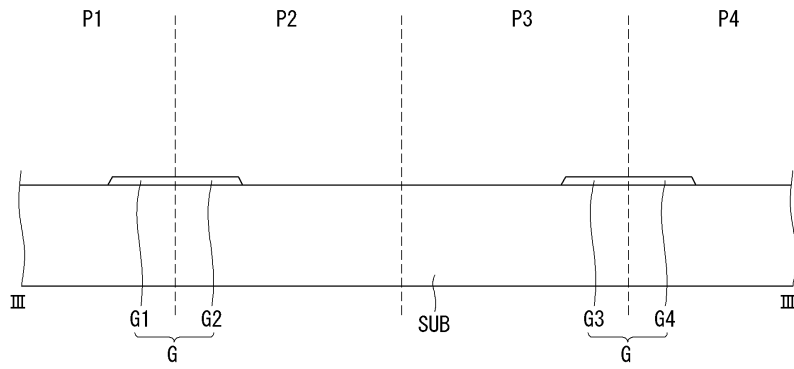
도면5



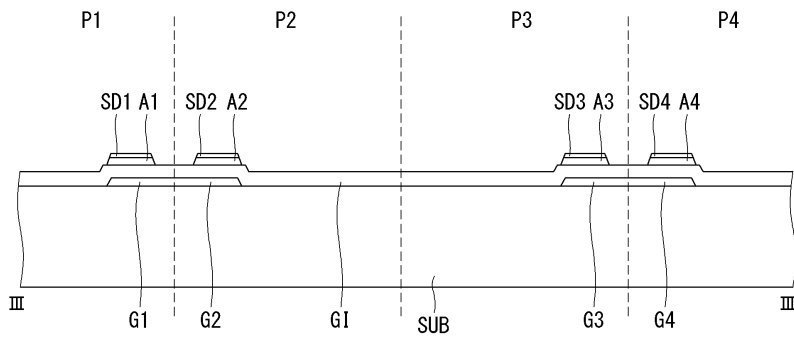
도면6



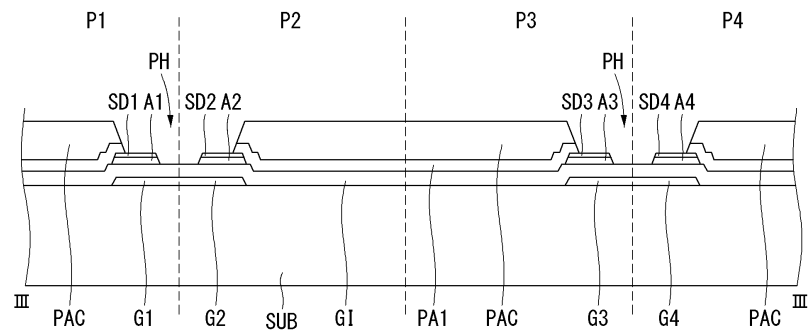
도면7a



도면7b



도면7c



专利名称(译)	标题：用于具有高透射率的高分辨率液晶显示装置的薄膜晶体管基板及其制造方法		
公开(公告)号	KR1020150057027A	公开(公告)日	2015-05-28
申请号	KR1020130139811	申请日	2013-11-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN JUNG EUN 안정은 JUNG BO YOUNG 정보영		
发明人	안정은 정보영		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/136227 G02F1/136286 G02F1/1368 H01L27/124		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于具有高透射率的高分辨率液晶显示装置的薄膜晶体管基板及其制造方法。根据本发明的薄膜晶体管基板包括：在基板上沿垂直方向排列的第n和第(n+1)条数据线，并且彼此相邻布置；栅极布线在基板上沿横向延伸；其中，多条栅极线形成在两条相邻数据线和栅极线彼此交叉的区域中第n个薄膜晶体管和第(n+1)个薄膜晶体管彼此相邻形成；一种平坦化层，覆盖整个基板并具有图案孔，用于同时曝光第n个薄膜晶体管和第(n+1)个薄膜晶体管；第n像素电极通过图案孔连接到第n薄膜晶体管；第(N+1)像素通过图案孔连接到第(n+1)薄膜晶体管，它包括一个电极。

