



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0035029
(43) 공개일자 2013년04월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2011-0099242

(22) 출원일자 2011년09월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유상희

경기도 파주시 금촌동 새꽃마을아파트 102동 140
4호

현혜린

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정
다운마을 104동 1218호

(74) 대리인

특허법인네이트

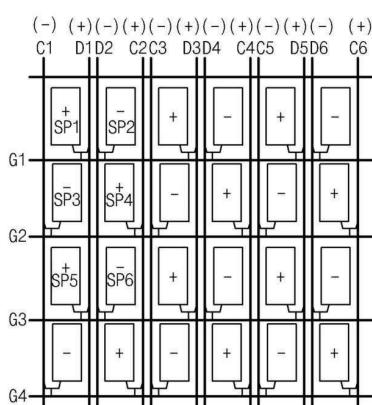
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요 약

본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 수직 공통배선을 적용하고, 이웃하는 데이터 배선과 수직 공통배선을 통해 다수의 부화소영역의 화소전극에 데이터 전압을 인가하여 액정표시장치의 소비전력을 줄이는 것을 특징으로 한다.

대 표 도 - 도6



특허청구의 범위

청구항 1

다수의 부화소영역을 포함하는 액정패널과;

다수의 게이트 배선을 통해 게이트 신호를 상기 액정패널로 공급하는 게이트 드라이버와;

다수의 데이터 배선 또는 다수의 수직 공통 배선을 통해 데이터 신호를 상기 액정패널로 공급하는 소스 드라이버를 포함하며,

다수의 홀수번째 게이트 배선에 연결되는 부화소영역의 화소전극에는 데이터 배선을 통해 상기 데이터 신호가 전달되는 동시에, 상기 부화소영역의 공통전극에는 수직 공통 배선을 통해 공통 전압이 인가되고,

다수의 짝수번째 게이트 배선에 연결되는 부화소영역의 화소전극에는 상기 수직 공통 배선을 통해 상기 데이터 신호가 전달되는 동시에, 상기 부화소영역의 공통전극에는 상기 데이터 배선을 통해 상기 공통 전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 소스 드라이버는 다수의 드라이버 IC를 포함하며,

상기 다수의 드라이버 IC는 상기 데이터 배선 또는 상기 수직 공통 배선을 통해 상기 데이터 신호를 상기 액정 패널로 전달하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 게이트 드라이버는,

상기 다수의 홀수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하는 제 1 게이트구동부와;

상기 다수의 짝수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하는 제 2 게이트구동부

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 제 1 게이트구동부와 상기 제 2 게이트구동부를 제어하기 위한 제 1 및 제 2 구동제어신호를 공급하는 타이밍 제어부를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 부화소영역 각각에 형성되는 박막트랜지스터를 포함하는 액정표시장치의 구동방법에 있어서,

다수의 홀수번째 게이트 배선에 연결되는 박막트랜지스터에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온시키는 단계와;

상기 박막트랜지스터가 턴-온되는 동안에, 데이터 배선을 통해 상기 박막트랜지스터에 연결되는 화소전극에 데이터 전압을 인가하는 단계와;

상기 수직 공통 배선을 통해 상기 부화소영역의 공통전극에 공통 전압을 인가하는 단계와;

다수의 짝수번째 게이트 배선에 연결되는 박막트랜지스터에 상기 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온시키는 단계와;

상기 박막트랜지스터가 턴-온되는 동안에, 수직 공통 배선을 통해 상기 박막트랜지스터에 연결되는 화소전극에 상기 데이터 전압을 인가하는 단계와;

상기 데이터 배선을 통해 상기 부화소영역의 공통전극에 상기 공통 전압을 인가하는 단계

를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 6

제5항에 있어서,

상기 다수의 홀수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하도록 제 1 구 동제어신호를 전달하는 단계와;

상기 다수의 짝수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하도록 제 2 구 동제어신호를 전달하는 단계

를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

기술 분야

[0001]

본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 보다 상세하게는 수직 공통배선을 적용하고, 이웃하는 데이터 배선과 수직 공통배선을 통해 다수의 부화소영역의 화소전극에 데이터 전압을 인가하여 액정표시장치의 소비전력을 줄일 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

배경기술

[0002]

최근 정보화 사회가 발전함에 따라 디스플레이 분야에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 박형화, 경량화, 저소비 전력화 등의 특징을 지닌 여러 평판 표시 장치(Flat Panel Display device), 예를 들어, 액정표시장치(Liquid Crystal Display device), 플라즈마표시장치(Plasma Display Panel device), 전기 발광표시장치(Electro Luminescent Display device) 등이 연구되고 있다.

[0003]

이 중에서 액정표시장치는 현재 가장 널리 사용되는 평판 표시 장치 중 하나이며, 화소전극과 공통전극 등이 형성되는 두 기판과, 두 기판 사이의 액정층을 포함한다.

[0004]

이러한 액정표시장치는, 전극에 인가된 전압에 의해 생성된 전기장에 따라 액정층의 액정분자들의 배향을 결정하고, 입사광의 편광을 제어하여 영상을 표시한다.

[0005]

그리고, 액정표시장치는 동화상 표시에 유리하고 높은 콘트라스트비(contrast ratio)로 인하여 기존의 음극선관(Cathode Ray Tube)을 대체하면서 이동 단말기의 표시장치(노트북 모니터 등)뿐만 아니라 컴퓨터의 모니터, 텔레비전 등으로 다양하게 이용되고 있다.

[0006]

도1은 일반적인 액정표시장치의 부화소영역의 등가회로를 개략적으로 도시한 도면이고, 도2는 종래의 액정패널을 개략적으로 도시한 도면이며, 도3은 종래의 액정패널의 구동을 설명하기 위해 참조되는 도면이고, 도4는 종

래의 어레이 기판의 일부를 도시한 평면도이다.

[0007] 도1에 도시한 바와 같이, 액정표시장치에는 서로 교차하여 부화소영역(SP)을 정의하는 게이트 배선(GL) 및 데이터 배선(DL)이 형성된다.

[0008] 그리고, 각 부화소영역(SP)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 액정커패시터(ClC)와 스토리지 커패시터(Cst) 등이 형성된다.

[0009] 구체적으로 설명하면, 액정커패시터(ClC)와 스토리지 커패시터(Cst)의 일단은 박막트랜지스터(T)의 소스전극에 연결되고, 그 타단은 공통배선(미도시)에 연결된다.

[0010] 액정커패시터(ClC)는, 액정을 사이에 두고 대면하는 공통 전극(미도시)과 박막트랜지스터(T)에 접속된 화소전극(미도시)으로 구성된다.

[0011] 박막트랜지스터(T)는, 게이트 배선(GL)을 통해 게이트 신호에 의해 온/오프가 제어된다.

[0012] 예를 들어, 게이트 배선(GL)을 통해 게이트 하이 전압(Vgh)을 공급 받는 경우에는 박막트랜지스터(T)가 턴-온(Turn-On)되고, 게이트 로우 전압(Vgl)을 공급 받는 경우에는 박막트랜지스터(T)가 턴-오프(Turn-Off)된다.

[0013] 그리고, 박막트랜지스터(T)가 턴-온(Turn-On)되는 시간 동안에 데이터 배선(DL)을 통해 데이터 전압(Vd)이 액정커패시터(ClC)에 공급된다.

[0014] 이와 같이, 박막트랜지스터(T)를 통해 화소전극에 충전되는 데이터 신호에 따라 액정의 배열 상태가 변하여 광투과율을 조절함으로써 제조를 구현하게 된다.

[0015] 스토리지 캐퍼시터(Cst)는, 액정커패시터(ClC)에 충전된 데이터 신호를 다음 프레임까지 유지시키는 역할을 한다.

[0016] 도2에 도시한 바와 같이, 종래의 액정패널은, 다수의 게이트 배선(G1~G6) 및 다수의 데이터 배선(D1~D4)에 의해 정의되는 다수의 부화소영역(SP)을 포함한다.

[0017] 다수의 부화소영역(SP)은, 예를 들어, 적, 녹, 청 부화소영역일 수 있으며, 가로방향(수평방향)으로 순차적으로 배치될 수 있다.

[0018] 종래의 액정패널은 가로방향(수평방향)으로 이웃하는 세 개의 부화소영역을 포함하는 화소영역마다 두 개의 데이터 배선을 공유하는 구조로 되어 있다.

[0019] 예를 들어, 제 1 부화소영역(SP1)의 박막트랜지스터는 제 1 게이트 배선(G1) 및 제 1 데이터 배선(D1)에 연결되고, 제 2 부화소영역(SP2)의 박막트랜지스터는 제 2 게이트 배선(G2) 및 제 2 데이터 배선(D2)에 연결되고, 제 3 부화소영역(SP3)의 박막트랜지스터는 제 1 게이트 배선(G1) 및 제 2 데이터 배선(D2)에 연결된다.

[0020] 즉, 제 1 내지 제 3 부화소영역(SP1~SP3)은 제 1 및 제 2 데이터 배선(D1, D2)을 공유하여 구동된다.

[0021] 그리고, 제 4 부화소영역(SP4)의 박막트랜지스터는 제 3 게이트 배선(G3) 및 제 1 데이터 배선(D1)에 연결되고, 제 5 부화소영역(SP5)의 박막트랜지스터는 제 2 게이트 배선(G2) 및 제 2 데이터 배선(D2)에 연결되고, 제 6 부화소영역(SP6)의 박막트랜지스터는 제 3 게이트 배선(G3) 및 제 2 데이터 배선(D2)에 연결된다.

[0022] 마찬가지로, 제 4 내지 제 5 부화소영역(SP4~SP6)은 제 1 및 제 2 데이터 배선(D1, D2)을 공유하여 구동된다.

[0023] 한편, 도3에 도시한 바와 같이, 종래의 소스 드라이버의 출력은 도트 반전 방식으로서, 제 1 내지 제 4 데이터 배선(D1~D4)을 통해 전달되는 데이터 신호의 극성은 부화소영역마다 달라진다.

[0024] 예를 들어, 제 1 및 제 3 데이터 배선(D1, D3)을 통해서는 먼저 정극성(+)의 데이터 신호가 전달되고, 이후에 부극성(-)의 데이터 신호와 정극성(+)의 데이터 신호를 교대로 부화소영역마다 전달된다.

[0025] 반면에, 제 2 및 제 4 데이터 배선(D2, D4)을 통해서는 먼저 부극성(-)의 데이터 신호가 전달되고, 이후에 정극성(+)의 데이터 신호와 부극성(-)의 데이터 신호를 교대로 부화소영역마다 전달된다.

[0026] 하지만, 종래의 액정패널은 제 1 내지 제 6 부화소영역(SP1~SP6)이 제 1 및 제 2 데이터 배선(D1, D2)을 공유하는 구조이기 때문에, 각각의 데이터 배선을 통해 전달되는 데이터 신호는 세로방향(수직방향)으로 인접하는 부화소영역에 순서대로 전달되지 아니한다.

[0027] 그 결과 도시한 바와 같이, 소스 드라이버의 출력은 도트 반전 방식으로 출력되나, 액정패널에서는 수직 2도트

반전 방식으로 표시된다.

- [0028] 한편, 종래의 액정표시장치는 도2에 도시한 바와 같이, 데이터 배선과 평행한 수직 공통 배선(Vcom)을 적용하고 있다.
- [0029] 이때, 수직 공통 배선은 다수의 부화소영역이 두 개의 데이터 배선을 공유하도록 하고 여분의 데이터 배선 위치에 형성된다.
- [0030] 이와 같이 수직 공통 배선(Vcom)을 적용하게 되면, 게이트 배선과 평행한 수평 공통 배선을 적용하는 경우와 비교하여 공통 전압을 안정적으로 공급할 수 있어 결과적으로 액정표시장치의 화질이 개선될 수 있다.
- [0031] 그런데, 도4에 도시한 바와 같이, 종래의 어레이 기판에는 다수의 부화소영역(SP1~SP3)가 비대칭적으로 형성되어 있다.
- [0032] 그 결과 종래의 액정표시장치는 시감차가 발생하는 문제점이 있었다.
- [0033] 그리고, 구동을 살펴보면, 화질 측면에서는 도트 반전 방식이 수직라인(Column) 반전 방식에 비해 유리한 반면에, 소비전력 측면에서는 한 프레임 동안에 동일한 극성의 데이터 신호가 인가되는 수직라인(Column) 반전 방식이 도트 반전 방식에 비해 유리하다.
- [0034] 그런데, 종래의 소스 드라이버의 출력은 도트 반전 방식으로 출력되나, 액정패널에서는 수직 2도트 반전 방식으로 표시되기 때문에 종래의 액정표시장치는 소비전력 및 화질 측면 모두 유리하지 못한 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0035] 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 수직 공통배선을 적용하고, 이웃하는 데이터 배선과 수직 공통배선을 통해 다수의 부화소영역의 화소전극에 데이터 전압을 인가함에 따라 액정표시장치의 소비전력을 줄일 수 있는 액정표시장치 및 그 구동방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0036] 상기한 바와 같은 목적을 달성하기 위한 액정표시장치는, 다수의 부화소영역을 포함하는 액정패널과; 다수의 게이트 배선을 통해 게이트 신호를 상기 액정패널로 공급하는 게이트 드라이버와; 다수의 데이터 배선 또는 다수의 수직 공통 배선을 통해 데이터 신호를 상기 액정패널로 공급하는 소스 드라이버를 포함하며, 다수의 홀수번째 게이트 배선에 연결되는 부화소영역의 화소전극에는 데이터 배선을 통해 상기 데이터 신호가 전달되는 동시에, 상기 부화소영역의 공통전극에는 수직 공통 배선을 통해 공통 전압이 인가되고, 다수의 짹수번째 게이트 배선에 연결되는 부화소영역의 화소전극에는 상기 수직 공통 배선을 통해 상기 데이터 신호가 전달되는 동시에, 상기 부화소영역의 공통전극에는 상기 데이터 배선을 통해 상기 공통 전압이 인가되는 것을 특징으로 한다.
- [0037] 여기서, 상기 소스 드라이버는 다수의 드라이버 IC를 포함하며, 상기 다수의 드라이버 IC는 상기 데이터 배선 또는 상기 수직 공통 배선을 통해 상기 데이터 신호를 상기 액정패널로 전달하는 것이 바람직하다.
- [0038] 한편, 상기 게이트 드라이버는, 상기 다수의 홀수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하는 제 1 게이트구동부와; 상기 다수의 짹수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하는 제 2 게이트구동부를 포함할 수 있다.
- [0039] 그리고, 본 발명에 따른 액정표시장치는 상기 제 1 게이트구동부와 상기 제 2 게이트구동부를 제어하기 위한 제 1 및 제 2 구동제어신호를 공급하는 타이밍 제어부를 더 포함하는 것이 바람직하다.

- [0040] 상기한 바와 같은 목적을 달성하기 위한 본 발명에 실시예에 따른 액정표시장치의 구동방법은, 서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 부화소영역 각각에 형성되는 박막트랜지스터를 포함하는 액정표시장치의 구동방법에 있어서, 다수의 홀수번째 게이트 배선에 연결되는 박막트랜지스터에 게이트 신호를 공급하여 상

기 박막트랜지스터를 턴-온 시키는 단계와; 상기 박막트랜지스터가 턴-온되는 동안에, 데이터 배선을 통해 상기 박막트랜지스터에 연결되는 화소전극에 데이터 전압을 인가하는 단계와; 상기 수직 공통 배선을 통해 상기 부화소영역의 공통전극에 공통 전압을 인가하는 단계와; 다수의 짹수번째 게이트 배선에 연결되는 박막트랜지스터에 상기 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와; 상기 박막트랜지스터가 턴-온되는 동안에, 수직 공통 배선을 통해 상기 박막트랜지스터에 연결되는 화소전극에 상기 데이터 전압을 인가하는 단계와; 상기 데이터 배선을 통해 상기 부화소영역의 공통전극에 상기 공통 전압을 인가하는 단계를 포함하는 것을 특징으로 한다.

[0041] 여기서, 본 발명에 실시예에 따른 액정표시장치의 구동방법은, 상기 다수의 홀수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하도록 제 1 구동제어신호를 전달하는 단계와; 상기 다수의 짹수번째 게이트 배선을 통해 상기 게이트 신호를 순차적으로 상기 액정패널로 인가하도록 제 2 구동제어신호를 전달하는 단계를 더 포함할 수 있다.

발명의 효과

[0042] 이상 설명한 바와 같이, 본 발명에 따른 액정표시장치 및 그 구동방법에서는, 수직 공통배선을 적용하고, 이웃하는 데이터 배선과 수직 공통배선을 통해 다수의 부화소영역의 화소전극에 데이터 전압을 인가함에 따라 데이터 배선의 로드 및 구동 전압을 줄일 수 있다.

[0043] 그 결과 액정표시장치의 소비전력을 줄일 수 있다.

도면의 간단한 설명

[0044] 도1은 일반적인 액정표시장치의 부화소영역의 등가회로를 개략적으로 도시한 도면이다.

도2는 종래의 액정패널을 개략적으로 도시한 도면이다.

도3은 종래의 액정패널의 구동을 설명하기 위해 참조되는 도면이다.

도4는 종래의 어레이 기판의 일부를 도시한 평면도이다.

도5는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.

도6은 본 발명의 실시예에 따른 액정패널을 개략적으로 도시한 도면이다.

도7 및 도8은 본 발명의 실시예에 따른 액정패널의 구동을 프레임 단위로 설명하기 위해 참조되는 도면이다.

도9 및 도10은 본 발명의 액정패널의 구동에 따른 게이트 신호 인가를 설명하기 위해 참조되는 도면이다.

도11은 종래의 액정패널의 구동에 대한 시뮬레이션 결과를 도시한 도면이다.

도12는 본 발명의 액정패널의 구동에 대한 시뮬레이션 결과를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0045] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0046] 도5는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이고, 도6은 본 발명의 실시예에 따른 액정패널을 개략적으로 도시한 도면이며, 도7 및 도8은 본 발명의 실시예에 따른 액정패널의 구동을 프레임 단위로 설명하기 위해 참조되는 도면이다.

[0047] 도5에 도시한 바와 같이, 본 발명에 따른 액정표시장치(100)는, 액정패널(110)과 소스 드라이버(120), 게이트 드라이버(130)와, 소스 드라이버(120) 및 게이트 드라이버(130) 각각의 구동 타이밍을 제어하기 위한 타이밍 제어부(140) 등을 포함할 수 있다.

[0048] 액정패널(110)은, 다수의 게이트 배선(GL) 및 다수의 데이터 배선(DL)이 서로 교차하여 정의되는 다수의 부화소영역(SP)을 포함할 수 있다.

- [0049] 여기서, 각 부화소영역(SP)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 액정커패시터(Cl_c)와 스토리지 커패시터(Cst) 등이 형성될 수 있다.
- [0050] 구체적으로 설명하면, 액정커패시터(Cl_c)와 스토리지 커패시터(Cst)의 일단은 박막트랜지스터(T)의 소스전극에 연결되고, 그 타단은 공통배선(미도시)에 연결된다.
- [0051] 박막트랜지스터(T)는 게이트 배선(GL)을 통해 게이트신호에 의해 온/오프가 제어된다.
- [0052] 예를 들어, 게이트 배선(GL)을 통해 게이트 하이 전압(Vgh)을 공급 받는 경우에는 박막트랜지스터(T)가 턴-온(Turn-On)되고, 게이트 로우 전압을 공급 받는 경우에는 박막트랜지스터(T)가 턴-오프(Turn-Off)된다.
- [0053] 이때, 박막트랜지스터(T)는 문턱전압 이상이 되면 턴-온(Turn-On)된다.
- [0054] 그리고, 박막트랜지스터(T)가 턴-온(Turn-On)되는 시간 동안에 데이터 배선(DL)을 통해 데이터 신호가 액정커패시터(Cl_c)에 공급된다.
- [0055] 이때, 액정커패시터(Cl_c)는 액정을 사이에 두고 대면하는 공통 전극(미도시)과 박막트랜지스터(T)에 접속된 화소전극(미도시)으로 구성된다.
- [0056] 이와 같이, 박막트랜지스터(T)를 통해 화소전극에 충전되는 데이터 신호에 따라 액정의 배열 상태가 변하여 광투과율을 조절함으로써 계조를 구현하게 된다.
- [0057] 그리고, 스토리지 캐퍼시터(Cst)는, 액정커패시터(Cl_c)에 충전된 데이터 신호를 다음 프레임까지 유지시키는 역할을 한다.
- [0058] 도6에 도시한 바와 같이, 본 발명에 따른 액정패널(110)은, 다수의 게이트 배선(G1~G4) 및 다수의 데이터 배선(D1~D6)에 의해 정의되는 다수의 부화소영역(SP)을 포함한다.
- [0059] 이때, 다수의 부화소영역(SP)은, 예를 들어, 적, 녹, 청 부화소영역일 수 있으며, 가로방향(수평방향)으로 순차적으로 배치될 수 있다.
- [0060] 그리고, 다수의 부화소영역(SP)에는 다수의 게이트 배선(G1~G4) 및 다수의 데이터 배선(D1~D6) 및 다수의 수직 공통 배선(C1~C6)에 연결되는 박막트랜지스터(T) 등이 형성될 수 있다.
- [0061] 본 발명에 따른 액정패널(110)에서의 박막트랜지스터(T)는, 홀수번째 게이트 배선과 연결되는 제 1 박막트랜지스터와 짝수번째 게이트 배선과 연결되는 제 2 박막트랜지스터로 구분될 수 있다.
- [0062] 예를 들어, 제 1 부화소영역(SP1)의 제 1 박막트랜지스터는 제 1 게이트 배선(G1) 및 제 1 데이터 배선(D1)에 연결되고, 제 2 부화소영역(SP2)의 제 1 박막트랜지스터는 제 1 게이트 배선(G1) 및 제 2 데이터 배선(D2)에 연결된다.
- [0063] 그리고, 제 3 부화소영역(SP3)의 제 2 박막트랜지스터는 제 2 게이트 배선(G2) 및 제 1 수직 공통 배선(C1)에 연결되고, 제 4 부화소영역(SP4)의 제 2 박막트랜지스터는 제 2 게이트 배선(G2) 및 제 2 수직 공통 배선(C2)에 연결된다.
- [0064] 또한, 제 5 부화소영역(SP5)의 제 1 박막트랜지스터는 제 3 게이트 배선(G3) 및 제 1 데이터 배선(D1)에 연결되고, 제 6 부화소영역(SP6)의 제 1 박막트랜지스터는 제 3 게이트 배선(G3) 및 제 2 데이터 배선(D2)에 연결된다.
- [0065] 여기서, 제 1 박막 트랜지스터를 포함하는 부화소영역(SP)은 데이터 배선을 통해 데이터 신호를 인가 받을 수 있고, 제 2 박막트랜지스터를 포함하는 부화소영역(SP)은 수직 공통 배선을 통해 데이터 신호를 인가 받을 수 있다.
- [0066] 다시 말해서, 홀수번째 게이트 배선에 연결되는 부화소영역(SP)의 화소전극에는 데이터 배선을 통해 데이터 신호가 전달되고, 짝수번째 게이트 배선에 연결되는 수직 공통 배선을 통해 데이터 신호가 전달될 수 있다.
- [0067] 동시에, 홀수번째 게이트 배선에 연결되는 부화소영역의 공통전극에는 수직 공통 배선을 통해 공통 전압이 인가되고, 짝수번째 게이트 배선에 연결되는 부화소영역의 공통전극에는 데이터 배선을 통해 공통 전압이 인가될 수 있다.

- [0068] 이와 같은 공통 전압은 데이터 신호와 동일한 방식으로 생성될 수 있다.
- [0069] 도7에 도시한 바와 같이, 본 발명에 따른 소스 드라이버의 제 1 출력은, 제 1 내지 제 4 데이터 배선(D1~D4)을 통해 전달되는 데이터 신호의 극성이 한 프레임 동안에는 동일하게 유지되면서 프레임별로 반전되는 수직라인(Column) 반전 방식의 출력일 수 있다.
- [0070] 예를 들어, 제 1 및 제 3 데이터 배선(D1, D3)을 통해서는 제 N 번째 프레임(N frame) 동안에 정극성(+)의 데이터 신호가 전달된다.
- [0071] 반면에, 제 2 및 제 4 데이터 배선(D2, D4)을 통해서는 제 N 번째 프레임(N frame) 동안에 부극성(-)의 데이터 신호가 전달된다.
- [0072] 그리고, 제 N 번째 프레임(N frame) 동안에 각각의 부화소영역에 인가되는 데이터 신호의 극성과 다음 프레임인 제 N+1 번째 프레임(N+1 frame) 동안에 각각의 부화소영역에 인가되는 데이터 신호의 극성은 서로 반대가 된다.
- [0073] 도8에 도시한 바와 같이, 본 발명에 따른 소스 드라이버의 제 2 출력은, 제 1 내지 제 4 수직 공통 배선(C1~C4)을 통해 전달되는 데이터 신호의 극성이 동일하게 유지되면서 프레임별로 반전되는 수직라인(Column) 반전 방식의 출력일 수 있다.
- [0074] 즉, 소스 드라이버의 제 2 출력은, 소스 드라이버의 제 1 출력과 반대의 극성일 수 있다.
- [0075] 예를 들어, 제 1 및 제 3 수직 공통 배선(C1, C3)을 통해서는 제 N 번째 프레임(N frame) 동안에 부극성(-)의 데이터 신호가 전달된다.
- [0076] 반면에, 제 2 및 제 4 수직 공통 배선(C2, C4)을 통해서는 제 N 번째 프레임(N frame) 동안에 부극성(-)의 데이터 신호가 전달된다.
- [0077] 그리고, 제 N 번째 프레임(N frame) 동안에 각각의 부화소영역에 인가되는 데이터 신호의 극성과 다음 프레임인 제 N+1 번째 프레임(N+1 frame) 동안에 각각의 부화소영역에 인가되는 데이터 신호의 극성은 서로 반대가 된다.
- [0078] 종래의 액정패널에서는 제 1 내지 제 6 부화소영역(SP1~SP6)이 제 1 및 제 2 데이터 배선(D1, D2)을 공유하는 구조이기 때문에, 각각의 데이터 배선을 통해 전달되는 데이터 신호는 세로방향(수직방향)으로 인접하는 부화소영역에 순서대로 전달되지 않았었다.
- [0079] 그 결과 종래의 소스 드라이버의 출력은 도트 반전 방식으로 출력되었으나, 액정패널에서는 수직 2도트 반전 방식으로 표시되었기 때문에 소비전력 및 화질 측면 모두 유리하지 못한 문제점이 있었다.
- [0080] 하지만, 본 발명에 따른 액정패널(110)에서는 제 1 내지 제 6 부화소영역(SP1~SP6)이 각각 데이터 배선 또는 수직 공통 배선에 의해 구동되는 구조이다.
- [0081] 따라서, 본 발명에 따른 액정패널(110)에서는 데이터 배선 또는 수직 공통 배선을 통해 전달되는 데이터 신호는 세로방향(수직방향)으로 인접하는 부화소영역에 순서대로 전달된다.
- [0082] 다만, 본 발명에 따른 액정패널(110)에서 홀수번째 게이트 배선과 연결되는 제 1 박막트랜지스터는 데이터 배선을 통해 전달되는 데이터 신호에 의해서 구동되고, 짝수번째 게이트 배선과 연결되는 제 2 박막트랜지스터는 수직 공통 배선을 통해 전달되는 데이터 신호에 의해서 구동된다.
- [0083] 예를 들어, 제 1 데이터 배선(D1)을 통해서는 제 1 부화소영역(SP1)과 제 5 부화소영역(SP5) 등에 데이터 신호가 전달될 수 있고, 제 1 수직 공통 배선(C1)을 통해서는 제 3 부화소영역(SP3) 등에 데이터 신호가 전달될 수 있다.
- [0084] 결과적으로 본 발명에 따른 소스 드라이버(120)의 출력은 수직라인(Column) 반전 방식의 출력이나, 액정패널(110)에서는 도트 반전 방식으로 표시되기 때문에 종래 대비 소비전력 및 화질을 모두 개선할 수 있다.
- [0085] 다시 도5를 살펴보면, 소스 드라이버(120)는 다수의 드라이버 IC(미도시)를 포함할 수 있으며, 이때 다수의 드라이버 IC는 데이터 배선(DL) 또는 수직 공통 배선(미도시)을 통해 데이터 신호를 액정패널로 전달할 수 있다.

- [0086] 그리고, 소스 드라이버(120)는 데이터 신호 및 공통 전압을 생성하여 다수의 데이터 배선(DL) 또는 다수의 수직 공통 배선을 통해 액정패널(110)로 공급할 수 있다.
- [0087] 이때, 공통 전압은 공통 전압 생성부에서 생성하여 소스 드라이버(120)로 전달되어 데이터 배선(DL) 또는 수직 공통 배선(미도시)을 통해 액정패널로 공급될 수도 있다.
- [0088] 게이트 드라이버(130)는 GIP(Gate In Panel)방식 등으로 형성될 수 있으며, 타이밍 제어부(140)로부터 전달 받은 다수의 게이트 제어신호를 이용하여 게이트 신호를 생성하여 다수의 게이트 배선(GL)을 통해 액정패널(110)로 공급할 수 있다.
- [0089] 다시 말해서, 게이트 드라이버(130)는 게이트 스타트 신호(GSP) 및 게이트 클럭 신호(GCLK) 등에 의해 게이트 신호의 출력 타이밍이 결정되고, 해당 타이밍에 순차적으로 게이트 신호를 다수의 게이트 배선(GL)을 통해 액정패널(110)로 공급할 수 있다.
- [0090] 본 발명에 따른 게이트 드라이버(130)는 타이밍 제어부(140)로부터 전달 받은 제 1 및 제 2 구동제어신호에 의해 홀수번째 게이트 배선을 통해 게이트 신호를 순차적으로 액정패널로 인가하고, 다음으로 짹수번째 게이트 배선을 통해 게이트 신호를 순차적으로 액정패널로 인가하도록 구동될 수 있다.
- [0091] 타이밍 제어부(140)는 LVDS(Low Voltage Differential Signal) 인터페이스를 통해 그래픽 카드와 같은 시스템(System)으로부터 다수의 영상 신호 및 수직동기신호(VSY), 수평동기신호(HSY), 데이터 인에이블 신호(DE) 등과 같은 다수의 제어신호를 전달 받을 수 있다.
- [0092] 그리고, 타이밍 제어부(140)는 그래픽 카드와 같은 시스템으로부터 전달 받은 다수의 제어신호를 이용하여 게이트 드라이버(130) 및 소스 드라이버(120)의 동작 타이밍을 제어하기 위한 다수의 게이트 제어신호, 다수의 데이터제어신호를 각각 생성하여 해당 드라이버로 공급할 수 있다.
- [0093] 예를 들어, 타이밍 제어부(140)는, 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC), 소스 출력 인에이블(SOE) 등과 같은 다수의 데이터 제어신호 등을 생성하여 소스 드라이버(120)의 적어도 하나의 드라이버 IC로 공급할 수 있다.
- [0094] 그리고, 타이밍 제어부(140)는 다수의 데이터 제어신호와 함께 영상 신호(RGB)를 소스 드라이버(120)에 공급할 수 있다.
- [0095] 또한, 본 발명에 따른 타이밍 제어부(140)는, 홀수번째 게이트 배선을 통해 게이트 신호를 순차적으로 액정패널로 인가하고, 다음으로 짹수번째 게이트 배선을 통해 게이트 신호를 순차적으로 액정패널로 인가하도록 제어하는 제 1 및 제 2 구동제어신호를 게이트 드라이버(130)에 전달할 수 있다.
- [0096] 도9 및 도10은 본 발명의 액정패널의 구동에 따른 게이트 신호 인가를 설명하기 위해 참조되는 도면이다. 도5 및 도6을 참조하여 설명한다.
- [0097] 도9에 도시한 바와 같이, 본 발명에 따른 게이트 드라이버(130)는 제 1 게이트구동부(132)와 제 2 게이트구동부(134)를 포함할 수 있다.
- [0098] 여기서, 제 1 게이트구동부(132)는 다수의 홀수번째 게이트 배선(G1, G3, G5, G7, ...)을 통해 게이트 신호를 순차적으로 액정패널(110)로 전달하는 역할을 한다.
- [0099] 그리고, 제 2 게이트구동부(134)는 다수의 짹수번째 게이트 배선(G2, G4, G6, G8, ...)을 통해 게이트 신호를 순차적으로 액정패널(110)로 전달하는 역할을 한다.
- [0100] 본 발명에 따른 액정표시장치(100)는, 도10에 도시한 바와 같이, 제 N 번째 프레임(N frame) 동안에 제 1 데이터 배선(D1)을 통해 데이터 신호가 액정패널(110)로 인가될 수 있다.
- [0101] 즉, 제 N 번째 프레임(N frame)의 전반 1/2 프레임(1/2 frame) 동안에는 다수의 홀수번째 게이트 배선(G1, ..., G $2N+1$)을 통해 게이트 신호가 순차적으로 액정패널(110)로 전달되고, 후반 1/2 프레임(1/2 frame) 동안에는 다수의 짹수번째 게이트 배선(G2, ..., G $2N$)을 통해 게이트 신호가 순차적으로 액정패널(110)로 전달될 수 있다.
- [0102] 그 결과 본 발명에 따른 액정표시장치(100)는, 소스 드라이버(120)의 출력이 수직라인(Column) 반전 방식의 출

력이더라도. 액정패널(110)에서는 도트 반전 방식으로 표시되기 때문에 소비전력 및 화질을 모두 개선할 수 있다.

[0103] 도11은 종래의 액정패널의 구동에 대한 시뮬레이션 결과를 도시한 도면이고, 도12는 본 발명의 액정패널의 구동에 대한 시뮬레이션 결과를 도시한 도면이다.

[0104] 도11에 도시한 바와 같이, 종래의 액정패널에서는 데이터 신호(Vdata) 구동시 0 ~ 14V의 전압 레벨을 이용하여 인가하고, 공통 전압(Vcom)은 7V로 일정한 직류 전압을 인가했었다.

[0105] 반면에, 도12에 도시한 바와 같이, 본 발명에 따른 액정패널에서는 데이터 신호(Vdata) 구동시 0 ~ 7V의 전압 레벨을 이용하여 인가하고, 공통 전압(Vcom)도 0 ~ 7V의 전압 레벨을 이용하여 인가함을 알 수 있다.

[0106] 이와 같이, 본 발명에 따른 액정표시장치는 종래의 액정표시장치에 비해 데이터 배선의 로드가 줄어들며, 액정표시장치의 소비전력도 감소할 수 있다.

[0107] 이상과 같은 본 발명의 실시예는 예시적인 것에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지를 벗어나지 않는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명의 보호범위는 첨부된 특허청구범위 및 이와 균등한 범위 내에서의 본 발명의 변형을 포함한다.

부호의 설명

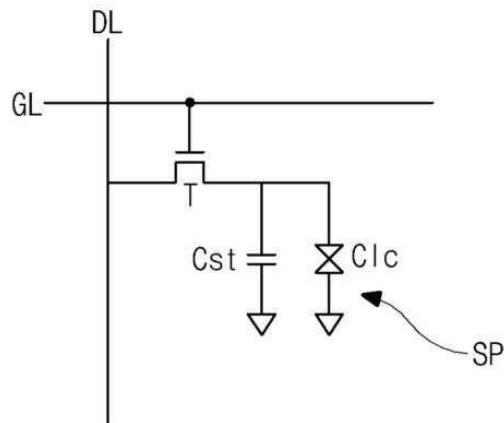
[0108] 100: 액정표시장치 110: 액정패널

120: 소스 드라이버 130: 게이트 드라이버

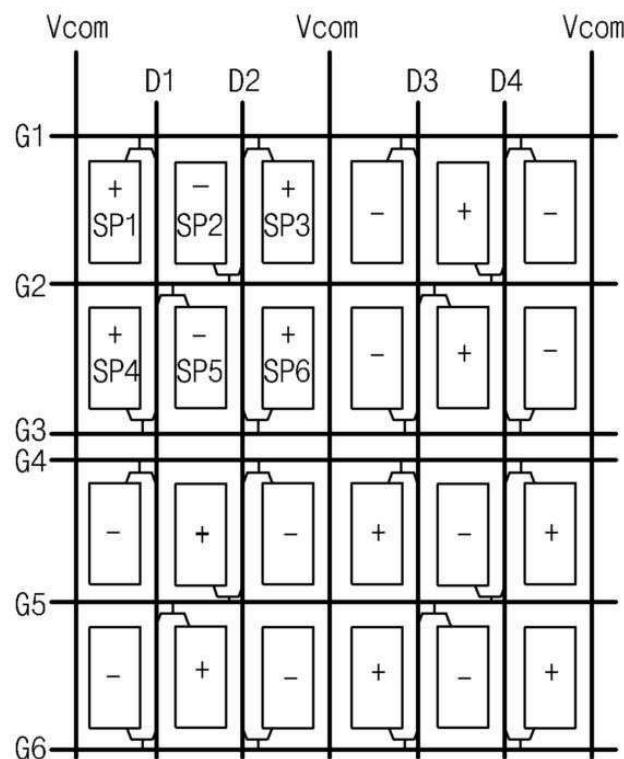
140: 타이밍 제어부

도면

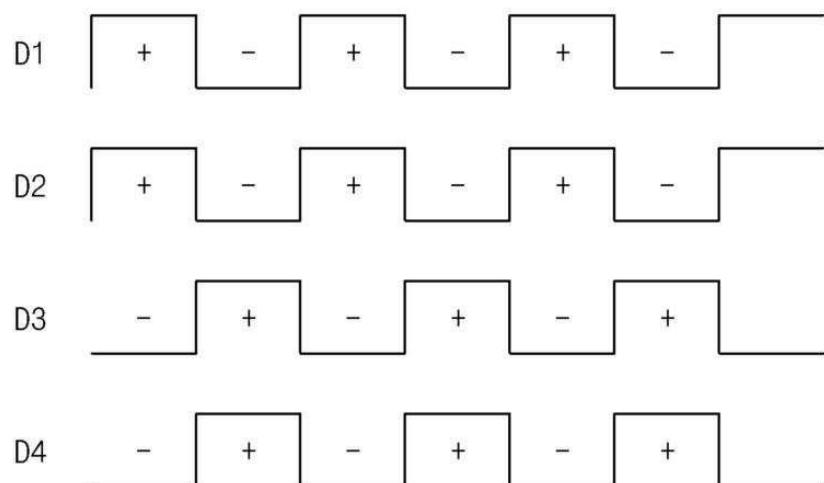
도면1



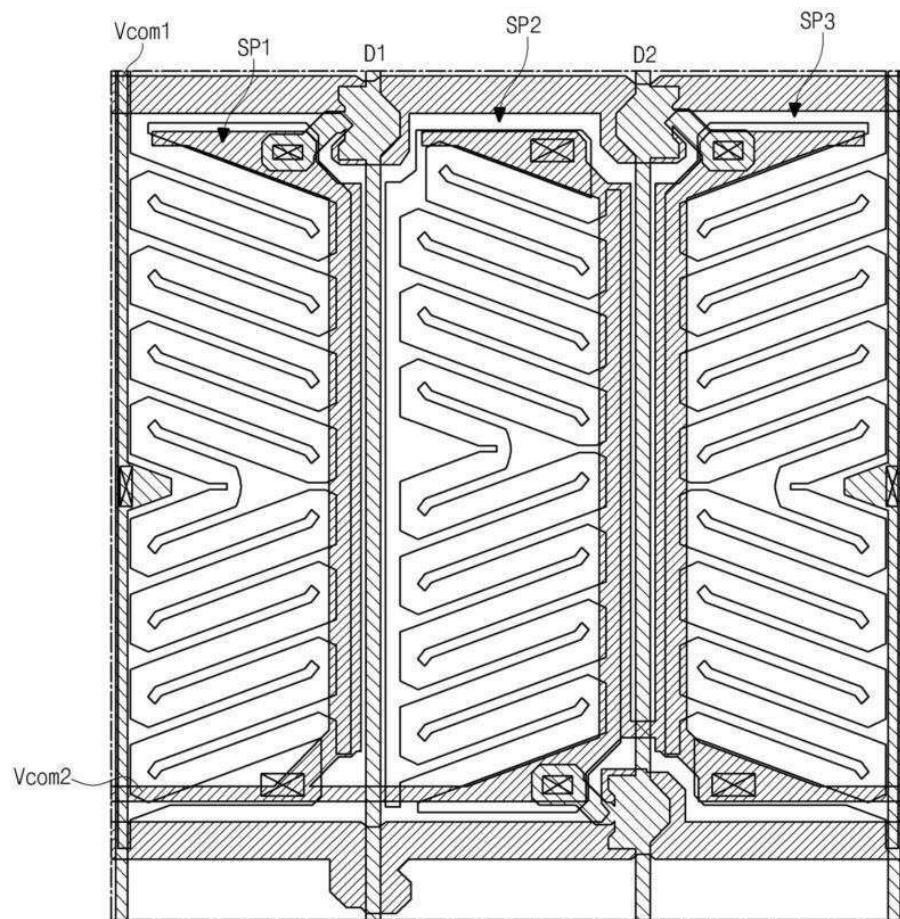
도면2



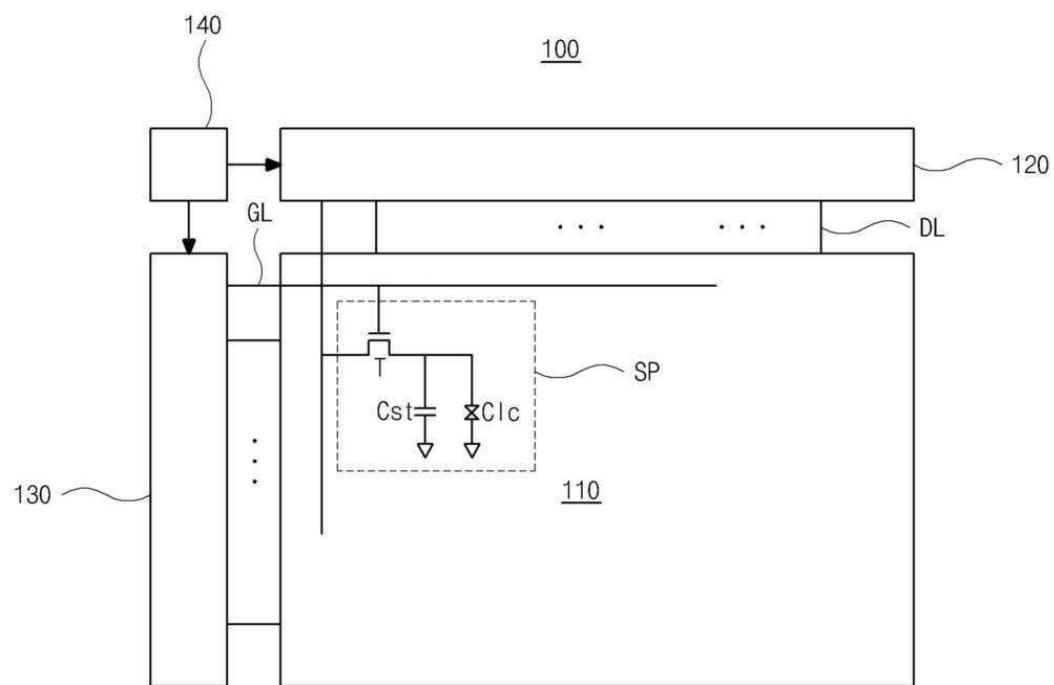
도면3



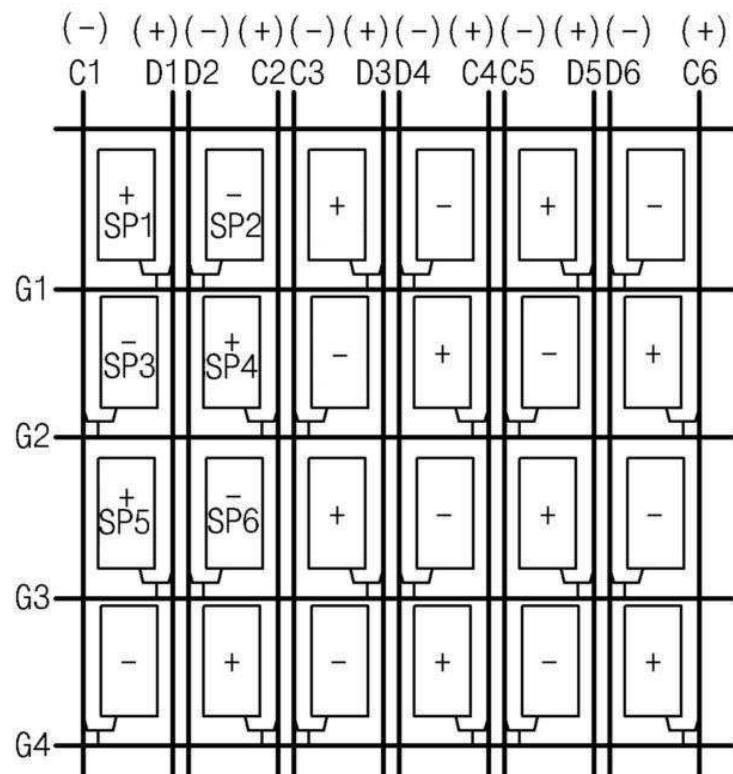
도면4



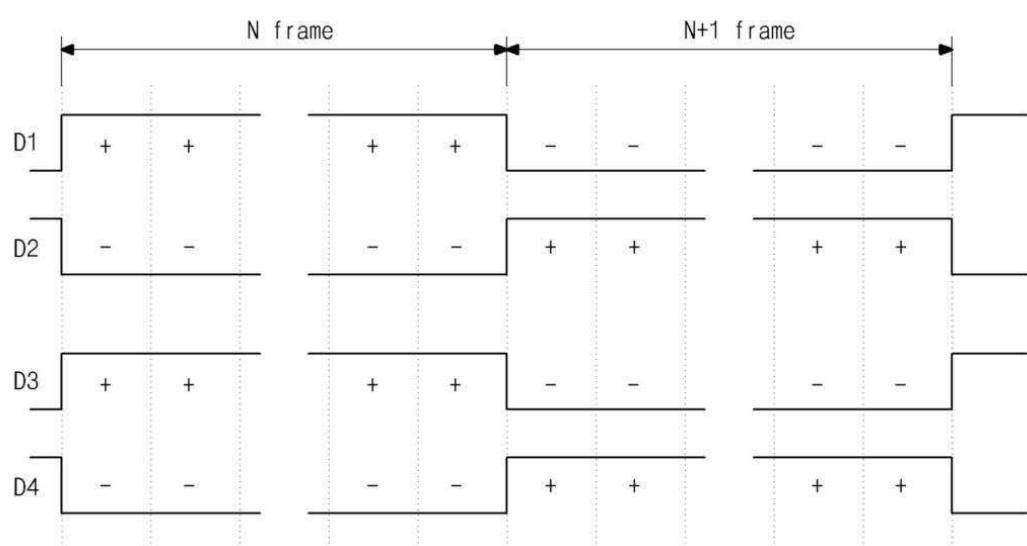
도면5



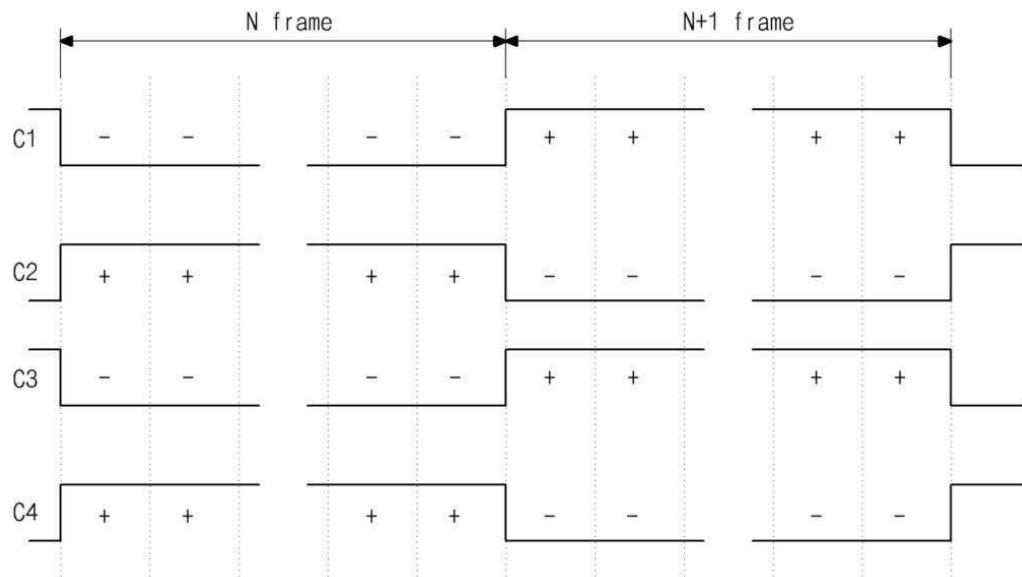
도면6



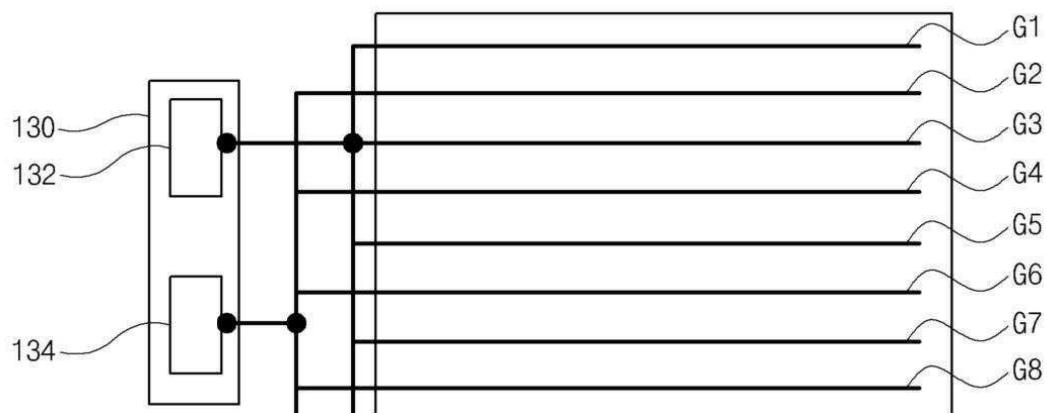
도면7



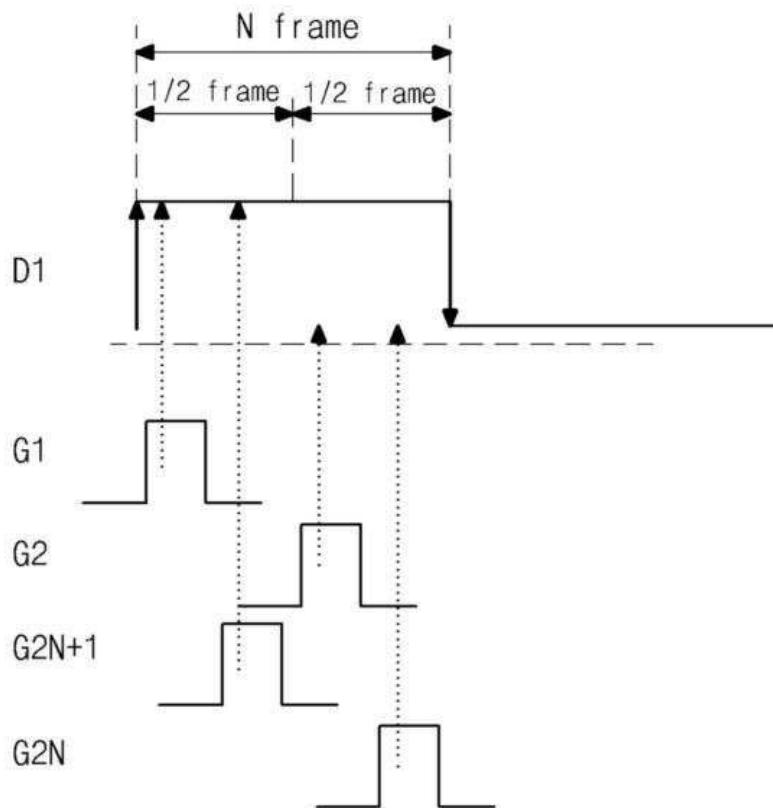
도면8



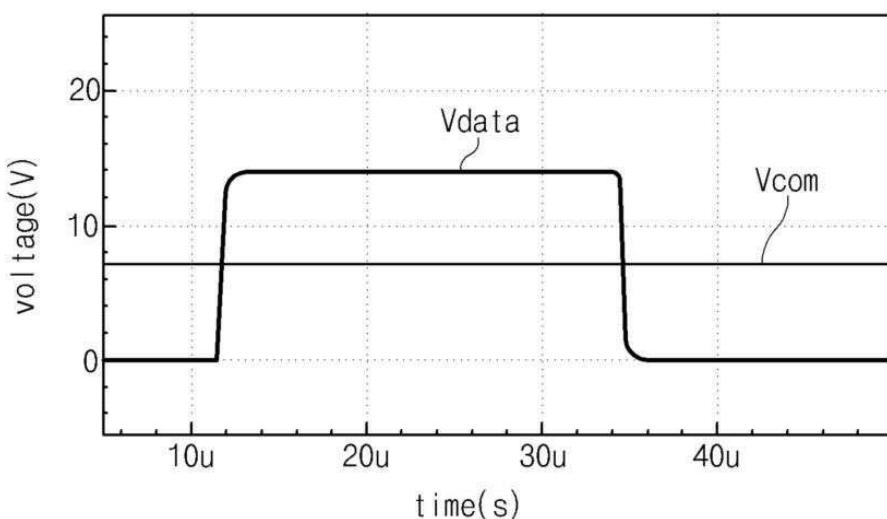
도면9



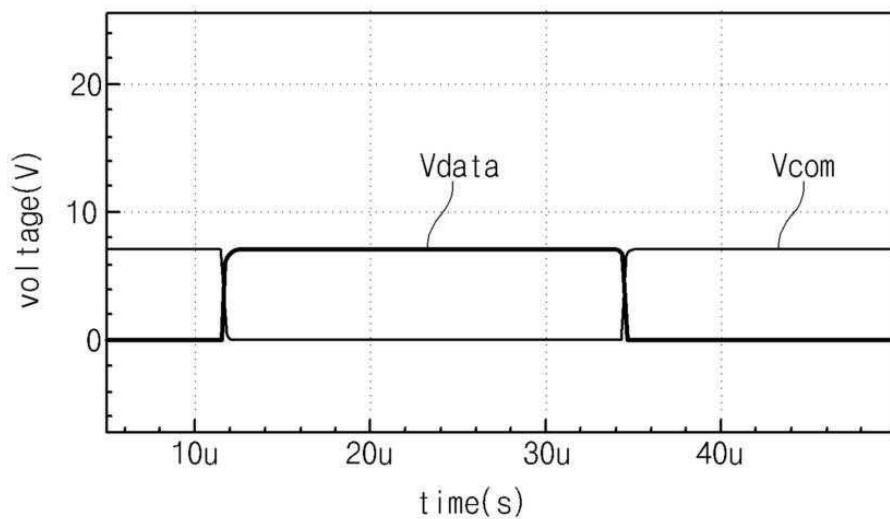
도면10



도면11



도면12



专利名称(译)	标题 : 液晶显示装置及其驱动方法		
公开(公告)号	KR1020130035029A	公开(公告)日	2013-04-08
申请号	KR1020110099242	申请日	2011-09-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU SANG HEE 유상희 HYUN HYE RIN 현혜린		
发明人	유상희 현혜린		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G02F1/136286 G09G3/3614 G09G3/3655 G09G2310/0202 G09G2320/02 G09G2330/00		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示装置及其驱动方法。并应用垂直公共线。通过多个子像素区域的像素电极中的数据线和垂直相邻公共线来授权数据电压，
并且降低了液晶显示器的功耗。

