



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0073945
(43) 공개일자 2019년06월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01)

(52) CPC특허분류
G02F 1/1362 (2013.01)
G02F 2001/136222 (2013.01)

(21) 출원번호 10-2017-0175205
(22) 출원일자 2017년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
유지선
경기도 파주시 월롱면 엘지로 245
전우열
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인인벤싱크

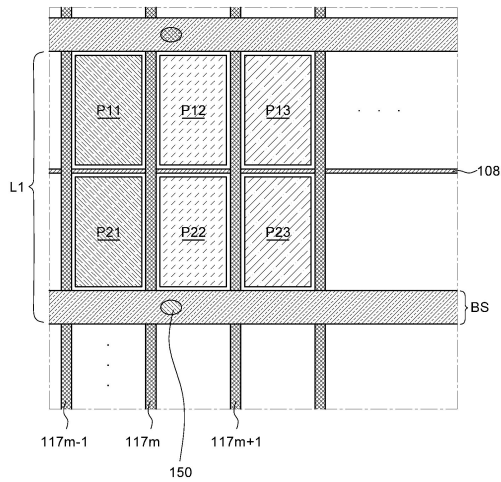
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 일 실시예에 따른 액정표시장치는 초대형 모델에서 컬러필터를 어레이 기판의 박막트랜지스터 위에 형성한 COT(Color filter On TFT) 구조를 적용하며, 상하로 이웃하는 서브-화소들의 경계에 공통라인을 배치하여 공유하고, 다른 경계의 BS(Black Strip) 영역에 게이트라인 등의 회로부를 함께 배치함으로써, 투과율과 개구율을 향상시킬 수 있다. 또한, BS 영역의 축소가 어려운 초대형 모델에서 레드 아이(red eye) 불량을 방지할 수 있다.

대표도 - 도3



명세서

청구범위

청구항 1

기관 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트라인과 데이터라인;

상하로 이웃하는 상기 서브-화소들 사이의 경계 내에 구비되는 공통라인;

상기 서브-화소들 사이의 다른 경계 내에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터; 및

상기 서브-화소 내에 교대로 배치되는 복수의 공통전극과 화소전극을 포함하며,

상기 박막트랜지스터는 상기 다른 경계 내에 한 쌍 구비되어, 어느 하나의 박막트랜지스터는 상측의 서브-화소에 연결되고, 다른 하나의 박막트랜지스터는 하측의 서브-화소에 연결되는 액정표시장치.

청구항 2

제1항에 있어서,

상기 서브-화소에 구비되는 컬러필터; 및

상기 다른 경계에 구비되며, 적어도 하나의 컬러필터로 구성된 차광층을 더 포함하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 차광층은 적색 컬러필터 위에 청색 컬러필터가 적층되어 구성된 액정표시장치.

청구항 4

제2항에 있어서,

상기 공통라인 위에 구비되는 제1 절연층; 및

상기 박막트랜지스터 위에 구비되며, 적어도 2층으로 이루어진 제2 절연층을 더 포함하는 액정표시장치.

청구항 5

제4항에 있어서,

상기 제2 절연층과 상기 차광층을 관통하여 상기 박막트랜지스터의 드레인전극 일부를 노출시키는 제1 콘택홀; 및

상기 제1 절연층과 상기 제2 절연층 및 상기 컬러필터를 관통하여 상기 공통라인의 일부를 노출시키는 제2 콘택홀을 더 포함하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 게이트라인은 상기 다른 경계 내에 한 쌍이 구비되어, 어느 하나의 게이트라인은 상기 상측의 서브-화소에 연결되고, 다른 하나의 게이트라인은 상기 하측의 서브-화소에 연결되는 액정표시장치.

청구항 7

제6항에 있어서,

상기 다른 경계 내에 상기 게이트라인에 대해 나란한 방향으로, 상기 한 쌍의 게이트라인들 사이에 배치되는 공

통배선을 더 포함하는 액정표시장치.

청구항 8

제5항에 있어서,

상기 데이터라인의 적어도 일측에 배치되어 상기 공통라인에 연결되는 제1 차폐라인을 더 포함하는 액정표시장치.

청구항 9

제5항에 있어서,

상기 데이터라인의 상부에 배치되며, 상기 제2 컨택홀을 통해 그 하부의 상기 공통라인과 전기적으로 접속하는 제2 차폐라인을 더 포함하는 액정표시장치.

청구항 10

제5항에 있어서,

상기 제1 컨택홀은 상기 다른 경계 내에 한 쌍이 배치되며,

상기 제2 컨택홀은 상기 경계 내에 하나씩 배치되는 동시에, 하나 이상의 좌우로 이웃하는 서브-화소들마다 하나씩 배치되는 액정표시장치.

청구항 11

제5항에 있어서,

상기 복수의 화소전극들의 일측과 연결되는 화소전극라인을 더 포함하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 다른 경계 내에 배치되며, 상기 화소전극라인과 연결되는 화소전극 접속부를 더 포함하는 액정표시장치.

청구항 13

제11항에 있어서,

상기 화소전극 접속부는, 상기 제1 컨택홀을 통해 상기 박막트랜지스터의 드레인전극과 상기 화소전극 사이를 전기적으로 접속시키는 액정표시장치.

청구항 14

제11항에 있어서,

상기 화소전극 접속부는 상기 다른 경계 내에 한 쌍이 배치되며, 어느 하나의 화소전극 접속부는 상기 상측의 서브-화소의 화소전극에 연결되고, 다른 하나의 화소전극 접속부는 상기 하측의 서브-화소의 화소전극에 연결되는 액정표시장치.

청구항 15

기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트라인과 데이터라인;

상하로 이웃하는 상기 서브-화소들 사이의 경계 내에 구비되어 상기 서브-화소들이 공유하는 공통라인;

상기 서브-화소들 사이의 다른 경계 내에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터;

상기 박막트랜지스터 위의 상기 서브-화소에 구비되는 컬러필터;

상기 다른 경계에 구비되며, 적어도 하나의 컬러필터로 구성된 차광층; 및

상기 컬러필터와 상기 차광층 위의 상기 서브-화소 내에 교대로 배치되는 복수의 공통전극과 화소전극을 포함하며,

상기 박막트랜지스터와 상기 게이트라인은 상기 다른 경계 내에 한 쌍이 구비되는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 초대형 모델에 있어, 컬러필터를 어레이 기판의 박막트랜지스터 위에 형성한 COT(Color filter On TFT) 구조의 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 이 중에서 박막트랜지스터(Thin Film Transistor; TFT)와 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD; AMLCD)가 해상도 및 동영상 구현능력이 우수하여 주목 받고 있다.

[0005] 액정표시장치는 컬러필터, 공통전극 등이 형성된 상부기판과 스위칭 소자, 화소전극 등이 형성된 하부 기판 및 두 기판 사이에 개재된 액정으로 이루어진다. 이러한 액정표시장치에서는 공통전극과 화소전극 사이에 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0006] 한편, 상부기판 및 하부기판 각각에 형성되었던 컬러필터와 스위칭 소자를 동일한 기판에 형성하는 기술이 제안되어 왔다. 이른바 COT(Color filter On TFT) 구조로, 컬러필터를 스위칭 소자가 형성되는 하부기판에 형성하는 구조이다. 이는 상부기판 및 하부기판을 합착하는 공정에서 고려되는 합착마진을 줄여 개구율 등의 향상을 목적으로 하는 것이다.

[0007] [관련기술문헌]

[0008] 1. 횡전계형 액정표시장치용 어레이 기판 및 이의 제조 방법(특허출원번호 제10-2006-0051948호).

발명의 내용

해결하려는 과제

[0009] 최근 사용되는 COT 구조의 액정표시장치는 합착마진을 줄여 개구율 등이 향상되는 이점이 있다.

[0010] 한편, 컬러필터를 적층하여 서브-화소들 경계의 회로부에 BS(Black Strip) 영역을 형성하여 빛의 누설을 방지하고 있다. 그리고, 셀-갭(cell gap)을 균일하게 유지하기 위해 BS 영역 내에 칼럼 스페이스(column spacer)를 배치하는데, 초대형 모델의 경우 레드 아이 마진(red eye margin) 및 액정 마진으로 인해 BS 영역의 축소가 어렵다.

[0011] 즉, 외력에 의한 칼럼 스페이스의 밀림, 또는 이동에 의한 레드 아이 불량이나 빛샘을 방지하기 위해, 칼럼 스페이스의 형성 위치를 기준으로 BS 영역 상부의 블랙매트릭스의 폭을 확대 설계하게 되는데, 이는 고해상도와 고개구율을 요구하는 고객의 요구(needs)에 큰 걸림돌로 작용하며, 특히 초대형 모델에 있어 개구율 확보에 한계를 가져오고 있었다.

[0012] 본 발명의 발명자들은, 초대형 모델은 BS 영역이 상대적으로 넓어 회로 설계가 용이하고, 다른 구성의 추가, 배치가 가능하다는 점 및 상하로 이웃하는 서브-화소들이 공통라인을 공유할 경우 BS 영역을 그만큼 축소시킬 수 있는 점에 착안하여, 초대형 모델에서 BS 영역을 축소시킬 수 있는 구조를 발명하였다.

[0013] 즉, 상하로 이웃하는 서브-화소들의 경계에 공통라인을 배치하여 공유하고, 다른 경계의 BS 영역에 게이트라인 등의 회로부를 함께 배치하여 BS 영역을 축소시킴으로써, 투과율과 개구율을 향상시킬 수 있다. 또한, BS 영역

의 축소가 어려운 초대형 모델에서 레드 아이 불량을 방지할 수 있다.

[0014] 이에, 본 발명이 해결하고자 하는 과제는 컬러필터를 어레이 기판의 TFT 위에 형성한 COT 구조를 적용하며, 초대형 모델에서 투과율과 개구율을 향상시킬 수 있는 액정표시장치를 제공하는 것이다.

[0015] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0016] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 액정표시장치는, 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트라인과 데이터라인, 상하로 이웃하는 서브-화소들 사이의 경계 내에 구비되는 공통라인, 서브-화소들 사이의 다른 경계 내에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터 및 서브-화소 내에 교대로 배치되는 복수의 공통전극과 화소전극을 포함하며, 박막트랜지스터는 다른 경계 내에 한 쌍 구비되어, 어느 하나의 박막트랜지스터는 상측의 서브-화소에 연결되고, 다른 하나의 박막트랜지스터는 하측의 서브-화소에 연결될 수 있다.

[0017] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 다른 일 실시예에 따른 액정표시장치는, 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트라인과 데이터라인, 상하로 이웃하는 서브-화소들 사이의 경계 내에 구비되어 서브-화소들이 공유하는 공통라인, 서브-화소들 사이의 다른 경계 내에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터, 박막트랜지스터 위의 서브-화소에 구비되는 컬러필터, 다른 경계에 구비되며, 적어도 하나의 컬러필터로 구성된 차광층 및 컬러필터와 차광층 위의 서브-화소 내에 교대로 배치되는 복수의 공통전극과 화소전극을 포함하며, 박막트랜지스터와 게이트라인은 다른 경계 내에 한 쌍이 구비될 수 있다.

[0018] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0019] 본 발명은 공통라인을 공유하는 동시에 BS 영역을 축소함으로써, 초대형 모델에서 투과율(~ 10% 이상)과 개구율을 향상시킬 수 있다. 또한, BS 영역의 축소가 어려운 초대형 모델에서 레드 아이 불량을 방지할 수 있어 표시 품질이 향상되는 효과를 제공한다.

[0020] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 보여주는 평면도이다.
- 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 액정표시장치에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 액정표시장치에 있어, 화소 구조를 예로 보여주는 평면도이다.
- 도 4는 비교예에 따른 액정표시장치에 있어, 화소 구조를 예로 보여주는 평면도이다.
- 도 5a 및 5b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제1 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제2 마스크공정을 설명하기 위한 단면도이다.
- 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제3 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- 도 8a 및 8b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제4 마스크공정 내지 제7 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- 도 9a 및 도 9b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제8 마스크공정을 설명하기 위한 평면도 및 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0024] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0026] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0027] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0028] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0029] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0030] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 보여주는 평면도이다. 도 2는 도 1에 도시된 본 발명의 일 실시예에 따른 액정표시장치에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다. 그리고, 도 3은 본 발명의 일 실시예에 따른 액정표시장치에 있어, 화소 구조를 예로 보여주는 평면도이다.
- [0033] 이때, 도 1은 본 발명의 일 실시예에 따른 액정표시장치(100)에 있어, 2x2의 4개의 서브-화소(P11, P12, P21, P22)의 평면 구조를 예로 보여주고 있으며, 도 3은 복수의 서브-화소 중 2x3의 6개의 서브-화소(P11, P12, P13, P21, P22, P23)를 예로 보여주고 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0034] 도 1 내지 도 3을 참조하면, 본 발명은 컬러필터(107R, 107G, 107B)를 하부기판(110)에 형성한 COT(Color filter On TFT) 구조의 액정표시장치(100)를 제공한다.
- [0035] COT 구조의 액정표시장치(100)는, 컬러필터(107R, 107G, 107B)를 스위칭 소자가 형성되는 하부기판(110)에 형성하기 때문에 상부기판 및 하부기판(110)을 합착하는 과정에서 고려되는 합착마진을 줄일 수 있어 개구율의 향상을 가져올 수 있다.
- [0036] 본 발명의 일 실시예에 따른 액정표시장치(100)는 복수의 서브-화소(P11, P12, P21, P22)를 포함할 수 있다. 이하에서는, 편의상 도 1에 도시된 2x2의 4개의 서브-화소(P11, P12, P21, P22)에 대해서 설명하나, 도 3에 도시된 바와 같이 본 발명이 이에 한정되는 것은 아니다.
- [0037] 이때, 복수의 서브-화소(P11, P12, P21, P22)는 하부기판(110) 위에 복수의 게이트라인(116n-1, 116n)과 데이터라인(117m-1, 117m, 117m+1)이 서로 교차하여 매트릭스(matrix) 형태로 배치될 수 있다. 복수의 서브-화소

(P11, P12, P21, P22)는 로우(row) 방향 및 칼럼(column) 방향으로 배열되어 매트릭스 형태로 배치될 수 있다. 예를 들어, 도 1은 복수의 서브-화소(P11, P12, P21, P22)가 2개의 로우와 2개의 칼럼으로 배열된 경우를 예로 들어 보여주고 있다. 즉, 도 1에서는 그 중에서 임의의 2x2의 4개의 서브-화소(P11, P12, P21, P22)만이 예로 들어 도시되어 있지만, 본 발명이 이에 한정되는 것은 아니다. 이하, 설명의 편의상 복수의 서브-화소(P11, P12, P21, P22) 중 로우 방향으로 배열된 서브-화소(P11, P12, P21, P22)의 그룹을 로우 서브-화소로 정의하며, 칼럼 방향으로 배열된 서브-화소(P11, P12, P21, P22)의 그룹을 칼럼 서브-화소로 정의한다.

- [0038] 복수의 서브-화소(P11, P12, P21, P22)는 각각 특정 컬러의 빛을 구현할 수 있다. 예를 들어, 복수의 서브-화소(P11, P12, P21, P22)는 적색을 구현하는 적색 서브-화소, 녹색을 구현하는 녹색 서브-화소 및 청색을 구현하는 청색 서브-화소로 구성될 수 있다. 이 경우, 적색 서브-화소, 녹색 서브-화소 및 청색 서브-화소의 그룹이 하나의 화소로 지칭될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 복수의 서브-화소(P11, P12, P21, P22)는 적색 서브-화소, 녹색 서브-화소, 청색 서브-화소 및 백색 서브-화소로 구성될 수도 있다.
- [0039] 이러한 복수의 서브-화소(P11, P12, P21, P22) 각각은 게이트라인(116n-1, 116n) 및 데이터라인(117m-1, 117m, 117m+1)과 연결될 수 있다. 즉, 1 로우 서브-화소는 제1 게이트라인에 연결되고, 1 칼럼 서브-화소는 제1 데이터라인과 제2 데이터라인에 번갈아 연결될 수 있다. 또한, 2 내지 n 로우 서브-화소는 제2 내지 제n 게이트라인과 각각 연결될 수 있다. 그리고, 2 내지 m 칼럼 서브-화소는 제2 데이터라인과 제3 데이터라인 내지 제m 데이터라인과 제m+1 데이터라인과 각각 번갈아 연결될 수 있다. 예를 들어 도 1을 참조하면, n-2 로우 서브-화소(P11, P12)는 제n-2 게이트라인(미도시)에 연결되고, n-1 로우 서브-화소(P21, P22)는 제n-1 게이트라인(116n-1)에 연결될 수 있다. m-1 칼럼 서브-화소(P11, P21)는 제m-1 데이터라인(117m-1)과 제m 데이터라인(117m)에 번갈아 연결되고, m 칼럼 서브-화소(P12, P22)는 제m 데이터라인(117m)과 제m+1 데이터라인(117m+1)에 번갈아 연결될 수 있다.
- [0040] 복수의 서브-화소(P11, P12, P21, P22)는 게이트라인(116n-1, 116n)으로부터 전달되는 게이트 전압과 데이터라인(117m-1, 117m, 117m+1)으로부터 전달되는 데이터 전압에 기초하여 동작하도록 구성될 수 있다.
- [0041] 게이트라인(116n-1, 116n)은 하부기관(110) 위에 제1 방향으로 배치될 수 있다. 데이터라인(117m-1, 117m, 117m+1)은 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인(116n-1, 116n)과 함께 복수의 서브-화소(P11, P12, P21, P22)를 구획할 수 있다.
- [0042] 도 1에는 n-1번째 게이트라인(116n-1) 및 n번째 게이트라인(116n)이, 일 예로 m-1번째 데이터라인(117m-1)과 m번째 데이터라인(117m) 및 m+1번째 데이터라인(117m+1)과 함께 2x2의 4개의 서브-화소(P11, P12, P21, P22)를 구획하는 경우를 예로 보여주고 있으나, 도 3에 도시된 바와 같이 본 발명이 이에 한정되는 것은 아니다.
- [0043] 복수의 서브-화소(P11, P12, P21, P22)는 박막트랜지스터를 구비할 수 있다. 즉, 게이트라인(116n-1, 116n)과 데이터라인(117m-1, 117m, 117m+1)이 교차하는 영역에 스위칭 소자로 박막트랜지스터가 구비될 수 있다. 특히, 본 발명의 일 실시예에 따른 액정표시장치(100)는, 상하로 이웃하는 서브-화소들(P11, P12, P21, P22)의 경계에 공통라인(1081)을 배치하여 공유하고, 다른 경계의 BS(Black Strip) 영역에 2개의 박막트랜지스터를 함께 배치하는 것을 특징으로 한다.
- [0044] 이하에서, 설명의 편의상 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 경계는 상하로 이웃하는 서브-화소들(P11, P12, P21, P22)의 가운데 경계를 의미하고, 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 다른 경계는 상하로 이웃하는 서브-화소들(P11, P12, P21, P22)의 상측이나 하측의 경계를 의미하는 것으로 한다.
- [0045] 박막트랜지스터는, 게이트라인(116n-1, 116n)에 연결된 게이트전극(121), 액티브층(124), 데이터라인(117m-1, 117m, 117m+1)에 연결된 소스전극(122) 및 화소전극(118)에 연결된 드레인전극(123)을 포함하여 구성될 수 있다.
- [0046] 서브-화소(P11, P12, P21, P22)에는 복수의 공통전극(108)과 화소전극(118)이 교대로 배치되어 액정층(미도시) 내에 횡전계(수평전계)를 발생시킬 수 있다.
- [0047] 이와 같이 게이트 신호를 공급하는 게이트라인(116n-1, 116n)과 데이터 신호(화소 신호)를 공급하는 데이터라인(117m-1, 117m, 117m+1)은 교차 구조로 형성되어 서브-화소(P11, P12, P21, P22)를 정의한다.
- [0048] 박막트랜지스터는, 교차부 중 로우 방향으로 번갈아 위치하는 교차부마다 2개씩 배치될 수 있다. 즉, 상술한 바와 같이 박막트랜지스터는 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 다른 경계의 BS 영역(BS)

에 2개가 함께 배치된다. 따라서, 한 쌍의 게이트라인들(116n-1, 116n)이 하나의 BS 영역(BS)에 함께 배치될 수 있다. 이때, 어느 하나의 박막트랜지스터와 게이트라인(116n-1, 116n)은 상측의 서브-화소(P11, P12, P21, P22)에 연결되는 반면에, 다른 하나의 박막트랜지스터와 게이트라인(116n-1, 116n)은 하측의 서브-화소(P11, P12, P21, P22)에 연결될 수 있다.

- [0049] 박막트랜지스터는 게이트라인(116n-1, 116n)의 게이트 신호에 응답하여 데이터라인(117m-1, 117m, 117m+1)의 화소 신호가 화소전극(118)에 충전되어 유지되도록 한다. 이를 위하여, 박막트랜지스터는 게이트라인(116n-1, 116n)에 접속된 게이트전극(121)과, 데이터라인(117m-1, 117m, 117m+1)에 접속된 소스전극(122) 및 소스전극(122)과 대향하는 드레인전극(123)을 포함할 수 있다. 또한, 박막트랜지스터는 게이트절연층(115a)을 사이에 두고 게이트전극(121)과 중첩되어 소스전극(122)과 드레인전극(123) 사이에 채널(channel)을 형성하는 액티브층(124)을 포함할 수 있다. 또한, 소스전극(122)과 드레인전극(123) 사이의 오믹 접촉(ohmic contact)을 위하여 채널을 제외한 액티브층(124) 위에 형성된 오믹 접촉층(미도시)을 더 구비할 수도 있다.
- [0050] 그리고, 박막트랜지스터 상부에는 보호층(115b)이 형성되고, 보호층(115b) 위에 서브-화소(P11, P12, P21, P22)별로 적색, 청색 및 녹색 컬러필터(107R, 107G, 107B)가 차례대로 배열된 구조의 컬러필터(107R, 107G, 107B)가 형성될 수 있다.
- [0051] 서브-화소들(P11, P12, P21, P22) 사이의 BS 영역(BS)에는 적어도 하나의 컬러필터(107R, 107B)로 구성된 차광층(160)을 더 포함할 수 있다. 일 예로, 도 2를 참조하면, 차광층(160)은 적색 컬러필터(107R) 위에 청색 컬러필터(107B)가 적층되어 구성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 참고로, 도 1은 편의상 컬러필터(107R, 107G, 107B)와 차광층(160)을 도시하지 않았다.
- [0052] 이때, 컬러필터(107R, 107G, 107B)와 차광층(160)이 형성된 하부기관(110) 상부에는 차광층(160)을 덮도록 평탄화층(115c)이 형성될 수 있다.
- [0053] 평탄화층(115c)은 컬러필터(107R, 107G, 107B)를 보호하고 평탄화하기 위한 수지 조성물을 이용하여 형성한 오버코트층으로 구성될 수 있다.
- [0054] 본 발명의 일 실시예에 따른 액정표시장치(100)는, 서브-화소들(P11, P12, P21, P22) 사이의 경계 및 다른 경계의 평탄화층(115c), 보호층(115b), 차광층(160) 및/또는 게이트절연층(115a)의 일부가 선택적으로 제거되어 공통라인(1081) 및 드레인전극(123)의 일부를 노출시키는 제2 컨택홀(140b) 및 제1 컨택홀(140a)을 포함할 수 있다.
- [0055] 본 발명의 일 실시예에 따른 액정표시장치(100)는, 제1 컨택홀(140a)을 통해, 화소전극 접속부(118')가 드레인전극(123)과 연결됨으로써, 화소전극(118)과 드레인전극(123)이 서로 전기적으로 접속될 수 있다. 그리고, 제2 컨택홀(140b)을 통해, 공통전극 접속부(108b')가 공통라인(1081)과 연결됨으로써, 공통라인(1081)과 공통전극(108)이 서로 전기적으로 접속될 수 있다.
- [0056] 이때, 본 발명의 일 실시예에 따른 제1 컨택홀(140a)은 일 예로, 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 BS 영역(BS)에 2개가 함께 배치될 수 있다. 또한, 본 발명의 일 실시예에 따른 제2 컨택홀(140b)은 일 예로, 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 경계에 하나씩 배치될 수 있으며, 하나 이상의 좌우로 이웃하는 서브-화소들(P11, P12, P21, P22)마다 하나씩 배치될 수 있다.
- [0057] 화소전극(118)은 서브-화소(P11, P12, P21, P22) 내에서 공통전극(108)과 교대로 배치되어 횡전계를 형성할 수 있다.
- [0058] 그리고, 공통배선(108L) 및 공통라인(1081)은 액정 구동을 위한 기준전압을 공급할 수 있다.
- [0059] 공통배선(108L)은 BS 영역(BS)에 배치되며, 게이트라인(116n-1, 116n)에 대해 나란한 방향으로 배치된다. 일 예로, 공통배선(108L)은 게이트라인들(116n-1, 116n) 사이에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0060] 공통라인(1081)은 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 경계에 배치되며, 게이트라인(116n-1, 116n)에 대해 나란한 방향으로 배치될 수 있다.
- [0061] 데이터라인(117m-1, 117m, 117m+1)의 일측에는 제1 차폐라인(108a)이 배치될 수 있으며, 제1 차폐라인(108a)은 공통라인(1081)에 연결될 수 있다. 제1 차폐라인(108a)은 횡전계에 대한 데이터 신호의 간섭을 차폐할 수 있다.
- [0062] 데이터라인(117m-1, 117m, 117m+1)의 상부에는 제2 차폐라인(108b)이 배치될 수 있으며, 제2 차폐라인(108b)은

공통전극 접속부(108b')를 통해 그 하부의 공통라인(1081)에 연결될 수 있다. 그리고, 공통전극 접속부(108b')는 제2 차폐라인(108b)으로부터 돌출하여 제2 컨택홀(140b)을 통해 공통라인(1081)에 전기적으로 접속될 수 있다.

- [0063] 복수의 공통전극(108)은 핑거(finger), 또는 헤링본(herringbone) 형상으로 서브-화소(P11, P12, P21, P22) 내에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 공통전극(108)은 수직 방향이나 수평 방향의 직선 형상으로 배치될 수도 있다.
- [0064] 화소전극 접속부(118')는 화소전극라인(118L)과 연결될 수 있다.
- [0065] 화소전극라인(118L)은 복수의 화소전극(118) 일측과 연결될 수 있다. 또한, 화소전극 접속부(118')는 제1 컨택홀(140a)을 통해, 노출된 드레인전극(123)과 화소전극(118) 사이를 전기적으로 접속할 수 있다.
- [0066] 한 쌍의 화소전극 접속부들(118')이 하나의 BS 영역(BS)에 함께 배치될 수 있다. 이때, 어느 하나의 화소전극 접속부(118')는 상측의 서브-화소(P11, P12, P21, P22)의 화소전극(118)에 연결되는 반면에, 다른 하나의 화소전극 접속부(118')는 하측의 서브-화소(P11, P12, P21, P22)의 화소전극(118)에 연결될 수 있다.
- [0067] 이 결과, 박막트랜지스터를 통해 화소 신호가 공급된 화소전극(118)과 공통라인(1081)을 통해 기준 전압이 공급된 공통전극(108) 사이에는 횡전계가 형성될 수 있다. 이러한 횡전계에 의해 화소전극(118)과 공통전극(108) 사이에 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전할 수 있다.
- [0068] 게이트라인(116n-1, 116n)은 게이트 패드를 통해 게이트 드라이버와 접속될 수 있고, 데이터라인(117m-1, 117m, 117m+1)은 데이터 패드를 통해 데이터 드라이버와 접속될 수 있다.
- [0069] 본 발명의 일 실시예에 따른 COT 구조의 액정표시장치(100)는 합착마진을 줄여 개구율 등이 향상되는 이점이 있다.
- [0070] 또한, 컬러필터(107R, 107G, 107B)를 적층하여 서브-화소들 사이의 다른 경계, 즉 BS 영역(BS)에 차광층(107R, 107B)을 형성하여 빛의 누설을 방지하고 있다.
- [0071] 이때, 셀-갭(cell gap)을 균일하게 유지하기 위해 BS(Black Strip) 영역 내에 칼럼 스페이스(column spacer)(150)를 배치할 수 있다(도 3 참조).
- [0072] 한편, 65인치 이상의 초대형 모델의 경우 레드 아이 마진(red eye margin) 및 액정 마진으로 인해 BS 영역의 축소가 어렵다. 초대형 모델의 경우 BS 영역은 최소 70 μ m 이상이 필요하며, 일 예로 75인치 모델의 경우 BS 영역은 약 80 μ m이다. 본 발명의 경우 공통라인(1081)의 공유와 BS 영역의 축소로 투과율이 기존 대비 10%이상 향상될 수 있다. 또한, 본 발명은 초대형 모델에서 레드 아이 불량에 강건하며, 개구율을 최적화하고 투과율을 향상시킬 수 있다.
- [0073] 따라서, BS 영역의 축소가 어려운 초대형 모델에서 레드 아이 마진 및 액정 마진의 설계를 최적화할 수 있어 표시 품질이 향상되는 효과를 제공한다.
- [0074] 즉, 외력에 의한 칼럼 스페이스의 밀립, 또는 이동에 의한 레드 아이 불량이나 빛샘을 방지하기 위해, 칼럼 스페이스의 형성 위치를 기준으로 BS 영역 상부의 블랙매트릭스의 폭을 확대 설계하게 되는데, 이는 고해상도와 고개구율을 요구하는 고객의 요구(needs)에 큰 걸림돌로 작용하며, 특히 초대형 모델에 있어 개구율 확보에 한계를 가져오고 있었다.
- [0075] 일반적으로 칼럼 스페이스는 액정표시장치의 셀-갭을 일정하게 유지하는 역할을 하며, 원형 등의 형태로 게이트라인 영역의 블랙매트릭스 위에 형성되어 있다.
- [0076] 이러한 칼럼 스페이스는 액정 마진, 눌림 마진 및 공정 오차를 고려하여 최소한의 사이즈로 형성하게 된다. 그리고, 블랙매트릭스의 사이즈는 액정 구동 시 발생하는 디스클리네이션(disclination)이나 러빙 시 발생하는 칼럼 스페이스의 디스클리네이션에 의한 빛샘을 막을 수 있는 수준으로 형성하게 된다.
- [0077] 일반적으로 상부기판에 형성된 칼럼 스페이스는 하부기판과 접촉하며, 외력을 받았을 때 다방면으로 하부기판면을 미끄러져 이동하다가 원래의 자리로 되돌아오게 된다.
- [0078] 이때, 이동하는 칼럼 스페이스는 하부기판 표면의 폴리이미드(polyimide; PI)로 이루어진 배향막에 손상(damage)을 주게 되는데, 이러한 배향막의 손상에 의해 액정 배열이 틀어져 빛이 새어 나오게 된다.
- [0079] 즉, 외력이 인가되면 상부기판과 하부기판 사이에 위치 편차가 발생하게 되며, 이러한 외력에 의한 액정표시장

치의 변형으로 상부기판에 형성된 칼럼 스페이서가 이동하면서 배향막에 긁힘과 같은 손상이 발생하게 된다. 이러한 배향막의 긁힘은 상부기판이 원래 위치로 복귀하더라도 회복되지 않아 액정의 배향이 원래의 배열로부터 틀어지게 되며, 그 결과 원하는 빛이 새는 빛샘이 발생하게 된다.

- [0080] 이렇게 새어 나오는 빛은 액정표시장치의 블랙 화상에서 칼럼 스페이서의 형성 위치에 따라 붉은 색을 띠거나(reddish), 녹색을 띠거나(greenish), 또는 푸른색을 띠게(bluish) 되는데, 통상 이를 레드 아이(red eye) 불량이라 부른다.
- [0081] 이러한 칼럼 스페이서의 이동에 의한 빛샘을 방지하고자 칼럼 스페이서의 이동 거리를 감안하여 칼럼 스페이서의 형성 위치를 기준으로 게이트라인 상부의 블랙매트릭스의 폭을 확대 설계하게 되는데, 이는 고해상도 및 고개구율을 요구하는 고객의 요구(needs)에 가장 큰 걸림돌로 작용하며, 특히 개구율 확보에 한계를 가져오고 있다.
- [0082] 이에 본 발명의 일 실시예는, 초대형 모델은 BS 영역(BS)이 상대적으로 넓어 회로 설계가 용이하고, 다른 구성의 추가, 배치가 가능하다는 점 및 상하로 이웃하는 서브-화소들(P11, P12, P21, P22)이 공통라인(1081)을 공유할 경우 BS 영역(BS)을 그만큼 축소시킬 수 있는 점에 착안하여, 초대형 모델에서 BS 영역(BS)을 축소시킬 수 있는 구조를 개시한다.
- [0083] 즉, 상술한 바와 같이 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 경계에 공통라인(1081)을 배치하여 상하로 이웃하는 서브-화소들(P11, P12, P21, P22)이 공유하도록 한다. 그리고, 상하로 이웃하는 서브-화소들(P11, P12, P21, P22) 사이의 다른 경계의 BS 영역(BS)에 게이트라인(116n-1, 116n) 등의 회로부를 함께 배치하여 BS 영역(BS)을 축소시킴으로써, 투과율과 개구율을 향상시킬 수 있다. 또한, BS 영역(BS)의 축소가 어려운 초대형 모델에서 레드 아이 불량을 방지할 수 있다.
- [0084] 도 4는 비교예에 따른 액정표시장치에 있어, 화소 구조를 예로 보여주는 평면도이다.
- [0085] 도 4를 참조하면, 비교예에 따른 액정표시장치의 경우에는, 하나의 로우 서브-화소(P11, P12, P13, P21, P22, P23)에 대해 하나의 BS 영역(BS)이 설계된 것을 알 수 있다. 또한, 하나의 로우 서브-화소(P11, P12, P13, P21, P22, P23)에 대해 하나의 게이트라인(미도시)이 배치되고, 하나의 칼럼 서브-화소(P11, P12, P13, P21, P22, P23)에 대해 하나의 데이터라인(17m-1, 17m, 17m+1)이 배치된 것을 알 수 있다.
- [0086] 비교예에 따른 액정표시장치는, 칼럼 스페이서(50)의 이동에 의한 빛샘을 방지하고자 칼럼 스페이서(50)의 이동 거리를 감안하여 칼럼 스페이서(50)의 형성 위치를 기준으로 블랙매트릭스와 BS 영역(BS)의 폭을 확대 설계하게 된다. 초대형 모델의 경우 레드 아이 마진과 액정 마진을 확보하기 위해 BS 영역(BS)의 축소가 어려우며, 이에 따라 개구율과 투과율이 축소된다.
- [0087] 일 예로, 도 3 및 도 4에는 각각 본 발명의 일 실시예 및 비교예에 따른 두 개의 로우 서브-화소(P11, P12, P13, P21, P22, P23)에 대한 폭(L1, L2)을 도시하고 있다. 도 3 및 도 4를 참조하면, 공통라인(1081) 및 BS 영역(BS)을 공유하는 본 발명의 일 실시예의 경우, 비교예에 비해 폭(L1)이 감소되는 것을 알 수 있다. 이에 따라 본 발명의 일 실시예의 경우, 비교예에 비해 동일한 사이즈의 모델에 대해 서브-화소(P11, P12, P13, P21, P22, P23)의 폭을 증가시킬 수 있어 개구율과 투과율이 향상될 수 있다.
- [0088] 이하, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0089] 도 5a 및 5b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제1 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- [0090] 도 5a 및 도 5b를 참조하면, 제1 마스크 공정을 통해 하부기판(110) 위에 게이트전극(121), 게이트라인(116n-1, 116n) 및 공통라인(1081), 공통배선(108L), 제1 차폐라인(108a)이 형성될 수 있다.
- [0091] 이때, 게이트전극(121), 게이트라인(116n-1, 116n) 및 공통라인(1081), 공통배선(108L), 제1 차폐라인(108a)은 하부기판(110) 위에 제1 금속층 및 포토레지스트를 순차적으로 형성하고, 제1 마스크를 이용한 사진공정을 통해 제1 포토레지스트 패턴을 형성하여 제1 금속층을 식각 함으로써 형성될 수 있다.
- [0092] 제1 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리 텅스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.

- [0093] 게이트라인(116n-1, 116n)은 하부기관(110) 위에 제1 방향으로 배치될 수 있다.
- [0094] 공통라인(1081)은 상하로 이웃하는 서브-화소들 사이의 경계에 배치되며, 게이트라인(116n-1, 116n)에 대해 나란한 방향으로 배치될 수 있다. 즉, 본 발명의 일 실시예에 따른 액정표시장치는, 상하로 이웃하는 서브-화소들의 경계에 공통라인(1081)을 배치하여 공유하는 것을 특징으로 한다.
- [0095] 공통배선(108L)은 BS 영역에 배치되며, 게이트라인(116n-1, 116n)에 대해 나란한 방향으로 배치될 수 있다. 일 예로, 공통배선(108L)은 게이트라인들(116n-1, 116n) 사이에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0096] 데이터라인(117m-1, 117m, 117m+1)의 일측에는 제1 차폐라인(108a)이 배치될 수 있으며, 제1 차폐라인(108a)은 공통라인(1081)에 연결될 수 있다. 제1 차폐라인(108a)은 횡진계에 대한 데이터 신호의 간섭을 차폐할 수 있다.
- [0097] 한편, 공통라인(1081)은 제1 차폐라인(108a)과 접속되는 부분 주위에 다른 부분보다 넓은 폭을 가지도록 확장될 수 있으며, 후에 형성되는 제2 콘택홀을 통해 일부가 노출될 수 있다.
- [0098] 도 6은 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제2 마스크공정을 설명하기 위한 단면도이다.
- [0099] 도 6을 참조하면, 상술한 게이트전극(121), 게이트라인(116n-1, 116n) 및 공통라인(1081), 공통배선(108L), 제1 차폐라인(108a)이 형성된 하부기관(110) 위에 게이트절연층(115a)이 형성된다.
- [0100] 그리고, 게이트절연층(115a) 위에 제2 마스크공정을 통해 액티브층(124)이 형성될 수 있다.
- [0101] 구체적으로, 게이트절연층(115a)이 형성된 하부기관(110) 위에 반도체층을 형성한 후, 제2 포토레지스트 패턴을 형성한다.
- [0102] 게이트절연층(115a)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함한다. 일 예로, 게이트절연층(115a)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화haf늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0103] 반도체층으로는 비정질 실리콘(a-Si), 저온 다결정 실리콘(Low Temperature Poly Silicon; LTPS), IGZO 계열의 산화물 반도체, 화합물 반도체, 카본 나노 튜브(carbon nano tube), 그래핀(graphene) 및 유기 반도체 등을 포함할 수 있다.
- [0104] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 반도체층은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO: SIZO)으로 이루어질 수도 있다.
- [0105] 반도체층이 SIZO로 이루어지는 경우, 액티브층에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.
- [0106] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티움(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리뮴(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.
- [0107] 제2 포토레지스트 패턴은 반도체층 위에 포토레지스트를 형성한 후에, 포토레지스트에 제2 마스크를 이용한 사 진공정을 수행하여 형성할 수 있다.
- [0108] 이어서, 하부기관(110) 위에 형성된 제2 포토레지스트 패턴을 식각 마스크로 반도체층을 식각하여 반도체층으로

이루어진 액티브층(124)을 형성한다.

- [0109] 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제3 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- [0110] 도 7a 및 도 7b를 참조하면, 액티브층(124)이 형성된 하부기관(110) 위에 소스전극(122)과, 드레인전극(123) 및 데이터라인(117m-1, 117m, 117m+1)이 형성될 수 있다.
- [0111] 구체적으로, 액티브층(124)이 형성된 하부기관(110) 위에 제2 금속층을 형성한 후, 제3 포토레지스트 패턴을 형성한다.
- [0112] 제2 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0113] 제3 포토레지스트 패턴은 제2 금속층 위에 포토레지스트를 형성한 후에, 포토레지스트에 제3 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0114] 이어서, 하부기관(110) 위에 형성된 제3 포토레지스트 패턴을 식각 마스크로 반도체층을 식각하여 제2 금속층으로 이루어진 소스전극(122)과, 드레인전극(123) 및 데이터라인(117m-1, 117m, 117m+1)을 형성한다.
- [0115] 데이터라인(117m-1, 117m, 117m+1)은 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인(116n-1, 116n)과 함께 복수의 서브-화소를 구획할 수 있다.
- [0116] 한편, 상술한 본 발명의 일 실시예는 소스전극(122), 드레인전극(123), 데이터라인(117m-1, 117m, 117m+1) 및 액티브층(124)을 제2, 제3 마스크의 개별적인 마스크 공정으로 형성한 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다. 소스전극(122), 드레인전극(123), 데이터라인(117m-1, 117m, 117m+1) 및 액티브층(124)은 제2 마스크의 한번의 마스크 공정으로 형성할 수도 있으며, 이를 설명하면 다음과 같다.
- [0117] 우선, 게이트절연층(115a)이 형성된 하부기관(110) 위에 반도체층 및 제2 금속층을 순차적으로 형성한 후, 제2 포토레지스트 패턴을 형성한다.
- [0118] 제2 포토레지스트 패턴은 제2 금속층 위에 포토레지스트를 형성하고, 포토레지스트에 제2 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0119] 이때, 제2 마스크는 광을 투과시키는 투과영역, 광의 일부분을 투과시키고 일부분은 차단시키는 반투과영역 및 광을 차단시키는 차단영역을 포함하는 3개의 서로 다른 투과율을 갖는 마스크를 사용할 수 있다. 반투과영역은 차단영역보다 투과율이 높은 영역으로써, 사진공정을 통해 형성되는 반투과영역에서의 포토레지스트 패턴의 두께는 차단영역에서의 포토레지스트 패턴의 두께보다 낮게 형성될 수 있다.
- [0120] 이어서, 하부기관(110) 위에 형성된 제2 포토레지스트 패턴을 식각 마스크로 제2 금속층 및 반도체층을 식각하여 TFT용 패턴 및 데이터라인(117m-1, 117m, 117m+1)이 형성될 수 있다.
- [0121] TFT용 패턴 및 데이터라인(117m-1, 117m, 117m+1)은 제2 포토레지스트 패턴을 식각 마스크로 제2 금속층 및 반도체층을 식각 함으로써 형성될 수 있다. 이로써, TFT용 패턴 및 데이터라인(117m-1, 117m, 117m+1)은 제2 금속층 및 반도체층이 패터닝된 제2 금속 패턴 및 반도체 패턴이 적층 형성될 수 있다.
- [0122] 이어서, TFT용 패턴 및 데이터라인(117m-1, 117m, 117m+1)이 형성된 하부기관(110) 위에 애싱공정을 수행하여, 제3 포토레지스트 패턴을 형성한다. 제3 포토레지스트 패턴은 박막트랜지스터의 채널영역이 형성될 영역의 제2 금속패턴이 노출되도록 형성될 수 있다.
- [0123] 이어서, 제3 포토레지스트 패턴을 식각 마스크로 TFT용 패턴의 제2 금속패턴 및 반도체 패턴의 일부를 식각하여 박막트랜지스터의 액티브층(124), 소스전극(122) 및 드레인전극(123)을 형성할 수 있다.
- [0124] 도 8a 및 8b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제4 마스크공정 내지 제7 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- [0125] 도 8a 및 도 8b를 참조하면, 소스전극(122)과, 드레인전극(123) 및 데이터라인(117m-1, 117m, 117m+1)이 형성된 하부기관(110) 위에 보호층(115b)을 형성한다. 그리고, 제4 마스크와, 제5 마스크 및 제6 마스크공정을 통해

적색 컬러필터(107R)와, 청색 컬러필터(107B) 및 녹색 컬러필터(107G)를 형성할 수 있다.

- [0126] 보호층(115b)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al_2O_3 를 포함하는 금속 산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 보호층(115b)으로는, 산화실리콘(SiO_2), 질화실리콘($SiNx$), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 바륨-스트론튬-티타늄-산소화합물($Ba-Sr-Ti-O$) 및 비스머스-아연-니오븀-산소 화합물($Bi-Zn-Nb-O$)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0127] 일 예로, 적색 컬러필터(107R)는 적색 컬러레지스트를 도포하고, 적색 컬러레지스트에 제4 마스크를 이용한 사진공정을 수행하여 형성할 수 있다. 청색 컬러필터(107B) 또한 청색 컬러레지스트를 도포하고, 청색 컬러레지스트에 제5 마스크를 이용한 사진공정을 수행하여 형성할 수 있다. 녹색 컬러필터(107G) 또한 녹색 컬러레지스트를 도포하고, 녹색 컬러레지스트에 제6 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0128] 적색 컬러필터(107R), 청색 컬러필터(107B) 및 녹색 컬러필터(107G)의 형성 순서는 어떤 컬러필터(107R, 107G, 107B)를 먼저 형성하더라도 무방하다.
- [0129] 서브-화소에 컬러필터(107R, 107G, 107B)를 형성하는 동시에, 상하로 이웃하는 서브-화소들 사이의 BS 영역에 적어도 하나의 컬러필터(107R, 107B)로 구성된 차광층(160)을 형성할 수 있다.
- [0130] 일 예로, 도 8b를 참조하면, 차광층(160)은 적색 컬러필터(107R) 위에 청색 컬러필터(107B)가 적층되어 구성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 참고로, 도 8a는 편의상 컬러필터(107R, 107G, 107B)와 차광층(160)을 도시하지 않았다.
- [0131] 이후, 컬러필터(107R, 107G, 107B)와 차광층(160)이 형성된 하부기관(110) 상부에는 차광층(160)을 덮도록 평탄화층(115c)을 형성할 수 있다.
- [0132] 평탄화층(115c)은 컬러필터(107R, 107G, 107B)를 보호하고 평탄화하기 위한 수지 조성물을 이용하여 형성한 오버코트층으로 구성될 수 있다.
- [0133] 그리고, 제7 마스크공정을 통해 제1 컨택홀(140a) 및 제2 컨택홀(140b)을 형성한다. 즉, 평탄화층(115c)이 형성된 하부기관(110) 위에 제4 포토레지스트 패턴을 형성한다. 이때, 제4 포토레지스트 패턴은 평탄화층(115c) 위에 포토레지스트를 형성하고, 포토레지스트에 제7 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0134] 이어서, 제4 포토레지스트 패턴을 식각 마스크로 서브-화소들 사이의 경계의 평탄화층(115c), 보호층(115b), 게이트절연층(115a) 및 컬러필터(107R, 107G, 107B)의 일부를 선택적으로 식각하여 공통라인(1081)의 일부를 노출시키는 제2 컨택홀(140b)을 형성할 수 있다. 이와 동시에, 제4 포토레지스트 패턴을 식각 마스크로 서브-화소들 사이의 다른 경계의 평탄화층(115c)과, 보호층(115b) 및 차광층(160)의 일부를 선택적으로 식각하여 드레인전극(123)의 일부를 노출시키는 제1 컨택홀(140a)을 형성할 수 있다.
- [0135] 이때, 본 발명의 일 실시예에 따른 제1 컨택홀(140a)은 일 예로, 상하로 이웃하는 서브-화소들 사이의 BS 영역에 2개가 함께 배치될 수 있다. 또한, 본 발명의 일 실시예에 따른 제2 컨택홀(140b)은 일 예로, 상하로 이웃하는 서브-화소들 사이의 경계에 하나씩 배치될 수 있으며, 하나 이상의 좌우로 이웃하는 서브-화소들마다 하나씩 배치될 수 있다.
- [0136] 도 9a 및 9b는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법 중 제8 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- [0137] 도 9a 및 도 9b를 참조하면, 평탄화층(115c)이 형성된 하부기관(110) 위에 제3 금속층으로 복수의 공통전극(108)과 화소전극(118), 공통전극 접속부(108b')와 화소전극 접속부(118') 및 제2 차폐라인(108b), 화소전극라인(118L)을 형성할 수 있다.
- [0138] 구체적으로, 평탄화층(115c)이 형성된 하부기관(110) 위에 투명도전막의 제3 금속층을 형성하고, 투명도전막 위에 제5 포토레지스트 패턴을 형성한다.
- [0139] 제5 포토레지스트 패턴은 투명도전막 위에 포토레지스트를 형성하고, 포토레지스트에 제8 마스크를 이용한 사진공정을 수행하여 형성할 수 있다.
- [0140] 이어서, 제5 포토레지스트 패턴을 식각 마스크로 투명도전막을 식각하여 공통전극(108)과 화소전극(118), 공통

전극 접속부(108b')와 화소전극 접속부(118') 및 제2 차폐라인(108b), 화소전극라인(118L)을 형성할 수 있다.

- [0141] 이때, 화소전극(118)은 서브-화소 내에서 공통전극(108)과 교대로 배치되어 횡전계를 형성할 수 있다.
- [0142] 데이터라인(117m-1, 117m, 117m+1)의 상부에는 제2 차폐라인(108b)이 배치될 수 있으며, 제2 차폐라인(108b)은 공통전극 접속부(108b')를 통해 그 하부의 공통라인(1081)에 연결될 수 있다. 그리고, 공통전극 접속부(108b')는 제2 차폐라인(108b)으로부터 돌출하여 제2 컨택홀(140b)을 통해 공통라인(1081)에 전기적으로 접속될 수 있다.
- [0143] 복수의 공통전극(108)은 핑거(finger), 또는 헤링본(herringbone) 형상으로 서브-화소 내에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 공통전극(108)은 수직 방향이나 수평 방향의 직선 형상으로 배치될 수도 있다.
- [0144] 화소전극 접속부(118')는 화소전극라인(118L)과 연결될 수 있다.
- [0145] 화소전극라인(118L)은 복수의 화소전극(118) 일측과 연결될 수 있다. 또한, 화소전극 접속부(118')는 제1 컨택홀(140a)을 통해, 노출된 드레인전극(123)과 화소전극(118) 사이를 전기적으로 접속할 수 있다.
- [0146] 한 쌍의 화소전극 접속부들(118')이 하나의 BS 영역에 함께 배치될 수 있다. 어느 하나의 화소전극 접속부(118')는 상측의 서브-화소의 화소전극(118)에 연결되는 반면에, 다른 하나의 화소전극 접속부(118')는 하측의 서브-화소의 화소전극(118)에 연결될 수 있다.
- [0147] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.
- [0148] 본 발명의 일 실시예에 따른 액정표시장치는, 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트라인과 데이터라인, 상하로 이웃하는 서브-화소들 사이의 경계 내에 구비되는 공통라인, 서브-화소들 사이의 다른 경계 내에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터 및 서브-화소 내에 교대로 배치되는 복수의 공통전극과 화소전극을 포함하며, 박막트랜지스터는 다른 경계 내에 한 쌍 구비되어, 어느 하나의 박막트랜지스터는 상측의 서브-화소에 연결되고, 다른 하나의 박막트랜지스터는 하측의 서브-화소에 연결될 수 있다.
- [0149] 본 발명의 다른 특징에 따르면, 액정표시장치는 서브-화소에 구비되는 컬러필터 및 다른 경계에 구비되며, 적어도 하나의 컬러필터로 구성된 차광층을 더 포함할 수 있다.
- [0150] 본 발명의 또 다른 특징에 따르면, 차광층은 적색 컬러필터 위에 청색 컬러필터가 적층되어 구성될 수 있다.
- [0151] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 공통라인 위에 구비되는 제1 절연층 및 박막트랜지스터 위에 구비되며, 적어도 2층으로 이루어진 제2 절연층을 더 포함할 수 있다.
- [0152] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 제2 절연층과 차광층을 관통하여 박막트랜지스터의 드레인전극 일부를 노출시키는 제1 컨택홀 및 제1 절연층과 제2 절연층 및 컬러필터를 관통하여 공통라인의 일부를 노출시키는 제2 컨택홀을 더 포함할 수 있다.
- [0153] 본 발명의 또 다른 특징에 따르면, 게이트라인은 다른 경계 내에 한 쌍이 구비되어, 어느 하나의 게이트라인은 상측의 서브-화소에 연결되고, 다른 하나의 게이트라인은 하측의 서브-화소에 연결될 수 있다.
- [0154] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 다른 경계 내에 게이트라인에 대해 나란한 방향으로, 한 쌍의 게이트라인들 사이에 배치되는 공통배선을 더 포함할 수 있다.
- [0155] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 데이터라인의 적어도 일측에 배치되어 공통라인에 연결되는 제1 차폐라인을 더 포함할 수 있다.
- [0156] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 데이터라인의 상부에 배치되며, 제2 컨택홀을 통해 그 하부의 공통라인과 전기적으로 접속하는 제2 차폐라인을 더 포함할 수 있다.
- [0157] 본 발명의 또 다른 특징에 따르면, 제1 컨택홀은 다른 경계 내에 한 쌍이 배치되며, 제2 컨택홀은 경계 내에 하나씩 배치되는 동시에, 하나 이상의 좌우로 이웃하는 서브-화소들마다 하나씩 배치될 수 있다.
- [0158] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 복수의 화소전극들의 일측과 연결되는 화소전극라인을 더 포함할 수 있다.
- [0159] 본 발명의 또 다른 특징에 따르면, 액정표시장치는 다른 경계 내에 배치되며, 화소전극라인과 연결되는 화소전

극 접속부를 더 포함할 수 있다.

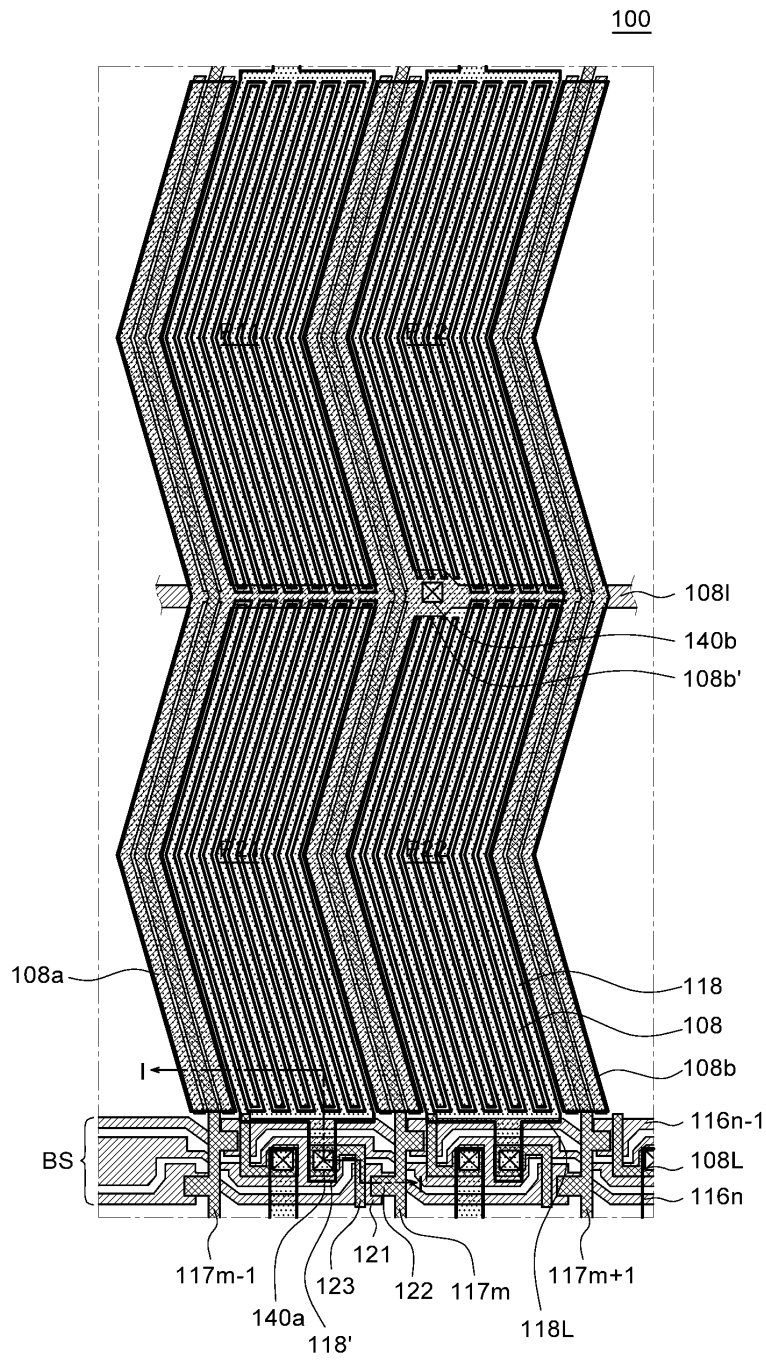
- [0160] 본 발명의 또 다른 특징에 따르면, 화소전극 접속부는, 제1 컨택홀을 통해 박막트랜지스터의 드레인전극과 화소전극 사이를 전기적으로 접속시킬 수 있다.
- [0161] 본 발명의 또 다른 특징에 따르면, 화소전극 접속부는 다른 경계 내에 한 쌍이 배치되며, 어느 하나의 화소전극 접속부는 상측의 서브-화소의 화소전극에 연결되고, 다른 하나의 화소전극 접속부는 하측의 서브-화소의 화소전극에 연결될 수 있다.
- [0162] 그리고, 본 발명의 다른 일 실시예에 따른 액정표시장치는, 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트라인과 데이터라인, 상하로 이웃하는 서브-화소들 사이의 경계 내에 구비되어 서브-화소들이 공유하는 공통라인, 서브-화소들 사이의 다른 경계 내에 구비되며, 게이트전극, 액티브층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터, 박막트랜지스터 위의 서브-화소에 구비되는 컬러필터, 다른 경계에 구비되며, 적어도 하나의 컬러필터로 구성된 차광층 및 컬러필터와 차광층 위의 서브-화소 내에 교대로 배치되는 복수의 공통전극과 화소전극을 포함하며, 박막트랜지스터와 게이트라인은 다른 경계 내에 한 쌍이 구비될 수 있다.
- [0163] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

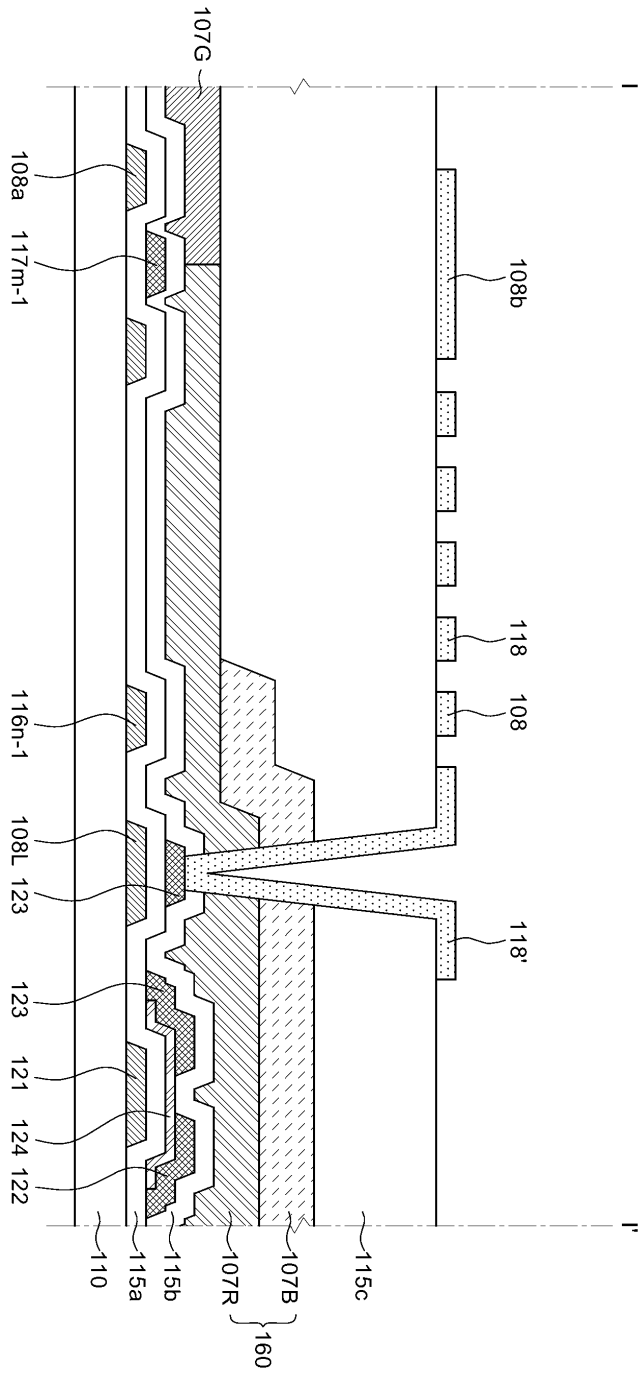
- [0164] 100: 액정표시장치
- 107B, 107R: 컬러필터
- 108: 공통전극
- 108a: 차폐라인
- 108b: 공통라인 접속부
- 108d: 공통전극 접속부
- 108L: 공통전극 라인
- 108L: 공통라인
- 110: 어레이 기판
- 116: 게이트라인
- 117: 데이터라인
- 118: 화소전극
- 118d: 화소전극 접속부
- 140: 컨택홀
- 160: 차광층

도면

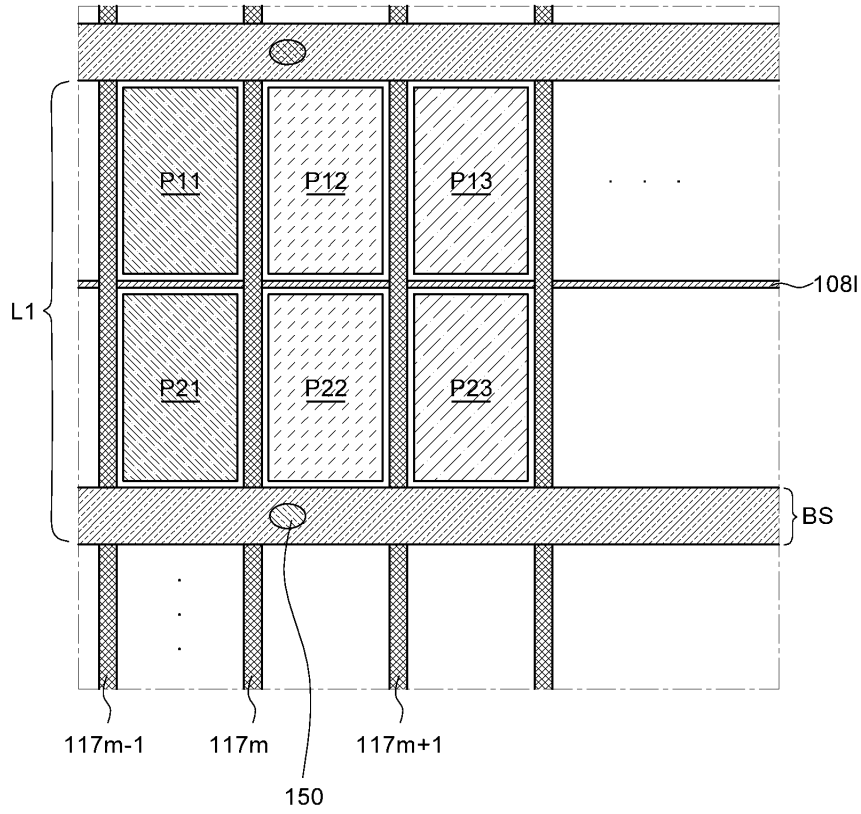
도면1



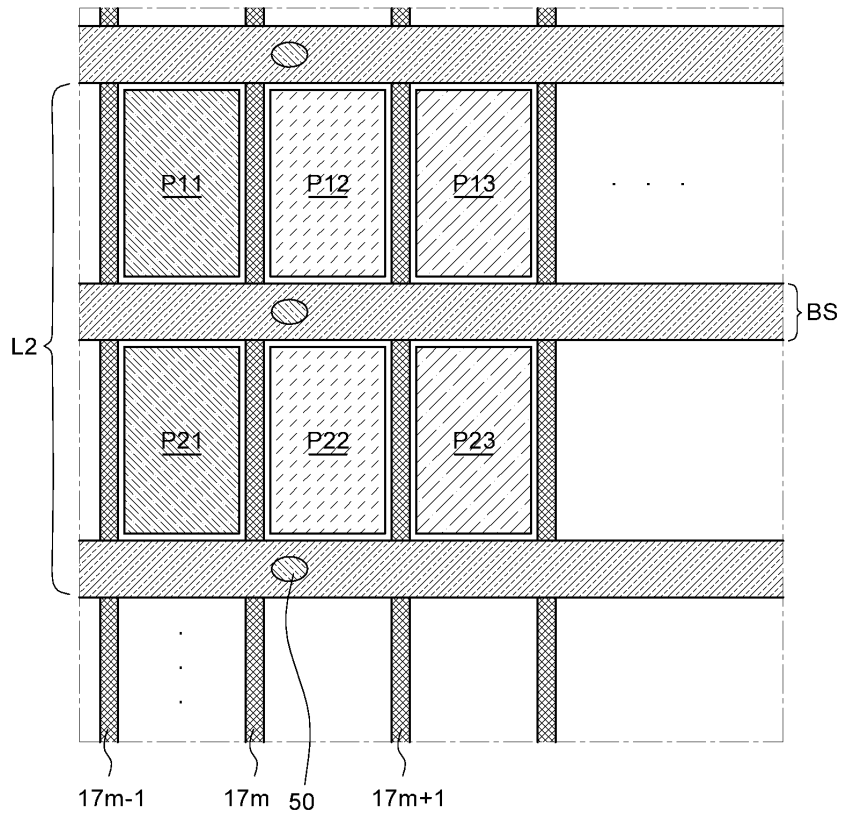
도면2



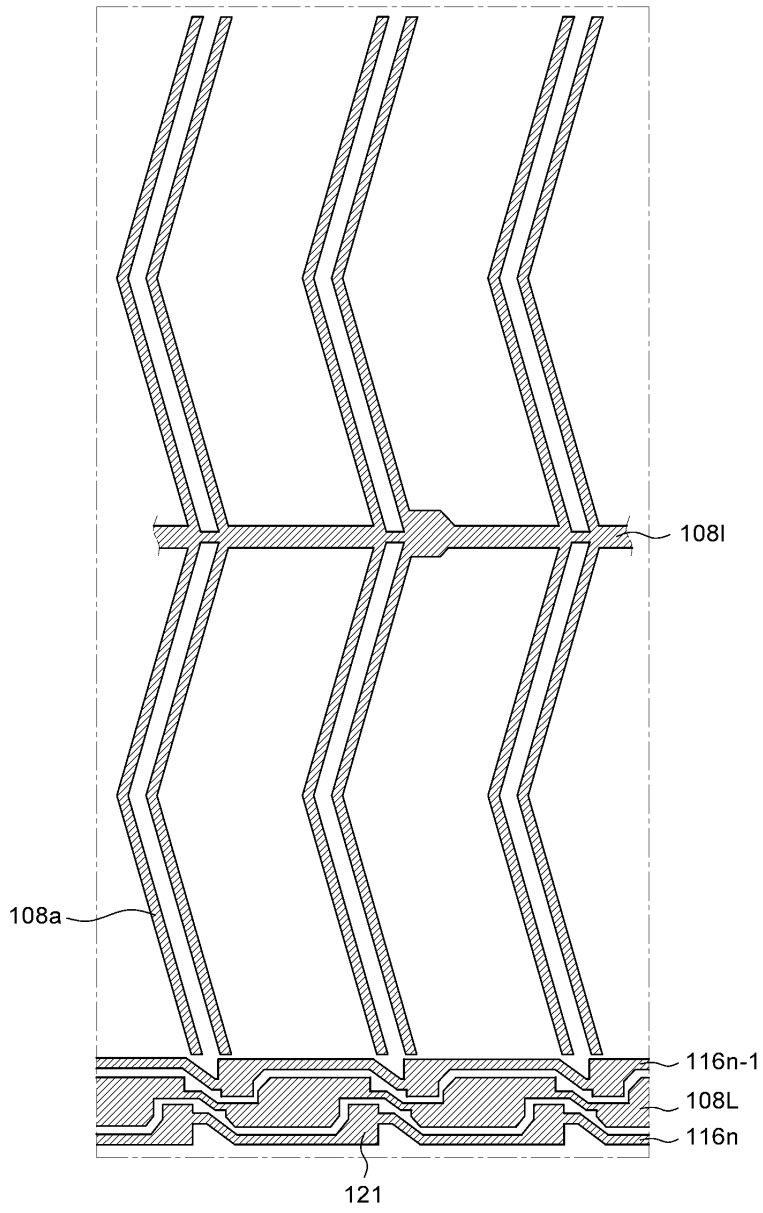
도면3



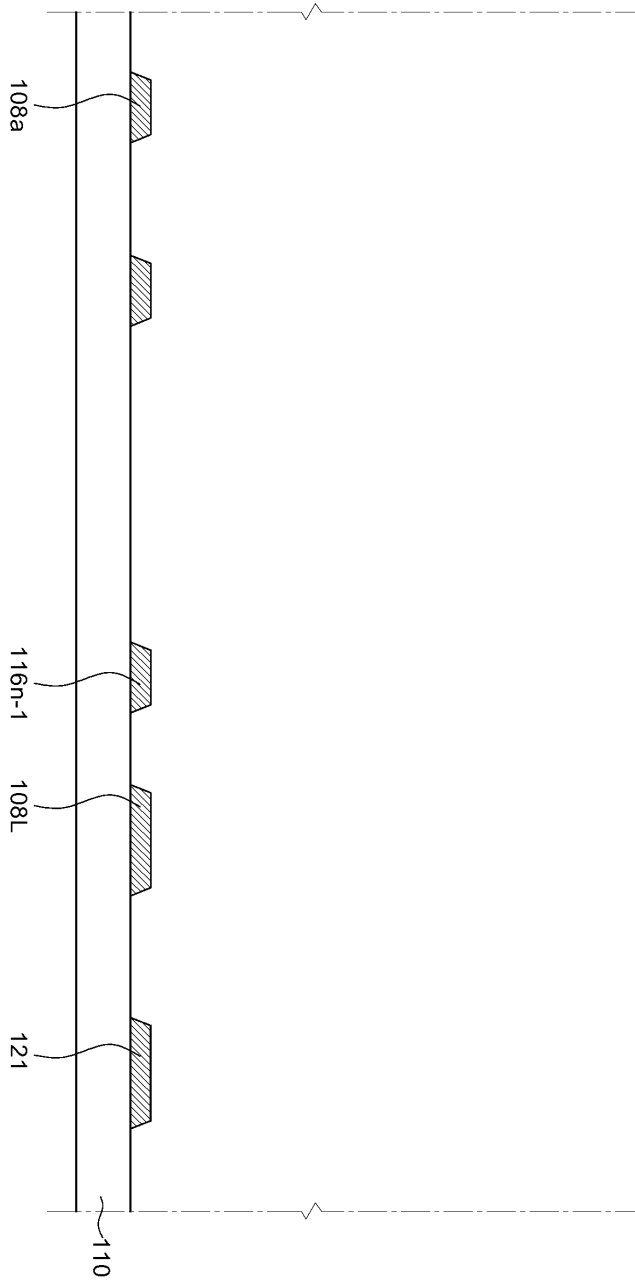
도면4



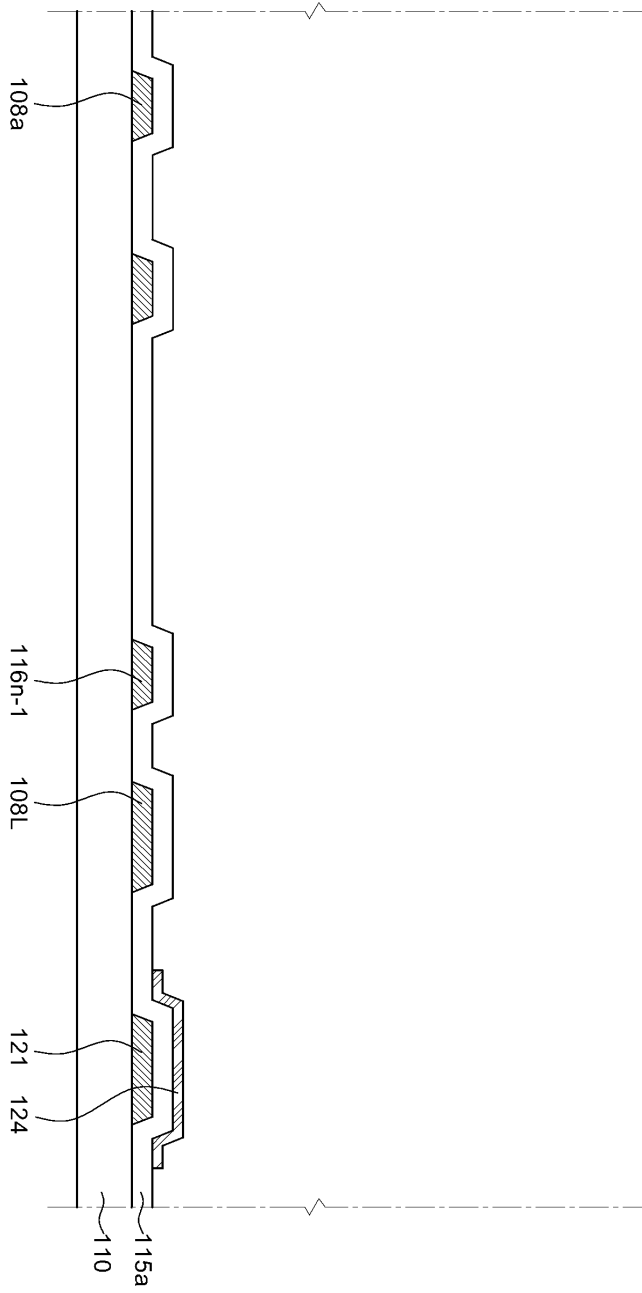
도면5a



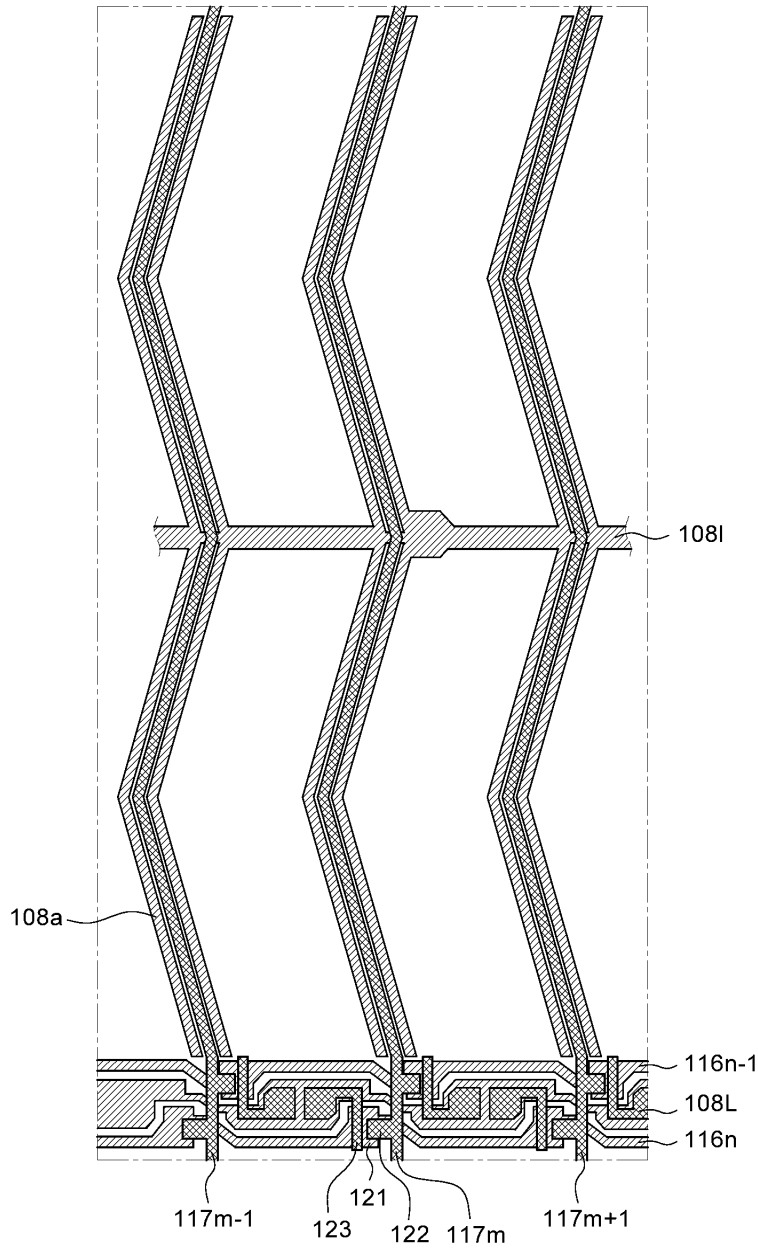
도면5b



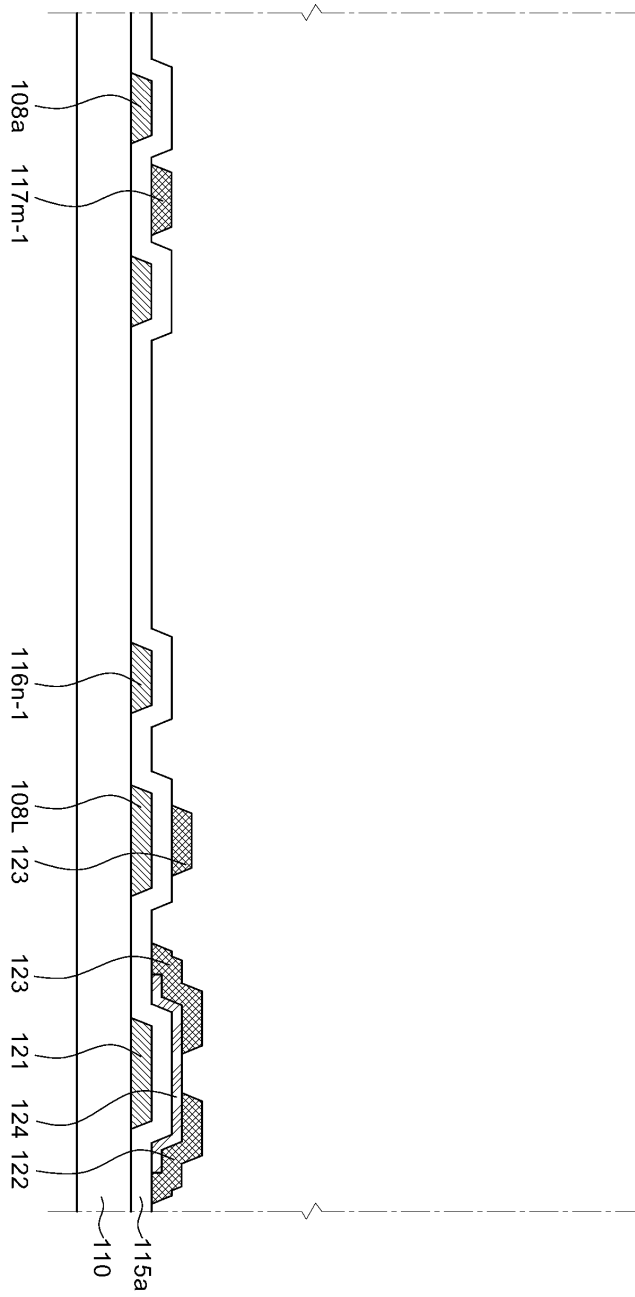
도면6



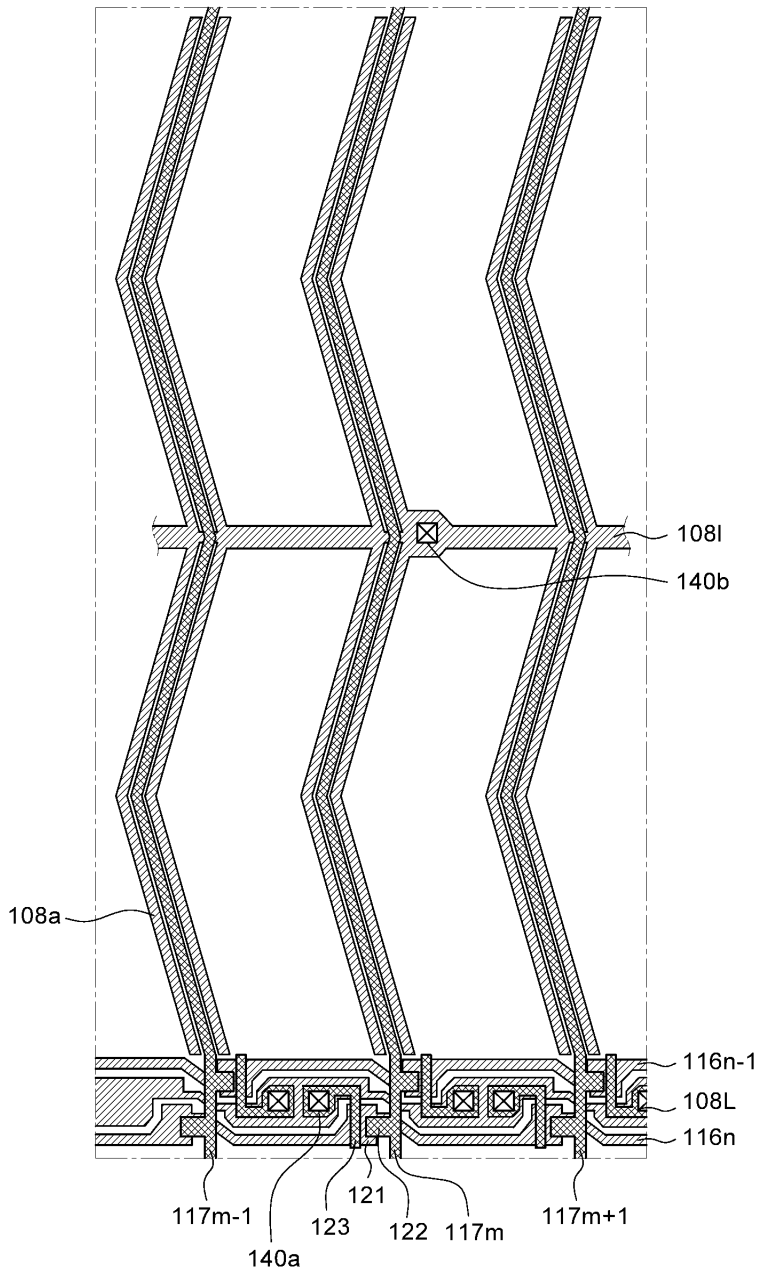
도면7a



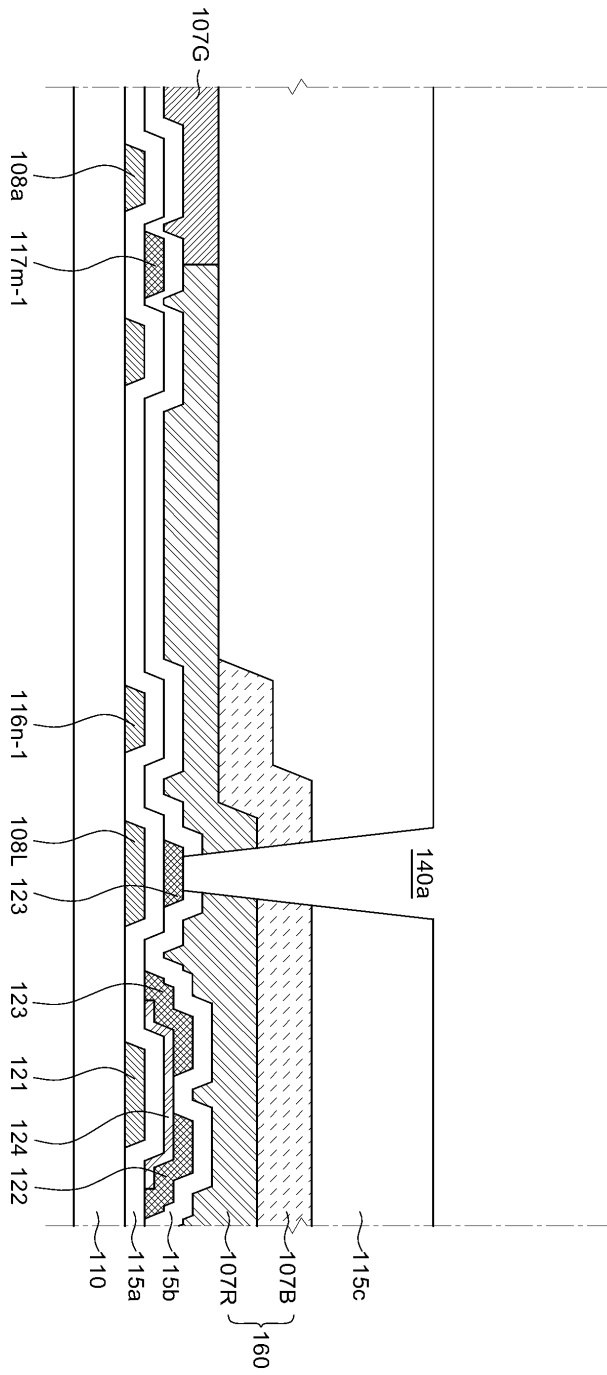
도면7b



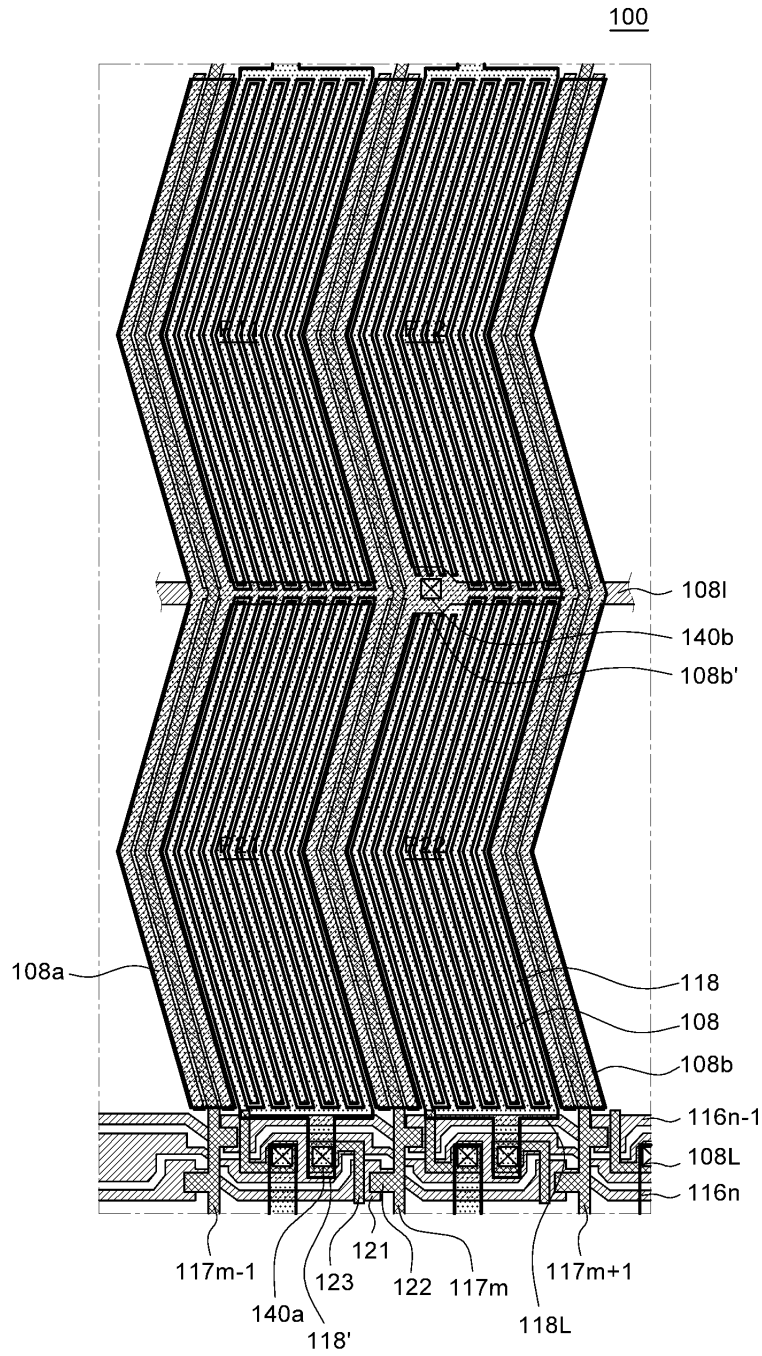
도면8a



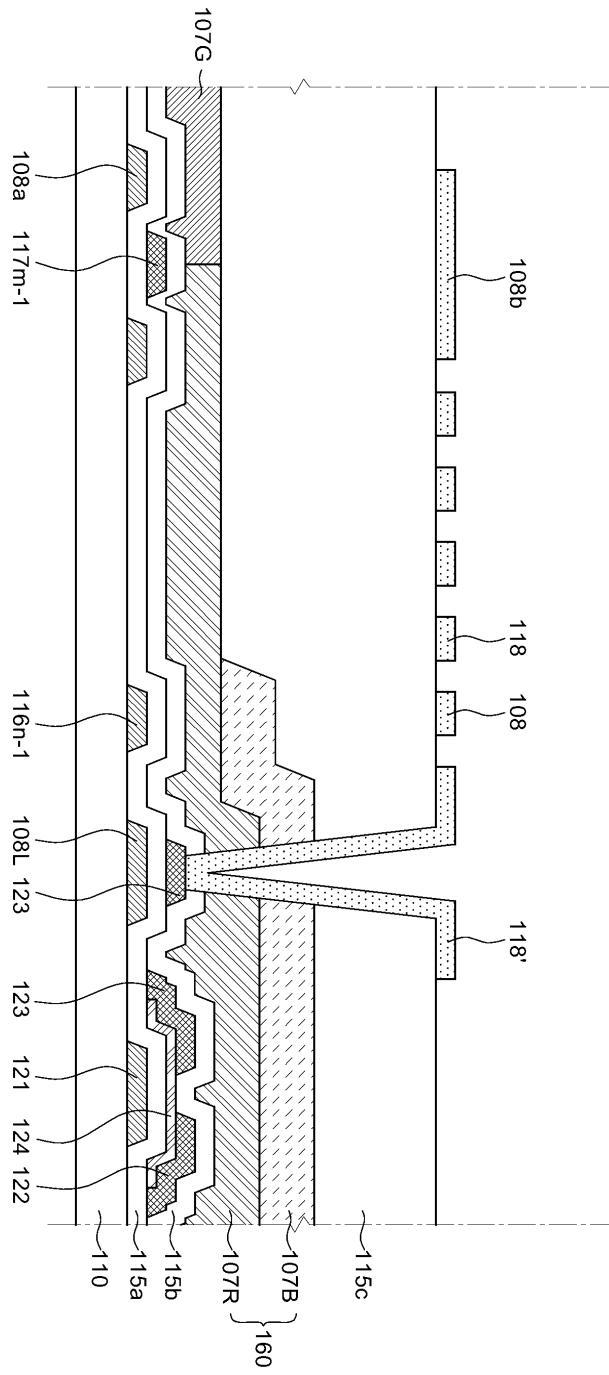
도면8b



도면9a



도면9b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020190073945A	公开(公告)日	2019-06-27
申请号	KR1020170175205	申请日	2017-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	유지선 전우열		
发明人	유지선 전우열		
IPC分类号	G02F1/1362		
CPC分类号	G02F1/1362 G02F2001/136222		
外部链接	Espacenet		

摘要(译)

根据本发明示例性实施例的LCD在TFT (COT) 结构上应用滤色器，其中滤色器以超大模型形成在阵列基板的薄膜晶体管上，并且在上下相邻子像素之间的边界处具有公共线。可以通过在不同边界的BS (黑条) 区域中布置和共享诸如栅极线之类的电路部分来共享，从而提高透射率和开口率。另外，在很难减小BS面积的非常大的模型中，可以防止红眼缺陷。

