



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078924
(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/133 (2006.01)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/134309 (2013.01)
G02F 1/133 (2013.01)
(21) 출원번호 10-2016-0184197
(22) 출원일자 2016년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
채희영
경기도 파주시 책향기로 403, 705동 505호 (동패동, 숲속길마을 월드메르디앙 센트럴파크)
(74) 대리인
특허법인네이트

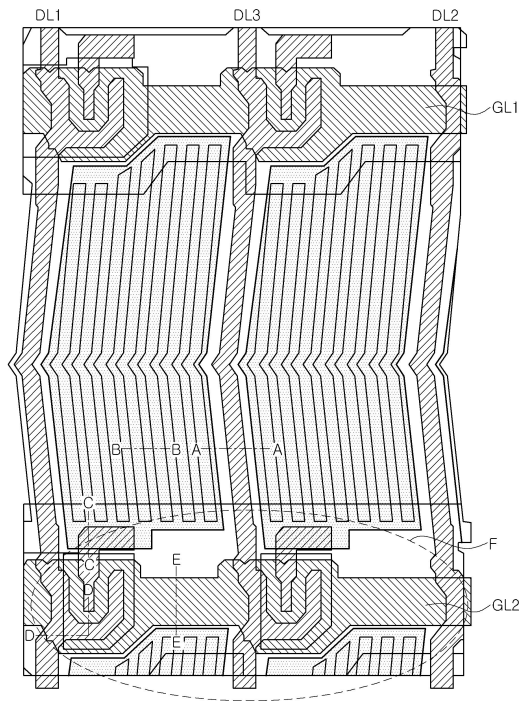
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 액정표시패널 및 그 제조방법과, 이를 이용한 액정표시장치

(57) 요약

본 발명은, 투명도전층과 금속층의 다중층으로 이루어진 공통전극을 가지는 화소전극으로 구성된 액정표시패널 및 그를 이용한 장치와, 이의 제조방법에 관한 것이다. 본 발명의 일 실시예에 따른 액정표시패널은 공통배선(CL) 및 그와 공통전극을 연결하기 위한 컨택홀(CH)을 삭제하여 개구율을 상승시킬 수 있다. 또한 본 발명의 일 (뒷면에 계속)

대표도 - 도2



실시예에 따른 액정표시패널은 데이터 상부의 공통전극과 데이터 전극이 없는 화소전극 사이 영역인 화소경계부에 배치된 공통전극의 폭을 서로 다르게 하여 개구율을 향상시킬 수 있다. 화소 경계부에 배치된 투명도전층 상부의 금속층과 화소연결부에 배치된 투명도전층 상부의 금속층을 연속적으로 연결하여 표시영역(A/A : Active Area)외곽에 배치된 공통전극 제1 연결부와 공통전극 제2 연결부 중 적어도 하나 이상에 연결되도록 하여 공통신호(Vcom)을 안정적으로 공급할 수 있다. 한편, 본 발명은 위에서 전술한 공통전극을 제조하기 위하여 하프톤 마스크 혹은 회절 노광 마스크를 이용하여 노광량이 서로 다른 제1 패턴, 제2 패턴으로 구성된 포토레지스터패턴을 형성하고, 제1 패턴과 제2 패턴을 이용하여 금속층과 투명도전층으로 이루어진 제1 영역과 투명도전층으로 이루어진 제2 영역을 한번의 노광으로 제조할 수 있는 제조방법을 제공한다.

(52) CPC특허분류

G02F 1/136286 (2013.01)

G02F 1/1368 (2013.01)

G02F 2201/121 (2013.01)

G02F 2201/123 (2013.01)

G02F 2201/40 (2013.01)

G02F 2202/22 (2013.01)

명세서

청구범위

청구항 1

표시영역과 표시영역 외곽에 비표시 영역을 가지는 기관;

상기 기관 상에 배치된 제 1 데이터 배선;

상기 기관 상에 형성되고 상기 제 1 데이터 배선과 교차하는 게이트 배선;

상기 게이트 배선과 상기 제 1 데이터 배선에 의해 정의되는 제 1 화소영역;

상기 제 1 화소영역에 대응되는 박막 트랜지스터;

상기 박막 트랜지스터 상부의 화소전극;

상기 화소전극과 보호층을 사이에 두고 (일부) 중첩 배치된 공통전극

을 포함하고,

상기 공통전극은 금속층과 투명 도전층으로 구성된 제 1 영역과 투명 도전층으로 구성된 제 2 영역으로 이루어진 액정표시패널.

청구항 2

제 1 항에 있어서

상기 화소전극은 상기 박막 트랜지스터의 드레인영역에 직접 연결되는 액정표시패널.

청구항 3

제 1 항에 있어서

상기 제 1 데이터 배선 상부에는 상기 공통전극의 상기 제 1 영역이 배치되는 액정표시패널.

청구항 4

제 1 항에 있어서

상기 게이트 배선과 교차되는 제 2 데이터 배선;

상기 게이트 배선과 상기 제 2 데이터 배선에 의해 정의되는 제 2 화소영역

을 더 포함하고,

상기 제 1 및 제 2 화소영역은 상기 제 1 및 제 2 데이터 배선 사이에 위치하고,

상기 제 1 화소영역의 상기 화소전극과 상기 제 2 화소영역의 상기 화소전극 사이의 화소경계부에는 상기 공통전극의 상기 제 1 이 배치되는 액정표시패널.

청구항 5

제 1 항에 있어서

상기 게이트 배선과 교차되는 제 2 데이터 배선;

상기 게이트 배선과 상기 제 2 데이터 배선에 의해 정의되는 제 2 화소영역을 더 포함하고,

상기 제 1 및 제 2 화소영역은 상기 제 1 및 제 2 데이터 배선 사이에 위치하고,

상기 제 1 화소영역의 상기 화소전극과 상기 제 2 화소영역의 상기 화소전극 사이 화소경계부에는 상기 공통전극의 상기 제 2 영역이 배치되는 액정표시패널.

청구항 6

제 1 항에 있어서

상기 게이트 배선과 교차되는 제 2 데이터 배선;

상기 게이트 배선과 상기 제 2 데이터 배선에 의해 정의되는 제 2 화소영역

을 더 포함하고,

상기 제 1 및 제 2 화소영역은 상기 제 1 및 제 2 데이터 배선 사이에 위치하고,

상기 제 1 화소영역의 상기 화소전극과 상기 제 2 화소영역의 상기 화소전극 사이 화소경계부의 상기 공통전극의 폭은 상기 제 1 데이터 배선 상부의 상기 공통전극의 폭보다 좁은 액정표시패널.

청구항 7

제 1 항에 있어서

상기 게이트 배선과 교차되는 제 2 데이터 배선;

상기 게이트 배선과 상기 제 2 데이터 배선에 의해 정의되는 제 2 화소영역;

상기 게이트 배선과 상기 제 1 및 제 2 데이터 배선에 의해 정의되는 제 3 및 제 4 화소영역

을 더 포함하고,

상기 제 1 및 제 2 화소영역은 상기 게이트 배선 상부의 상기 제 1 및 제 2 데이터 배선 사이에 위치하고,

상기 제 3 및 제 4 화소영역은 상기 게이트 배선 하부의 상기 제 1 및 제 2 데이터 배선 사이에 위치하고,

상기 제 2 화소영역과 상기 제 4 화소영역은 공통전극 연결부로 연결되고,

상기 공통전극 연결부에는 상기 공통전극의 상기 제 1 영역이 배치되는 액정표시패널.

청구항 8

제 7 항에 있어서

상기 박막 트랜지스터의 소스 영역과 상기 공통전극 연결부의 이격 거리는 실질적으로 동일한 액정표시패널.

청구항 9

제 7 항에 있어서

상기 공통전극 연결부는 바 형상인 액정표시패널.

청구항 10

제 7 항에 있어서

상기 제 1 화소영역과 상기 제 2 화소영역 사이의 화소경계부에 배치된 상기 공통전극의 상기 금속층은,
상기 제 3 화소영역과 상기 제 4 화소영역 사이의 화소경계부에 배치된 상기 공통전극의 상기 금속층과
상기 공통전극 연결부의 금속층을 통해 연속적으로 연결된 액정표시패널.

청구항 11

제 1 항에 있어서

상기 표시영역 외곽에 배치되는 데이터 정전방지부와 게이트 정전방지부;
상기 표시영역과 상기 데이터 정전방지부 및 게이트 정전방지부 사이에 배치되는 공통전극 제 1 연결부
를 더 포함하는 액정표시패널.

청구항 12

제 11 항에 있어서

상기 데이터 정전방지부와 상기 게이트 정전방지부 외부에 배치되는 그라운드부와 공통전극 제2 연결부를 더 포
함하고,
상기 공통전극 제 2 연결부의 면적은 상기 그라운드부의 면적보다 큰 액정표시패널.

청구항 13

제 1 항 내지 12 항 중 어느 하나에 기재된 액정표시패널;
상기 제 1 데이터 배선 및 제 2 데이터 배선에 데이터 전압들을 공급하는 데이터 구동회로; 및
상기 게이트 배선에 게이트 신호를 공급하는 게이트 구동회로
를 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시패널 및 이의 제조방법과 이를 이용한 표시장치에 관한 것으로서, 보다 상세하게는 공통전극을 투명도전층과 금속층의 두 층으로 구성하여 게이트 방향으로 배치된 공통전극 배선 삭제를 통해 개구율을 향상하고 공통전압을 안정적으로 인가할 수 있는 표시 패널 및 그 제조방법과, 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0003] 최근 정보화 시대에 발맞추어 디스플레이(display) 분야 또한 급속도로 발전해 왔고, 이에 부응해서 박형화, 경량화, 저소비전력화 장점을 지닌 평판표시장치(flat panel display device : FPD)로써, 액정표시장치(liquid crystal display device : LCD), 플라즈마표시장치(plasma display panel device : PDP), 전기발광표시장치(electroluminescence display device : ELD), 전계방출표시장치

[0004] (field emission display device : FED) 등이 소개되어 기존의 브라운관(cathoderay tube : CRT)을 빠르게 대체하며 각광받고 있다.

[0005] 이 중에서도 액정표시장치는 동화상 표시에 우수하고 높은 콘트라스트비(contrast ratio)로 인해 노트북, 모니터

터, TV 등의 분야에서 가장 활발하게 사용되고 있다.

[0006]

도 1은 종래의 액정표시장치를 도시한 평면도이다.

[0007]

도면에 도시한 바와 같이, 종래의 액정표시장치에서 복수의 화소(P1, P2)는 게이트 배선(GL), 데이터 배선(DL), 및 공통전극 배선(CL)에 의해서 정의된다. 액정표시장치의 화소들은 각각 박막트랜지스터를 포함한다. 박막트랜지스터는 게이트 배선(GL)으로부터의 게이트 펄스에 응답하여 데이터 배선(DL)을 통해 공급되는 데이터 전압을 액정패널의 화소전극에 공급한다. 액정패널은 화소전극의 전압과 공통전극에 인가되는 공통전압(Vcom)의 전압차에 따라 발생하는 전기에 의해 회동하여 편광판을 통과하는 광량을 조절한다. 스토리지 커패시터는 액정패널의 화소전극에 접속되어 액정패널의 전압을 유지한다.

[0008]

공통전극 배선(CL)은 컨택홀(CH)를 통해 공통전극과 연결되는데 공통전극이 차지하는 공간 및 컨택홀(CH)가 차지하는 공간에 의해 백라이트(미도시) 광을 투과하는 개구부를 잠식하여 액정표시패널의 투과율을 감소시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0010]

본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 공통전극 배선의 구조 및 연결관계를 개선하여 액정 표시패널의 개구율 감소를 최소화하면서 안정적으로 공통전압을 인가할 수 있는 액정표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0012]

본 발명은 상기 목적을 달성하기 위해서, 게이트 신호 및 데이터 신호를 공급하는 구동부와, 화소를 포함하는 표시영역과, 표시영역 외측에 배치되는 비표시영역을 포함하고, 게이트 신호 및 데이터 신호를 이용하여 영상을 표시하는 액정표시패널과, 표시패널의 표시영역에 배치되고 서로 교차하여 화소를 정의하는 게이트 배선 및 데이터 배선과 데이터 배선 및 게이트 배선에 연결되어 화소를 구동하는 박막 트랜지스터와 박막 트랜지스터의 드레인부에 직접 연결된 화소전극과, 절연막을 사이에 두고 대응되는 공통전극을 가지는 액정표시패널 및 액정표시장치를 제공한다.

[0013]

그리고 공통전극은 투명도전층과 금속막의 두 층으로 구성하여 공통신호(Vcom)을 안정적으로 공급하고, 화소전극과 화소전극 사이에 데이터 배선이 존재하지 않는 화소경계부의 공통전극 폭을 배선 상부에 있는 공통전극의 폭보다 적도록 구성할 수 있다. 또한, 표시영역 외곽에 데이터 정전방지부와 게이트 정전방지부 사이에 연속적으로 연결된 공통전극 제1 연결부를 배치할 수 있다. 또한 데이터 정전방지부와 게이트 정전방지부 외부에 그라운드부의 면적보다 큰 면적을 가지도록 공통전극 제2 연결부를 배치할 수 있다.

[0014]

한편, 본 발명은 위에서 전술한 공통전극을 제조하기 위하여 하프톤 마스크 혹은 회절 노광 마스크를 이용하여 노광량이 서로 다른 제1 패턴, 제2 패턴으로 구성된 포토레지스터패턴을 형성하고, 제1 패턴과 제2 패턴을 이용하여 금속층과 투명도전층으로 이루어진 제1 영역과 투명도전층으로 이루어진 제2 영역을 한번의 노광으로 제조할 수 있는 제조방법을 제공한다.

발명의 효과

[0016]

본 발명에 따른 액정표시패널 및 제조방법은 게이트 배선(GL) 방향으로 형성된 공통전극 배선(CL) 및 이와 연결하기 위한 컨택홀(CH)없이 공통전극을 투명도전층 및 금속층으로 이루어진 이중층으로 구성하여 안정적으로 공통신호(Vcom)을 공급하고 개구율을 향상시키는 제 1 효과가 있다.

[0018]

또한, 본 발명에 따른 액정표시패널 및 제조방법은 화소 전극과 박막트랜지스터의 드레인 영역을 컨택홀 없이 직접 연결하여 개구율을 추가적으로 향상시키는 제 2 효과가 있다.

- [0020] 또한, 본 발명에 따른 액정표시패널 및 제조방법은 데이터 배선 수를 절반으로 줄이고 게이트 배선수를 두배로 늘려서 구동하는 DRD(Double Reduced Data)를 적용하여 데이터 배선이 존재하지 않는 화소와 화소 사이에 존재하는 공통전극의 폭을 데이터 배선 상부에 있는 공통전극의 폭보다 적도록 하여 개구율을 향상시키는 제 3 효과가 있다.
- [0022] 또한, 본 발명에 따른 액정표시패널 및 제조방법은 데이터 배선 수를 절반으로 줄이고 게이트 배선수를 두배로 늘려서 구동하는 DRD(Double Reduced Data)를 적용하여 데이터 배선이 존재하지 않는 화소와 화소 사이에 존재하는 공통전극의 금속층을 상/하 화소간에 끊임없이 연속적으로 연결하여 공통신호(Vcom)의 전달을 용이하게 하고, 나아가 공통전극(Vcom) 제 1 연결부 까지 연속적으로 연결하여 공통신호(Vcom)의 전달이 패널 전체에서 균일하도록 하는 제 4 효과가 있다.
- [0024] 또한, 본 발명에 따른 액정표시패널 및 제조방법은 공통전극 연결부의 형상을 박막트랜지스터의 소스 영역에서 일정거리 이격하도록 하여 박막 트랜지스터에 미치는 영향을 균일하게 하면서 공통전극의 연결을 극대화시켜 공통신호(Vcom)의 전달이 패널 전체에서 균일하도록 하는 제 5 효과가 있다.
- [0026] 또한, 본 발명에 따른 액정표시패널 및 제조방법은 공통전극 연결부의 폭을 최소화 시켜 바 형상으로 연결하거나 모든 상하 화소가 아닌 일부의 상 하 화소에만 공통전극 연결부를 연결하도록 하여 게이트 신호와의 간섭을 최소화 시키고 공통신호(Vcom)의 ripple을 줄여 수평방향을 따라서 발생하는 라인-딤(line-Dim)현상을 방지하여 표시품질을 향상시키는 제 6 효과가 있다.
- [0027] 또한, 본 발명에 따른 액정표시패널 및 제조방법은 공통전극 제조시 하프톤 마스크 혹은 회절 노광 마스크를 사용하여 하프톤 마스크 혹은 회절 노광 마스크를 이용하여 형성된 감광막 패턴이 서로 다른 두께를 갖도록 하고 1차 식각 공정에서 투명도진층만 남는 제 1영역을 정의하고 2차 식각 공정에서 금속막 및 투명도진층이 함께 남는 제 2영역을 정의하는 방식으로 마스크의 사용 및 제조 공정수를 줄여서 수율 및 공정의 진행과정에서 발생하는 불량으로 인한 신뢰성 저하를 방지하는 제 7 효과가 있다.

도면의 간단한 설명

- [0029] 도 1은 종래 기술에 따른 화소구조의 액정표시패널에 대한 평면도이다.
- 도 2는 본 발명의 한 실시예에 따른 화소구조의 액정표시패널에 대한 평면도이다.
- 도 3은 도 2에 도시된 액정표시패널의 각 부분에 따른 단면도이다.
- 도 4는 본 발명의 한 실시예에 따른 화소구조에서 공통전극 연결부를 확대하여 나타낸 평면도이다.
- 도 5는 본 발명의 한 실시예에 따른 화소구조의 액정표시패널에 대한 평면도이다.
- 도 6은 도 5에 도시된 액정표시패널의 A-A' 라인의 단면도이다.
- 도 7은 본 발명의 실시예에 따른 액정표시장치를 개략적으로 나타낸 구성도이다.
- 도 8은 도 7에 도시된 B 영역을 확대한 평면도이다.
- 도 9a 내지 9c는 본 발명의 한 실시예에 따른 액정표시장치에서 공통전극의 형성공정을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제

제품의 부품 명칭과 상이할 수 있다

- [0031] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.
- [0032] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.
- [0033] 이하, 첨부되는 도면을 참고하여 상기 문제점을 해결하기 위해 고안된 본 발명의 바람직한 실시예들에 대해 상세히 설명한다.
- [0034] 도 2는 본 발명의 한 실시예에 따른 화소구조의 액정표시장치에 대한 평면도이다. 도 2에서 알 수 있듯이, 본 발명의 실시예에 따른 화소구조의 액정표시 장치는 제 1 방향으로 형성되는 게이트 배선(GL)과 일 방향과 교차되는 제 2 방향으로 형성되는 데이터 배선(DL)이 교차하여 정의되는 화소영역으로 형성되어 있다. 종래의 기술에서 공통배선(CL)은 제 1 방향으로 형성되는 게이트 배선과 평행하도록 형성되어 컨택홀(CH)를 통해 공통전극에 연결되었으나, 본 발명에서는 제 1 방향으로 형성된 공통배선(CL) 없이 구성된다. 본 발명의 공통전극은 투명도전층과 금속층의 다중층으로 이루어진 제 1영역과 투명도전층으로 이루어진 제 2영역을 가진다. 투명도전층과 금속층의 다중층으로 이루어진 제 1영역을 통해 공통배선(CL)의 삭제로 인한 공통전압(Vcom)의 전달률 하락을 보상하면서, 공통배선(CL)의 삭제 및 공통배선(CL)과 공통전극의 전기적 접촉을 위한 컨택홀(CH)을 삭제함으로써 개구율을 향상하는 효과가 있다.
- [0035] 도 2에서는 블랙매트릭스(180)와 평탄화층(190)을 상부기판에 도시하였으나 반드시 상부기판상에 있어야 하는 것은 아니고 하부 기판상부에 형성될 수도 있다.
- [0037] 금속층(172)는 투명도전층(171)대비 낮은 비저항을 가지는 것이 바람직하며 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴 (Mo), 크롬 (Cr), 티타늄(Ti), 몰리브덴(MoW), 몰리티타늄 (MoTi), 구리/몰리티타늄 (Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 하나를 사용할 수 있다. 반드시 이 물질에 한정되는 것은 아니다.
- [0039] 투명 도전층(171)은 ITO (Indium Tin Oxide), IZO (Indium Zinc Oxide)를 포함한 투명한 물질 그룹 중에서 선택된 어느 하나를 사용할 수 있고, 반드시 이 물질에 한정되는 것은 아니다.
- [0041] 도 3은 도 2에 도시된 액정표시장치의 각 부분에 따른 단면도이다.
- [0042] 박막트랜지스터부는 기판(100)위의 게이트 전극(110)과 게이트 전극(110) 상부의 게이트 절연막(120) 및 게이트 절연막(120) 상부의 액티브 층(130)과 액티브 층(130) 상부의 소스전극(140)으로 이루어진다. 소스 전극(140)은 데이터 배선(DL)에 연결된 소스영역과 화소전극(160)과 연결된 드레인 영역으로 구성되어 있다. 데이터 배선(DL)을 통해 인가된 데이터 신호(영상 신호)는 게이트 배선(GL)을 통해 인가된 게이트 신호에 응답하여 화소전극(160)에 데이터 신호(영상 신호)를 공급한다.
- [0043] 화소 전극(PXL) 연결부는 박막트랜지스터와 화소전극(160)의 연결관계를 나타내는 부분으로, 박막트랜지스터의 드레인 영역에 컨택홀 없이 화소 전극을 직접 연결할 수 있는데, 이 경우 컨택홀 형성 및 공정 마진을 위한 공간할당을 제거할 수 있게 되어 개구율을 추가적으로 향상시키는 효과가 있다.
- [0044] 화소전극(PXL) 투과부는 소스전극의 드레인 영역에 접속한 화소전극(160)으로 인가된 데이터 신호(영상 신호)와 공통전극에 인가되는 공통전압(Vcom)의 전압차에 의해 발생하는 전계에 의해 상부의 액정(미도시)를 회동하여 광량을 조절하는 부분이다. 화소전극(PXL) 투과부는 빛을 투과하는 영역이기 때문에 화소전극(160)과 절연막을 사이에 두고 마주하는 공통전극(170)은 투명도전층(171)만으로 형성된 제 2영역인 것이 바람직하다.
- [0045] 데이터배선(Data Line)부는 기판(100) 상부의 소스 전극(140)과 소스 전극 상부의 공통전극(170)으로 구성되어

있다. 소스 전극(140)이 배치된 영역은 빛이 투과하지 않는 영역이므로 공통전극(170)이 투명도전층(171)과 금속층(172)의 다중층으로 구성되어 저항을 최소화시켜 공통전압(Vcom) 전달을 용이하게 하는 것이 바람직하다. 금속층(172)은 데이터 배선폭보다 크거나 같게 형성될 수 있고, 화소전극(160)과 일부 중첩되도록 형성될 수 있다. 이 때 금속층(172)은 투명도전층(171)의 폭보다 좁게 형성될 수 있다. 화소전극(160)과 일부 중첩되도록 형성되는 경우 데이터배선(DL)과 화소전극(160) 사이에 이격된 부분에서 빛이 새는 것을 방지하는 역할을 하여 콘트라스트비를 높게하여 화질을 향상하는데 기여할 수 있다. 또한 금속층(172)은 단일층으로 형성될 수 있고 다중층으로 형성될 수 있다.

[0046] 공통전극 연결부는 도면상에 F로 표기된 점선에 존재하는 영역이다. 상하 화소의 공통전극(170)이 연결되는 연결부로 게이트전극(110)과 중첩하도록 형성된다. 공통전극 연결부는 게이트전극(110)상부에 위치하기 때문에 빛이 투과하지 않는 영역이므로 공통전극(170)이 투명도전층(171)과 금속층(172)의 다중층으로 구성되어 저항을 최소화시켜 공통전압(Vcom) 전달을 용이하게 하는 것이 바람직하다. 공통전극 연결부의 면적을 크게 하면 상/하 화소의 공통전극들이 연결되는 부분에서 저항이 줄어드는 효과를 낼 수 있다. 이 때 게이트전극(110)상부에 있는 박막트랜지스터와 공통전극이 신호에 간섭을 일으키는 것을 방지하기 위해 박막트랜지스터의 소스 영역에서 일정거리 이격하도록 하여 박막 트랜지스터에 미치는 영향을 균일하게 하면서 공통전극의 연결을 극대화시켜 공통신호(Vcom)의 전달이 패널 전체에서 균일하도록 할 수 있다.

[0048] 혹은 액정표시패널의 가상현실(VR)등에 적용하는 경우 해상도가 상승하면서 공통신호의 저항보다는 게이트배선(GL)과의 간섭으로 인한 공통신호(Vcom)의 Ripple이 문제가 되는 경우가 있는데, 이 경우 공통전극 연결부의 폭을 최소화시켜 바 형상으로 연결하거나 모든 상/하 화소를 연결하는 것이 아닌 일부의 상/하 화소에만 공통전극 연결부를 연결하도록 하여 게이트 신호와의 간섭을 최소화시키고 공통신호(Vcom)의 ripple을 줄여 수평방향을 따라서 발생하는 라인-딤(Line-Dim)현상을 방지하여 표시품질을 향상시킬 수 있다. 이 경우에도 공통전극 연결부는 게이트전극(110)상부에 위치하기 때문에 빛이 투과하지 않는 영역이므로 공통전극(170)이 투명도전층(171)과 금속층(172)의 다중층으로 구성되어 저항을 최소화시켜 공통전압(Vcom) 전달을 용이하게 하는 것이 바람직하다. 이 내용에 대해서는 도 4에 자세히 나타나 있다.

[0050] 도 4는 본 발명의 한 실시예에 따른 화소구조에서 공통전극 연결부를 확대하여 나타낸 평면도이다. 도 4에 나타난 것처럼 공통전극 연결부의 폭을 최소화 시켜 바 형상으로 연결하거나, 일부의 상/하 화소에만 연결시켜 공통신호(Vcom)의 Ripple이 문제가 되는 경우 게이트 신호와의 간섭을 최소화시키고 공통신호(Vcom)의 ripple을 줄여 수평방향을 따라서 발생하는 라인-딤(Line-Dim)현상을 방지하여 표시품질을 향상시킬 수 있다.

[0052] 도 5는 본 발명의 한 실시예에 따른 화소구조의 액정표시장치에 대한 평면도이다.

[0053] 본 발명은 데이터 배선 수를 절반으로 줄이고 게이트 배선수를 두배로 늘려서 구동하는 DRD(Double Reduced Data)에 적용할 수 있다.

[0054] 일 방향으로 교번하여 직선으로 형성되는 다수의 제1 및 제2 게이트 배선(GL1, GL2), 다수의 제1 및 제2 게이트 배선(GL1, GL2)과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 데이터 배선(DL1, DL2)이 형성되어 있다. 다수의 데이터 배선(DL1, DL2) 사이에 형성되면서, 다수의 화소영역을 제1 화소영역(P1) 및 제2 화소영역(P2)로 구분한다. 제1 화소영역(P1)은 제1 데이터 배선(DL1) 우측에 위치하고 제2 화소영역(P2)는 제2 데이터배선(DL2)의 좌측에 위치하며 제1 화소영역(P1)과 제2 화소영역(P2) 사이에는 데이터 배선이 존재하지 않고 화소전극(160)은 서로 분리되어 있는 화소경계부가 배치되어 있다.

[0056] 화소 경계부는 화소와 화소의 경계 영역으로서 빛이 투과하지 않는 영역이므로 공통전극(170)이 투명도전층(171)과 금속층(172)의 다중층으로 구성된 공통전극(170)의 제 2영역으로 구성하여 저항을 최소화시키고 공통전압(Vcom) 전달을 용이하게 하는 것이 바람직하다.

[0058] 화소 경계부를 구성하는 제2 영역은 상/하 화소에서 끊임없이 연속적으로 연결하여 공통신호(Vcom)의 전달을 용

이하게 하고 특히 금속층(172)이 끊임없이 연속적으로 연결되도록 하여 저항을 저항을 현저하게 낮추는 효과를 낼 수 있다.

[0060] 화소 경계부의 폭을 최소화 하여 개구영역을 극대화 하기 위해서는 화소 경계부의 공통전극은 투명도전층 만으로 구성될 수 있다.

[0062] 도 5에서 공통전극의 금속층이 연결된 부분을 검은 음영으로 표기하여 상/하 화소에 끊임없이 연결될 수 있다는 것을 표기하였다. 금속층은 게이트 배선 위와 공통전극 연결부 상에도 존재할 수 있으나 현재 도면에서 함께 나타내면 화소의 연결관계가 가려지므로 일부만 도시하여 상/하 화소에 끊임없이 연결될 수 있다는 점을 나타내었다.

[0064] 도 6는 도 5에 도시된 액정표시장치의 A-A' 라인의 단면도이다.

[0065] 화소 경계부는 하부에 데이터 배선이 없기 때문에 공통전극(170)의 폭(W2)은 데이터 배선 상부의 공통전극(170)의 폭(W1)보다 좁게 구성할 수 있다. 이와 같이 구성하는 경우 화소의 개구영역을 확장할 수 있게 되어 개구율을 향상하는 효과가 있다.

[0067] 도 7은 본 발명의 실시예에 따른 액정표시장치(1000)를 개략적으로 나타낸 구성도이다.

[0068] 도 7을 참조하면, 본 발명에 따른 액정표시장치(1000)는, 디스플레이 기능을 제공하기 위하여, 표시패널(1100), 데이터 드라이버(1200), 게이트 드라이버(1300) 및 컨트롤러(1400) 등을 포함한다. 표시패널(1100)은, 제2방향(예: 열 방향)으로 배치된 다수의 데이터라인(DL)과, 제1방향(예: 행 방향)으로 배치된 다수의 게이트 라인(GL)을 포함할 수 있다. 데이터 드라이버(1200)는 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(1200)는 '소스 드라이버'라고도 한다. 게이트 드라이버(1300)는 다수의 게이트 라인(GL)을 구동한다. 여기서, 게이트 드라이버(1300)는 '스캔 드라이버'라고도 한다. 컨트롤러(1400)는 데이터 드라이버(1200) 및 게이트 드라이버(1300)를 제어하는데, 이를 위해, 데이터 드라이버(1200) 및 게이트 드라이버(1300)로 각종 제어신호를 공급한다. 이러한 컨트롤러(1400)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(1200)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다. 이러한 컨트롤러(1400)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다. 게이트 드라이버(1300)는, 컨트롤러(1400)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다. 데이터 드라이버(1200)는, 게이트 드라이버(1300)에 의해 특정 게이트라인이 열리면, 컨트롤러(1400)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다. 데이터 드라이버(1200)는, 도 7에서 표시패널(1100)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 표시패널(1100)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다. 또한 표시패널(1100)의 내부에 위치할 수도 있다. 게이트 드라이버(1300)는 게이트 제어신호(GCS : Gate Control Signal)를 출력하고, 도 7에서 표시패널(1100)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 디스플레이 패널(1100)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다. 또한 표시패널(1100)의 내부에 위치할 수도 있다. 전술한 컨트롤러(1400)는 데이터 제어신호(DCS : Data Control Signal)을 출력하고, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.

[0070] 도 8은 도 7에 도시된 B 영역을 확대한 평면도이다.

[0071] 본 발명의 한 실시예에 따른 액정표시장치의 액정표시패널은 화상이 표시되는 표시영역(A/A : Active Area)외곽에 패널 검사를 위한 검사부(AP PAD) 및 데이터 정전방지부(Data ESD)와 게이트 정전방지부(Gate ESD)가 배치되어 액정표시패널의 내부 또는 외부에서 고전압의 정전기가 발생한 경우에는 정전기의 발생원으로부터 데이터 정

전방지부(Data ESD) 및 게이트 정전방지부(Gate ESD)를 통해 전류가 흘러나가서 표시영역(A/A : Active Area) 및 검사부를 보호할 수 있다. 데이터 정전방지부(Data ESD) 및 게이트 정전방지부(Gate ESD)와 표시영역(A/A : Active Area) 사이에 공통전극 제1 연결부(Vcom 제1 연결부)를 배치할 수 있다. 공통전극 제1 연결부(Vcom 제1 연결부)는 도 8상에는 일부분만 표시되었으나 표시영역(A/A : Active Area)의 외곽에서 연속적으로 연결되어 전체 패널에 일괄적으로 신호가 인가를 돕고 공통신호(Vcom)의 패널내 편차를 줄이는 효과를 낼 수 있다.

[0073] 표시패널의 최외곽에는 그라운드부(GND)와 공통전극 제2 연결부(Vcom 제2 연결부)가 위치할 수 있다. 공통전극 제1 연결부(Vcom 제1 연결부)는 하나 이상의 컨택홀을 가지는 컨택부(CNT부)를 통해 공통전극 제2 연결부(Vcom 제2 연결부)에 연결될 수 있다. 공통전극 제1 연결부(Vcom 제1 연결부)는 게이트/데이터 정전방지부와 표시영역(A/A : Active Area)사이에 위치하므로 공간적으로 제약이 크지만 공통전극 제2 연결부(Vcom 제2 연결부)는 정전방지부 외곽에 위치하므로 공간적인 제약이 적다. 공통전극 제2 연결부(Vcom 제2 연결부)는 패널 외곽에서 그라운드부(GND) 안쪽으로 그라운드부(GND) 보다 큰 면적을 가지도록 배치하여 전체 공통신호(Vcom)의 Load를 줄이는 효과를 낼 수 있다.

[0074] 공통전극 제1 연결부(Vcom 제1 연결부) 및 공통전극 제2 연결부(Vcom 제2 연결부)는 표시영역(A/A : Active Area)외곽에 위치하여 빛이 투과하지 않는 영역이므로 공통전극(170)이 투명도전층(171)과 금속층(172)의 다중층으로 구성되어 저항을 최소화시켜 공통전압(Vcom) 전달을 용이하게 하는 것이 바람직하다

[0076] 또한 도 5에서 설명한 바와 같이 화소 경계부에 배치된 투명도전층 상부의 금속층과 화소연결부에 배치된 투명도전층 상부의 금속층을 연속적으로 연결할 수 있는데, 연속적으로 연결된 금속층이 표시영역(A/A : Active Area)외곽에 배치된 공통전극 제1 연결부와 공통전극 제2 연결부 중 적어도 하나 이상에 연속적으로 연결되도록 하여 패널 전체에 위치에 따른 편차를 줄이고 공통신호(Vcom)을 안정적으로 공급할 수 있다.

[0078] 도 9a 내지 9c는 본 발명의 한 실시예에 따른 액정표시패널에서 공통전극의 형성공정을 도시한 도면이다. 본 발명은 투명도전층(371)과 금속층(372)를 하프톤 마스크(미도시) 혹은 회절 노광 마스크(미도시)를 사용하여 마스크 수 및 노광과 에치 공정수를 줄일 수 있다.

[0079] 도 9a는 공통전극 형성 공정에서 하프톤 마스크(미도시) 혹은 회절 노광 마스크(미도시)를 사용하여 포토레지스터패턴에 노광 후 1차 포토레지스터 식각 공정을 진행한 뒤의 도면이다. 하프톤 마스크(미도시) 혹은 회절 노광 마스크(미도시)를 적용하면 노출되는 광량에 따라 포토레지스터의 감광량이 달라지게 되고, 1차 포토레지스터 식각 공정을 지나면 서로 포토레지스터가 서로 다른 두께를 가지도록 형성할 수 있다. 포토레지스터패턴의 도면에서 나타난 바와 같이 제1 패턴(374)을 이용하여 금속층과 투명도전층으로 이루어진 제1 영역을 정의하고 상기 포토레지스터패턴의 제2 패턴(373)을 이용하여 투명도전층으로 이루어진 제2 영역을 정의하기 위해 본 발명에서는 투명도전층(371)과 금속층(372)가 함께 형성되는 제1 패턴이 투명도전층(371)만 남는 제2 패턴 대비 두껍게 남게 된다.

[0081] 도 9b는 2차 포토레지스터 식각공정을 진행한 뒤의 도면이다. 도 8a에서 노출된 부분의 금속층(472) 및 투명도전층(471)이 식각되고, 포토레지스터가 얇게 남아있는 제2 패턴은 포토레지스터와 금속층(472)이 식각되어 투명도전층(471)만 남게 된다. 포토레지스터가 두껍게 남아있는 제1 영역은 포토레지스터의 일부분만 식각되어 결과적으로 제1 영역의 포토레지스터의 일부가 제2 패턴(475)영역으로 남게되어 금속층(472)과 투명도전층(471)이 보존된다. 이 과정을 통해 투명도전층이 남아있는 제2영역을 정의할 수 있다.

[0083] 도 9c는 3차 포토레지스터 식각공정은 진행한 뒤의 도면이다. 도 8b에서 남아있는 포토레지스터를 식각하여 제거하면 제1 영역의 금속층(572)과 투명도전층(571)이 남게되어 공통전극의 제1 영역과 제2 영역을 형성할 수 있게 된다.

[0085] 본 발명에서는 도9b와 도9c로 나누어 도시하였지만, 식각량을 조절하여 9b의 과정과 9c의 과정은 한번에 진행될

수도 있다.

[0087] 위에서 설명한 바와 같이 하프톤 마스크(미도시) 혹은 회절 노광 마스크(미도시)를 통하여 제조하게 되면 공통 전극의 1영역 및 2영역을 제조하기 위해 사용되는 마스크의 수를 줄일 수 있고, 이에 따라 포토 공정 및 제조 공정수를 줄여서 공정의 진행과정에서 발생하는 불량으로 인한 신뢰성 저하를 방지하는 효과가 있다.

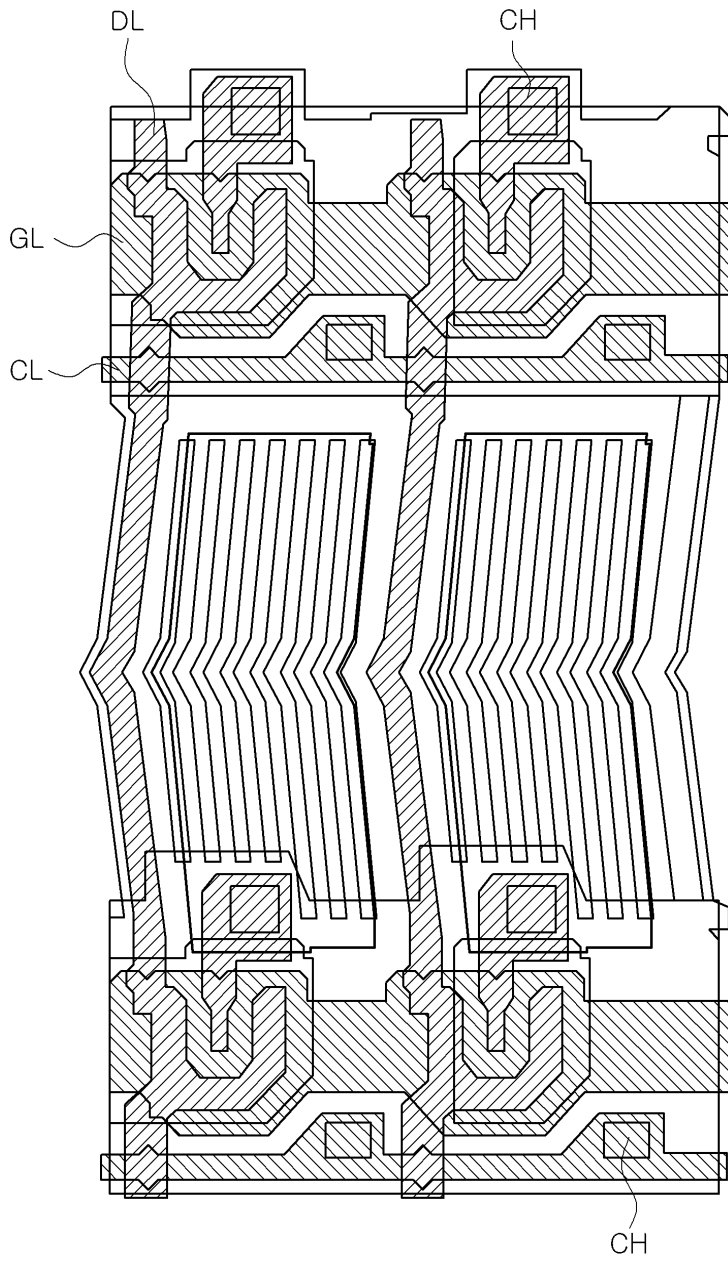
[0089] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 따라서, 그와 같은 변형도 본 발명의 범위에 속하는 것으로 간주해야 하며, 본 발명의 범위는 후술하는 특허청구범위에 의해 결정되어야 한다.

부호의 설명

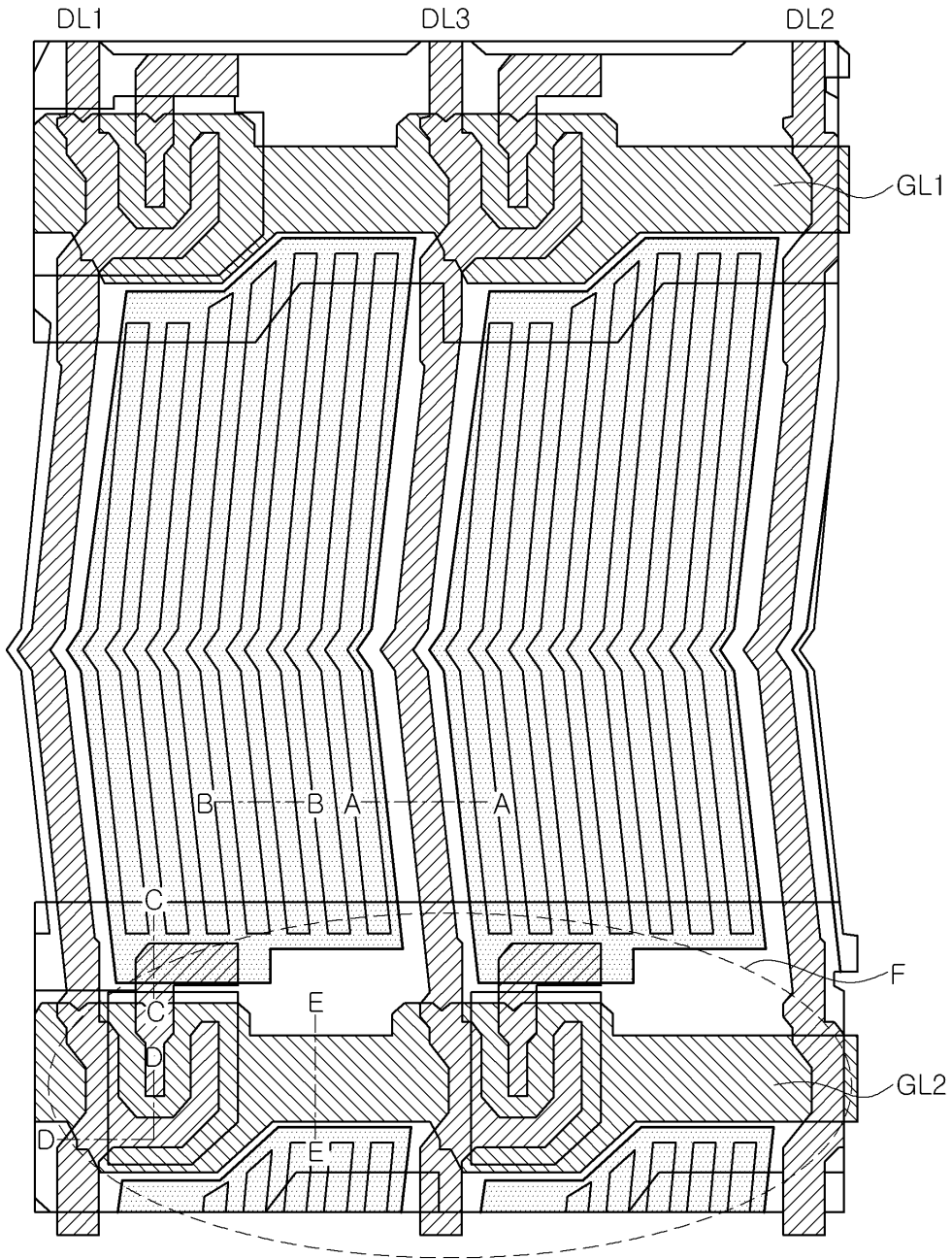
- [0091] 1000 : 액정표시장치 1100 : 표시패널
 1200 : 데이터 드라이버 1300 : 게이트 드라이버
 1400 : 컨트롤러 DL : 데이터 배선
 GL : 게이트 배선 CH : 콘택홀
 100, 200, 300, 400, 500 : 하부기관
 110, 210, 310, 410, 510 : 게이트 전극
 120, 220, 320, 420, 520 : 게이트 절연막
 130, 230, 330, 430, 530 : 액티브층
 140, 240, 340, 440, 540 : 소스전극
 150, 250, 350, 450, 550 : 절연막
 160, 260, 360, 460, 560 : 화소전극
 170, 270, 370, 470, 570 : 공통전극
 171, 271, 371, 471, 571 : 투명도전층
 172, 272, 372, 472, 572 : 금속층
 373, 374, 475 : 포토레지스터
 180, 280 : 상부기관
 190, 290 : 블랙매트릭스

도면

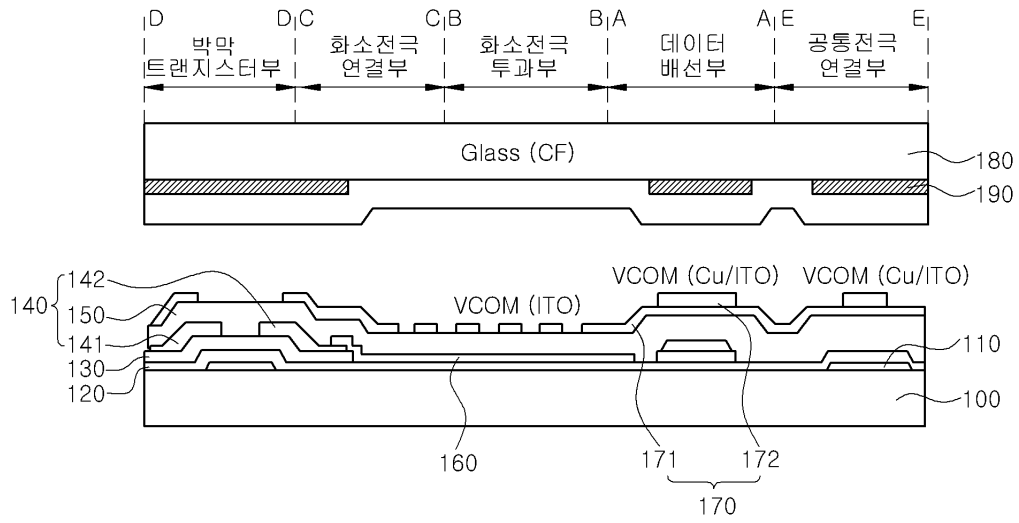
도면1



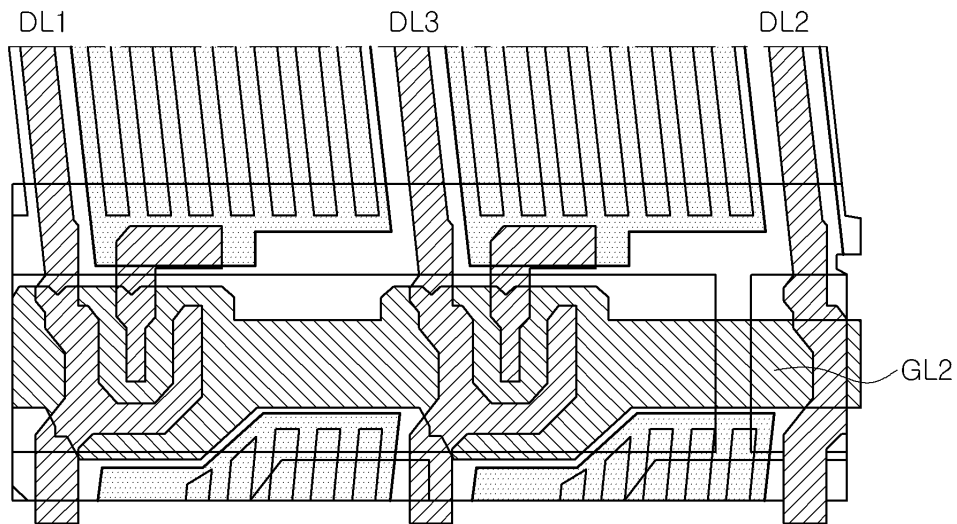
도면2



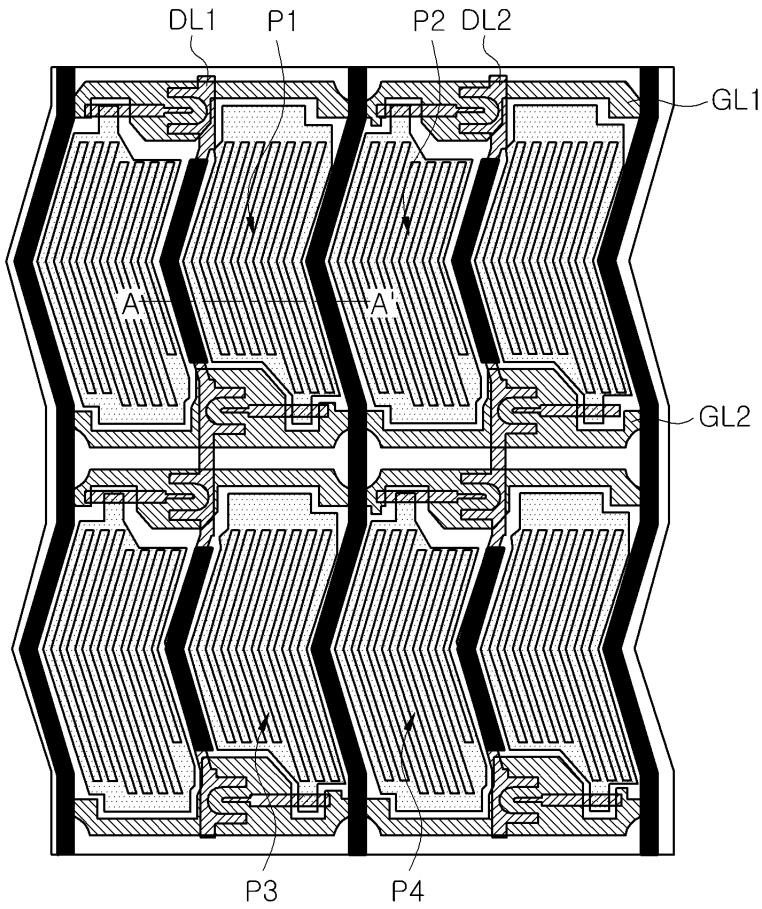
도면3



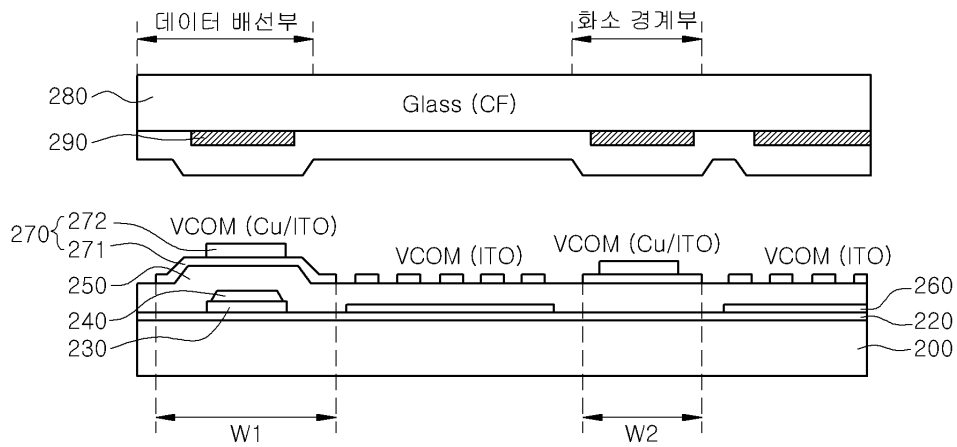
도면4



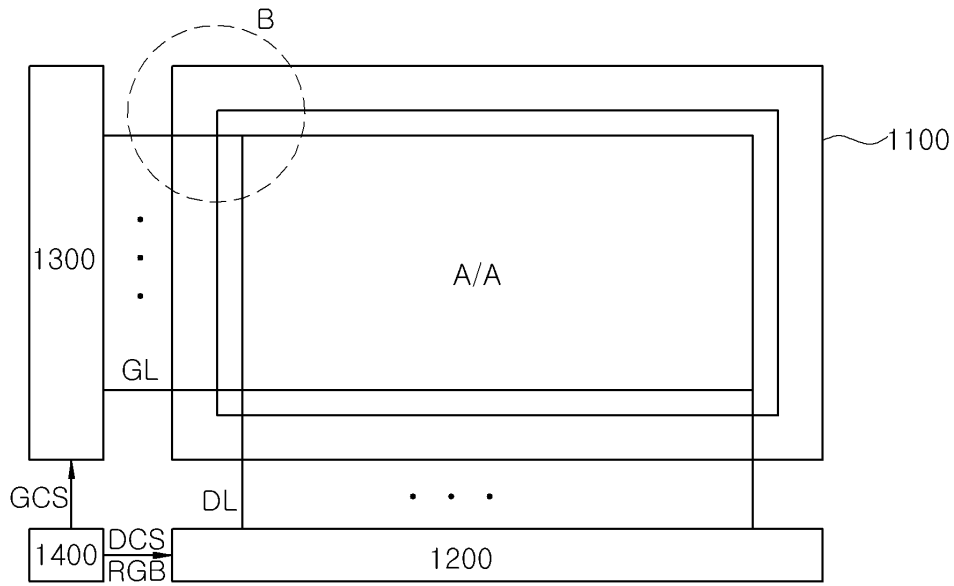
도면5



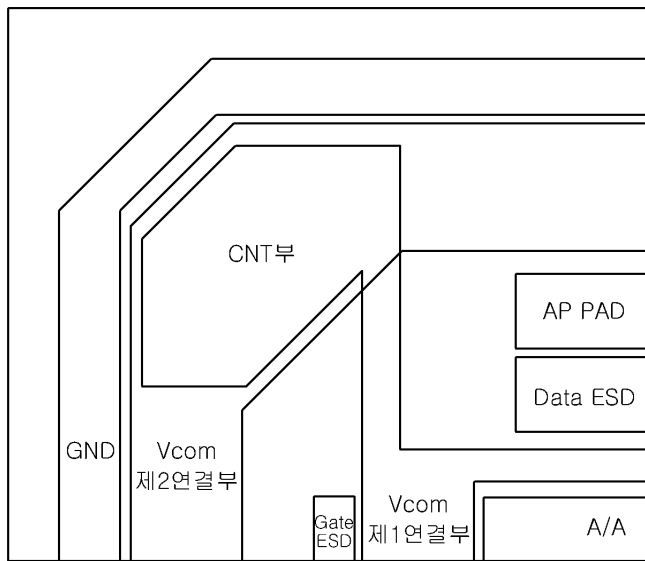
도면6



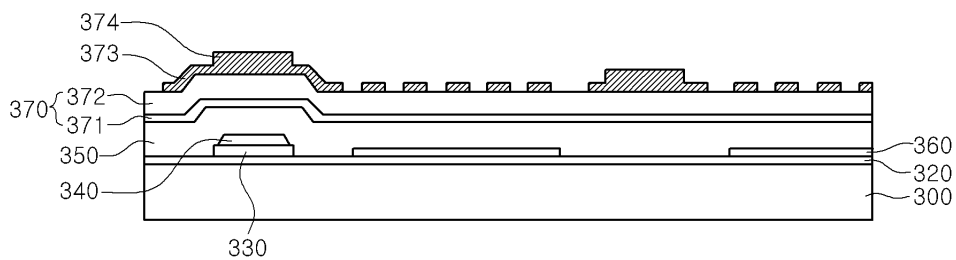
도면7



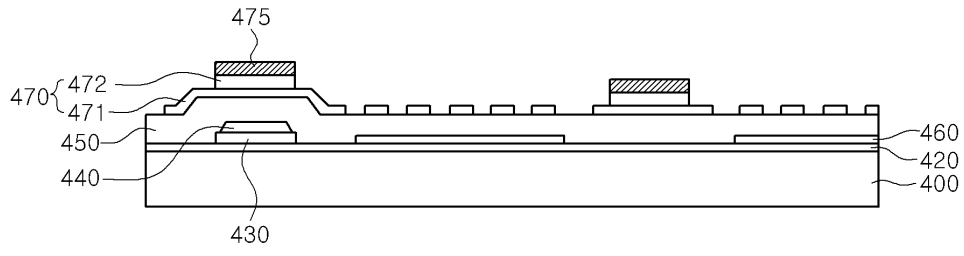
도면8



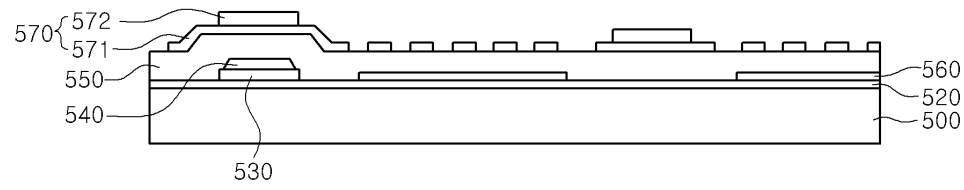
도면9a



도면9b



도면9c



专利名称(译)	液晶显示面板，其制造方法以及液晶显示器		
公开(公告)号	KR1020180078924A	公开(公告)日	2018-07-10
申请号	KR1020160184197	申请日	2016-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE HEE YOUNG 채희영		
发明人	채희영		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/136286 G02F1/1368 G02F1/133 G02F2201/123 G02F2201/121 G02F2201/40 G02F2202/22		
外部链接	Espacenet		

摘要(译)

本发明，并且具有透明导电层和所述像素电极具有由层叠型液晶显示面板，并且被配置在设备的他，其制造方法共同的电极的金属层。根据本发明可以通过删除用于连接公共电极和公共线（CL）等的接触孔（CH）提高开口率的一个实施方式的液晶显示面板。另外，液晶显示根据本发明的一个实施例的面板是未经上层数据的边界，以提高开口率彼此设置在公共电极和在像素区域的像素电极之间的数据电极上的共用电极的宽度不同。在连续地连接到所述上部透明导电设置在金属层和透明导电层的显示区域上方的像素连接上层的金属层（A/A：ActiveArea）设置在共用电极上的第一连接部和所述公共电极之间的像素边界，设置在外第二连接部从而可以稳定地提供公共信号Vcom。为了制造上述公共电极，本发明通过使用半色调掩模或衍射曝光掩模形成由具有不同曝光量的第一图案和第二图案组成的光致抗蚀剂图案，由金属层和透明导电层制成的第一区域和由透明导电层制成的第二区域可以通过使用图案的单次曝光来制造。

