



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0003746
(43) 공개일자 2018년01월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3614 (2013.01)
G09G 2300/0426 (2013.01)

(21) 출원번호 10-2016-0083126
(22) 출원일자 2016년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
이소영
서울특별시 마포구 마포대로 115-8, 105동 812호
(공덕동, 공덕삼성아파트)

이원호
경기도 파주시 가운로 205, 707동 902호(와동동,
해솔마을7단지롯데캐슬아파트)
(뒷면에 계속)

(74) 대리인
특허법인천문

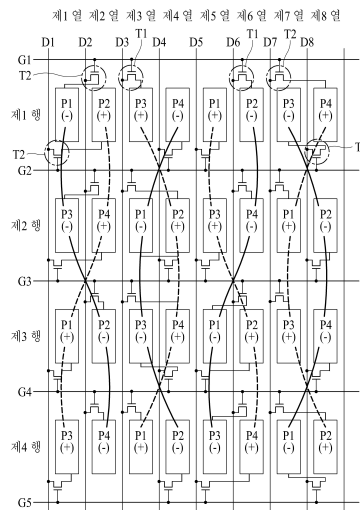
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 일 실시예에 따르면, 복수의 행렬로 이루어진 복수의 서브 화소를 반복단위로 구비하고 있고, 복수의 열에 각각 배열된 복수의 행의 서브 화소 중에서 일부의 행의 서브 화소는 상기 복수의 데이터 배선 중에서 어느 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되고, 상기 복수의 열에 각각 배열된 복수의 행의 서브 화소 중에서 나머지 행의 서브 화소는 상기 어느 하나의 데이터 배선에 인접한 다른 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되는 액정 표시 장치가 제공된다.

대표도 - 도2



(52) CPC특허분류

G09G 2330/021 (2013.01)

G09G 2330/045 (2013.01)

(72) 발명자

정영민

경기도 파주시 금바위로 47 (와동동, 가람마을8단지 동문굿모닝힐) 801동 1002호

장훈

경기도 파주시 금바위로 47 210동 804호 (와동동, 가람마을8단지동문굿모닝힐아파트)

신승환

전라북도 전주시 완산구 물레방아3길 23 (태평동)

장규태

경기도 고양시 일산서구 현중로 64, 605동 505호(탄현동, 탄현마을6단지아파트)

서대영

인천광역시 중구 흰바위로 34, 1011동 303호(운서동, 영종주공스카이빌아파트)

명세서

청구범위

청구항 1

복수의 행렬로 이루어진 복수의 서브 화소를 반복단위로 구비하고 있는 제1 기관;

상기 제1 기관 상에서 서로 교차 배열되어 상기 복수의 서브 화소를 정의하는 복수의 게이트 배선과 복수의 데이터 배선; 및

상기 복수의 서브 화소를 구동하기 위한 복수의 박막 트랜지스터를 포함하여 이루어지고,

복수의 열에 각각 배열된 복수의 행의 서브 화소 중에서 일부의 행의 서브 화소는 상기 복수의 데이터 배선 중에서 어느 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되고,

상기 복수의 열에 각각 배열된 복수의 행의 서브 화소 중에서 나머지 행의 서브 화소는 상기 어느 하나의 데이터 배선에 인접한 다른 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 어느 하나의 데이터 배선에 의해 구동되는 복수의 행의 서브 화소와 상기 다른 하나의 데이터 배선에 의해 구동되는 나머지 복수의 행의 서브 화소는 서로 상이한 극성으로 구동되는 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 일부의 행의 서브 화소와 상기 나머지 행의 서브 화소의 개수는 서로 동일하고, 상기 일부의 행의 서브 화소는 서로 인접하는 행 사이의 서브 화소로 이루어진 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 복수의 서브 화소는 제1 색상을 표시하는 제1 서브 화소, 제2 색상을 표시하는 제2 서브 화소, 제3 색상을 표시하는 제3 서브 화소, 및 제4 색상을 표시하는 제4 서브 화소를 포함하고,

홀수 번째 행에서는 상기 제1 서브 화소, 상기 제2 서브 화소, 상기 제3 서브 화소, 및 상기 제4 서브 화소의 순서가 반복되고,

짝수 번째 행에서는 상기 제3 서브 화소, 상기 제4 서브 화소, 상기 제1 서브 화소, 및 상기 제2 서브 화소의 순서가 반복되는 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 복수의 박막 트랜지스터는 상기 복수의 서브 화소 중에서 구동하는 서브 화소 내에 구비되어 있는 제1 박막 트랜지스터, 및 상기 복수의 서브 화소 중에서 구동하는 서브 화소의 이웃 서브 화소 내에 구비되어 있는 제2 박막 트랜지스터를 포함하여 이루어진 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 복수의 박막 트랜지스터는 상기 복수의 서브 화소 내에 1개씩 구비되어 있어, 상기 복수의 서브 화소 사이의 개구율이 서로 동일한 액정 표시 장치.

청구항 7

제5항에 있어서,

상기 복수의 박막 트랜지스터는 일부 열의 서브 화소 내에는 2개씩 구비되어 있고 나머지 열의 서브 화소 내에는 구비되어 있지 않으며, 상기 일부 열의 서브 화소의 개구율이 상기 나머지 열의 서브 화소의 개구율보다 작은 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 복수의 박막 트랜지스터가 2개씩 구비되어 있는 상기 일부의 열과 상기 복수의 박막 트랜지스터가 구비되어 있지 않은 상기 나머지 열은 서로 교대로 반복되는 액정 표시 장치.

청구항 9

제1항에 있어서,

상기 복수의 서브 화소는 4×8의 행렬로 이루어진 서브 화소를 반복단위로 구비하고 있고,

8개의 열에 각각 배열된 4개 행의 서브 화소 중에서 2개 행의 서브 화소는 상기 어느 하나의 데이터 배선에 의해 구동되고,

상기 8개의 열에 각각 배열된 4개 행의 서브 화소 중에서 나머지 2개 행의 서브 화소는 상기 다른 하나의 데이터 배선에 의해 구동되는 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 복수의 데이터 배선은 제1 내지 제4 데이터 배선을 포함하고,

상기 제1 데이터 배선은 제2열의 제1행과 제2행의 서브 화소 및 제1열의 제3행과 제4행의 서브 화소를 구동하고,

상기 제2 데이터 배선은 제1열의 제1행과 제2행의 서브 화소 및 제2열의 제3행과 제4행의 서브 화소를 구동하고,

상기 제3 데이터 배선은 제3열의 제1행과 제4행의 서브 화소 및 제4열의 제2행과 제3행의 서브 화소를 구동하고,

상기 제4 데이터 배선은 제4열의 제1행과 제4행의 서브 화소 및 제3열의 제2행과 제3행의 서브 화소를 구동하는 액정 표시 장치.

청구항 11

제1항에 있어서,

상기 복수의 서브 화소는 어느 하나의 서브 화소에 구비되어 있는 제1 화소 전극을 추가로 포함하고,

상기 제1 화소 전극은 상기 어느 하나의 서브 화소와 이웃하는 화소에 구비된 박막 트랜지스터와 연결되어 있으며,

상기 제1 화소 전극은 상기 어느 하나의 데이터 배선과 오버랩되는 액정 표시 장치.

청구항 12

제11항에 있어서,

상기 복수의 서브 화소 중에서 다른 하나의 서브 화소에 구비되어 있는 제2 화소 전극을 추가로 포함하고,

상기 제2 화소 전극은 상기 다른 하나의 서브 화소에 구비된 박막 트랜지스터와 연결되어 있고,

상기 제2 화소 전극에는 커패시턴스 보상 패턴이 연결되어 있으며,

상기 커패시턴스 보상 패턴은 또 다른 하나의 데이터 배선과 오버랩되는 액정 표시 장치.

청구항 13

제12항에 있어서,

상기 제1 화소 전극과 상기 어느 하나의 데이터 배선과 오버랩되는 영역의 면적은 상기 커패시턴스 보상 패턴과 상기 또 다른 하나의 데이터 배선과 오버랩되는 영역의 면적과 동일한 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 보다 구체적으로는 인버전(Inversion) 방식으로 구동되는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 상부 기판, 하부 기판, 및 상기 상부 기판과 상기 하부 기판 사이에 형성된 액정을 포함하여 구성된다. 상기 액정 표시 장치는 화소 전극과 공통 전극 사이에서 형성되는 전계에 의해서 상기 액정의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0003] 이러한 액정 표시 장치에서 상기 화소 전극과 상기 공통 전극 사이에 동일한 극성의 전압 차가 지속 되면 상기 액정이 열화되어 영상이 깜박거리거나 어두워지는 문제가 발생할 수 있기 때문에, 이를 방지하기 위해서 영상신호의 위상을 반전하는 인버전(inversion) 구동 방식이 제안되었다.

[0004] 상기 인버전 구동 방식으로는 프레임 인버전(Frame Inversion) 구동 방식, 컬럼 인버전(Column Inversion) 구동 방식, 라인 인버전(Line inversion) 구동 방식, 및 도트 인버전(Dot inversion) 구동 방식이 있다.

[0005] 도 1a 내지 도 1d는 종래의 액정 표시 장치의 다양한 인버전 구동 방식을 도시한 개념도이다. 도 1a 내지 도 1d에서, 극성(+, -)이 표기되어 있는 사각형은 하나의 서브 화소를 의미한다.

[0006] 도 1a는 프레임 인버전 구동 방식을 도시한 것으로서, 제1 프레임에서는 모든 서브 화소에 (+)극성의 전계가 인가되고 제2 프레임에서는 극성이 반전되어 모든 서브 화소에 (-)극성의 전계가 인가된다.

[0007] 도 1b는 컬럼 인버전 구동 방식을 도시한 것으로서, 제1 프레임에서는 홀수 번째 열의 서브 화소에 (+)극성의 전계가 인가되고 짝수 번째 열의 서브 화소에 (-)극성의 전계가 인가되고, 제2 프레임에서는 극성이 반전되어 홀수 번째 열의 서브 화소에 (-)극성의 전계가 인가되고 짝수 번째 열의 서브 화소에 (+)극성의 전계가 인가된다.

[0008] 도 1c는 라인 인버전 구동 방식을 도시한 것으로서, 제1 프레임에서는 홀수 번째 라인의 서브 화소에 (+)극성의 전계가 인가되고 짝수 번째 라인의 서브 화소에 (-)극성의 전계가 인가되고, 제2 프레임에서는 극성이 반전되어 홀수 번째 라인의 서브 화소에 (-)극성의 전계가 인가되고 짝수 번째 라인의 서브 화소에 (+)극성의 전계가 인가된다.

[0009] 도 1d는 도트 인버전 구동 방식을 도시한 것으로서, 인접한 서브 화소끼리 극성이 서로 반대이며, 각각의 서브 화소 별로 제1 프레임에서의 극성과 제2 프레임에서의 극성이 서로 반전된다.

[0010] 상기의 다양한 인버전 구동 방식 중에서 상기 도트 인버전 구동 방식은 가로선 또는 세로선을 따라 발생하는 화면 불량 문제가 적어서 대형의 액정 표시 장치에 많이 사용되고 있다.

[0011] 그러나, 상기 도트 인버전 구동 방식은 상기 컬럼 인버전 구동 방식 또는 상기 라인 인버전 구동 방식에 비하여 소비전력이 크고 발열이 발생할 가능성이 있다. 상기 발열 문제를 해결하기 위해서 방열 레진을 추가로 사용할 수 있지만 이 경우 비용이 증가할 수 있다. 또한, 상기 도트 인버전 구동 방식은 특정 렌더링(Rendering) 사용으로 인해서 새로운 데이터 구동 회로(D-IC), 새로운 타이밍 컨트롤러(T-Con), 및 새로운 라인 메모리(Line-memory) 등을 추가해야 하기 때문에 그만큼 비용이 추가될 수 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 도트 인버전 구동 방식을 이용하지 않음으로써 그로 인해 발생하는 문제를 해소하면서도 가로선 또는 세로선을 따라 발생하는 화면 불량 문제를 방지할 수 있는 액정 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0013] 상기 목적을 달성하기 위해서, 본 발명의 일 실시예에 따르면, 복수의 행렬로 이루어진 복수의 서브 화소를 반복단위로 구비하고 있고, 복수의 열에 각각 배열된 복수의 행의 서브 화소 중에서 일부의 행의 서브 화소는 상기 복수의 데이터 배선 중에서 어느 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되고, 상기 복수의 열에 각각 배열된 복수의 행의 서브 화소 중에서 나머지 행의 서브 화소는 상기 어느 하나의 데이터 배선에 인접한 다른 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되는 액정 표시 장치가 제공된다.

발명의 효과

- [0014] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0015] 본 발명의 일 실시예에 따르면, 복수의 열에 각각 배열된 복수의 행의 서브 화소 중에서, 일부의 행의 서브 화소는 어느 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되고, 나머지 행의 서브 화소는 상기 어느 하나의 데이터 배선에 인접한 다른 하나의 데이터 배선에 의해 서로 동일한 극성으로 구동되기 때문에, 서로 인접하는 열 사이에서 컬럼 인버전 구동 방식으로 구동되지만 실제로 구동되는 모습은 도트 인버전 구동 방식이다.
- [0016] 따라서, 본 발명의 일 실시예의 경우 도트 인버전 구동 방식을 이용하지 않음으로써 그로 인해 발생하는 큰 소비전력과 발열의 문제 및 비용 추가 문제가 해소될 수 있고, 또한, 비록 컬럼 인버전 구동 방식으로 구동되지만 도트 인버전 구동 방식의 모습을 가지고 있기 때문에 가로선 또는 세로선을 따라 발생하는 화면 불량 문제가 해소될 수 있다.
- [0017] 본 발명의 일 실시예에 따르면, 상기 어느 하나의 데이터 배선에 의해 구동되는 복수의 행의 서브 화소와 상기 다른 하나의 데이터 배선에 의해 구동되는 나머지 복수의 행의 서브 화소는 서로 상이한 극성으로 구동되기 때문에, 컬럼 인버전 구동 방식으로 구동되는 것이다.
- [0018] 본 발명의 일 실시예에 따르면, 상기 일부의 행의 서브 화소와 상기 나머지 행의 서브 화소의 개수는 서로 동일하고, 상기 일부의 행의 서브 화소는 서로 인접하는 행 사이의 서브 화소로 이루어지기 때문에, 도트 인버전 구동 방식의 모습을 가질 수 있다.
- [0019] 본 발명의 일 실시예에 따르면, 홀수 번째 행에서는 제1 서브 화소, 제2 서브 화소, 제3 서브 화소, 및 제4 서브 화소의 순서가 반복되고, 짝수 번째 행에서는 상기 제3 서브 화소, 상기 제4 서브 화소, 상기 제1 서브 화소, 및 상기 제2 서브 화소의 순서가 반복됨으로써, 도트 인버전 구동 방식의 모습을 가질 수 있다.
- [0020] 본 발명의 일 실시예에 따르면, 상기 복수의 박막 트랜지스터가 구동하는 서브 화소 내에 구비되어 있는 제1 박막 트랜지스터, 및 구동하는 서브 화소의 이웃 서브 화소 내에 구비되어 있는 제2 박막 트랜지스터를 포함함으로써, 도트 인버전 구동 방식의 모습을 가질 수 있다.
- [0021] 본 발명의 일 실시예에 따르면, 상기 복수의 박막 트랜지스터가 상기 복수의 서브 화소 내에 1개씩 구비되어 있기 때문에 상기 복수의 서브 화소 사이의 개구율이 서로 동일하다.
- [0022] 본 발명의 다른 실시예에 따르면, 상기 복수의 박막 트랜지스터가 일부 열의 서브 화소 내에는 상하 2개씩 구비되어 있고 나머지 열의 서브 화소 내에는 구비되어 있지 않으며, 상기 일부 열의 서브 화소의 개구율이 상기 나머지 열의 서브 화소의 개구율보다 작을 수 있으며, 이때 상대적으로 개구율이 큰 상기 나머지 열의 서브 화소에 백색(W) 서브 화소를 배치함으로써 휘도를 향상시킬 수 있다.
- [0023] 본 발명의 일 실시예에 따르면, 4×8의 행렬로 이루어진 서브 화소를 반복단위로 구비하고, 8개의 열에 각각 배열된 4개 행의 서브 화소 중에서 2개 행의 서브 화소는 상기 어느 하나의 데이터 배선에 의해 구동되고, 상기 8개의 열에 각각 배열된 4개 행의 서브 화소 중에서 나머지 2개 행의 서브 화소는 상기 다른 하나의 데이터 배선에 의해 구동됨으로써, 서로 인접하는 열 사이에서 컬럼 인버전 구동 방식으로 구동되지만 실제로 구동되는 모습은 도트 인버전 구동 방식의 모습을 얻을 수 있다.

[0024] 본 발명의 일 실시예에 따르면, 제1 데이터 배선은 제2열의 제1행과 제2행의 서브 화소 및 제1열의 제3행과 제4행의 서브 화소를 구동하고, 제2 데이터 배선은 제1열의 제1행과 제2행의 서브 화소 및 제2열의 제3행과 제4행의 서브 화소를 구동하고, 제3 데이터 배선은 제3열의 제1행과 제4행의 서브 화소 및 제4열의 제2행과 제3행의 서브 화소를 구동하고, 제4 데이터 배선은 제4열의 제1행과 제4행의 서브 화소 및 제3열의 제2행과 제3행의 서브 화소를 구동함으로써, 도트 인버전 구동 방식의 모습을 얻을 수 있다.

[0025] 본 발명의 일 실시예에 따르면, 어느 하나의 서브 화소에 구비되어 있는 제1 화소 전극이 이웃하는 화소에 구비된 박막 트랜지스터와 연결되어 있고, 상기 제1 화소 전극은 어느 하나의 데이터 배선과 오버랩됨으로써, 도트 인버전 구동 방식의 모습을 얻을 수 있다.

[0026] 본 발명의 일 실시예에 따르면, 다른 하나의 서브 화소에 구비되어 있는 제2 화소 전극이 상기 다른 하나의 서브 화소에 구비된 박막 트랜지스터와 연결되어 있고, 상기 제2 화소 전극에는 커패시턴스 보상 패턴이 연결되어 있으며, 상기 커패시턴스 보상 패턴은 또 다른 하나의 데이터 배선과 오버랩됨으로써, 서브 화소별로 커패시턴스 차이를 줄일 수 있다.

[0027] 본 발명의 일 실시예에 따르면, 상기 제1 화소 전극과 상기 어느 하나의 데이터 배선과 오버랩되는 영역의 면적이 상기 커패시턴스 보상 패턴과 상기 또 다른 하나의 데이터 배선과 오버랩되는 영역의 면적과 동일하게 구성됨으로써, 서브 화소별로 커패시턴스 차이를 방지할 수 있다.

도면의 간단한 설명

- [0028] 도 1a 내지 도 1d는 종래의 액정 표시 장치의 다양한 인버전 구동 방식을 도시한 개념도이다.
- 도 2는 본 발명의 일 실시예에 따른 인버전 구동 방식으로 구동되는 액정 표시 장치의 개략도이다.
- 도 3은 본 발명의 일 실시예에 따른 인버전 구동 방식으로 구동되는 액정 표시 장치의 3개의 서브 화소를 도시한 평면도이다.
- 도 4는 본 발명의 다른 실시예에 따른 인버전 구동 방식으로 구동되는 액정 표시 장치의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0030] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0031] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0032] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0033] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0034] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0035] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적

으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

- [0036] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0037] 도 2는 본 발명의 일 실시예에 따른 인버전 구동 방식으로 구동되는 액정 표시 장치의 개략도이다.
- [0038] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정 표시 장치는 복수의 서브 화소(P1, P2, P3, P4)를 정의하기 위해서 서로 교차 배열된 복수의 게이트 배선(G1, G2, G3, G4, G5)과 복수의 데이터 배선(D1, D2, D3, D4, D5, D6, D7, D8), 및 상기 복수의 서브 화소(P1, P2, P3, P4)를 구동하기 위한 박막 트랜지스터(T1, T2)를 포함하여 이루어진다.
- [0039] 상기 복수의 게이트 배선(G1, G2, G3, G4, G5)은 가로 방향으로 배열되어 있고, 상기 복수의 데이터 배선(D1, D2, D3, D4, D5, D6, D7, D8)은 세로 방향으로 배열되어 있다.
- [0040] 상기 복수의 서브 화소(P1, P2, P3, P4)는 행렬을 이루면서 배열되는데, 도면에는 제1행부터 제4행까지 총 4개의 행과 제1열부터 제8열까지 총 8개의 열을 도시하였으며, 이와 같이 4×8의 행렬이 반복단위가 된다. 도면에는 4×8의 행렬로 총 32개의 서브 화소(P1, P2, P3, P4)를 도시한 것으로서, 제1행부터 제4행 및 제1열부터 제8열까지는 반복단위 내에서의 행과 열을 의미하는 것이다. 따라서, 도면에 도시된 제1 내지 제5 게이트 배선(G1, G2, G3, G4, G5)과 제1 내지 제8 데이터 배선(D1, D2, D3, D4, D5, D6, D7, D8)은 반복단위 내에서의 배선을 순서대로 지칭한 것이다. 다시 말하면, 제1 게이트 배선(G1)과 제1 데이터 배선(D1)이 각각 액정 표시 장치의 첫 번째 게이트 배선과 첫 번째 데이터 배선을 의미하는 것은 아니다.
- [0041] 상기 복수의 서브 화소(P1, P2, P3, P4)는 제1 색상을 표시하는 제1 서브 화소(P1), 제2 색상을 표시하는 제2 서브 화소(P2), 제3 색상을 표시하는 제3 서브 화소(P3), 및 제4 색상을 표시하는 제4 서브 화소(P4)를 포함한다. 상기 제1 색상 내지 제4 색상은 서로 상이한 색상으로 이루어질 수 있다. 상기 제1 서브 화소(P1), 제2 서브 화소(P2), 제3 서브 화소(P3), 및 제4 서브 화소(P4)의 조합에 의해 원하는 색상을 표현하기 위한 하나의 단위 화소가 구성된다.
- [0042] 상기 제1 서브 화소(P1), 제2 서브 화소(P2), 제3 서브 화소(P3), 및 제4 서브 화소(P4) 중 어느 하나는 적색(R) 서브 화소가 되고, 다른 하나는 녹색(G) 서브 화소가 되고, 또 다른 하나는 청색(B) 서브 화소가 되고, 나머지 하나는 백색(W) 서브 화소가 될 수 있다. 예로서, 상기 가로 방향으로 순서대로 배열된 제1 서브 화소(P1), 제2 서브 화소(P2), 제3 서브 화소(P3), 및 제4 서브 화소(P4) 각각이 적색(R) 서브 화소, 녹색(G) 서브 화소, 청색(B) 서브 화소, 및 백색(W) 서브 화소로 이루어질 수 있다.
- [0043] 제1행의 제1열부터 제1행의 제8열까지 상기 제1 서브 화소(P1), 제2 서브 화소(P2), 제3 서브 화소(P3), 및 제4 서브 화소(P4)가 반복되도록 배열되는 경우, 제2행의 제1열부터 제2행의 제8열까지는 상기 제3 서브 화소(P3), 제4 서브 화소(P4), 제1 서브 화소(P1), 및 제2 서브 화소(P2)가 반복되도록 배열되고, 제3행의 제1열부터 제3행의 제8열까지는 상기 제1 서브 화소(P1), 제2 서브 화소(P2), 제3 서브 화소(P3), 및 제4 서브 화소(P4)가 반복되도록 배열되고, 제4행의 제1열부터 제4행의 제8열까지는 상기 제3 서브 화소(P3), 제4 서브 화소(P4), 제1 서브 화소(P1), 및 제2 서브 화소(P2)가 반복되도록 배열된다.
- [0044] 즉, 홀수 번째 행에서는 상기 제1 서브 화소(P1), 제2 서브 화소(P2), 제3 서브 화소(P3), 및 제4 서브 화소(P4)가 반복되고, 짝수 번째 행에서는 상기 제3 서브 화소(P3), 제4 서브 화소(P4), 제1 서브 화소(P1), 및 제2 서브 화소(P2)가 반복될 수 있으며, 이와 같은 구성에 의해서 후술하는 바와 같이 인접하는 열 사이에서 컬럼 인버전(Column Inversion) 구동 방식으로 구동되지만 실제로 구동되는 모습은 도트 인버전(Dot inversion) 구동 방식의 모습을 얻을 수 있다.
- [0045] 상기 박막 트랜지스터(T1, T2)는 상기 복수의 서브 화소(P1, P2, P3, P4) 각각을 개별적으로 구동한다. 상기 복수의 서브 화소(P1, P2, P3, P4) 각각에는 1개의 박막 트랜지스터(T1, T2)가 구비되어 있다. 상기 박막 트랜지스터(T1, T2)는 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)를 포함한다. 상기 제1 박막 트랜지스터(T1)와 상기 제2 박막 트랜지스터(T2)는 그 형성 위치별로 구분된 것이다. 구체적으로, 상기 제1 박막 트랜지스터(T1)는 구동하는 서브 화소(P1, P2, P3, P4) 내에 구비되어 있는 것이고, 상기 제2 박막 트랜지스터(T2)는 구동하는 서브 화소(P1, P2, P3, P4) 내에 구비되어 있지 않고 구동하는 서브 화소(P1, P2, P3, P4)의 이웃 서브 화소(P1, P2, P3, P4) 내에 구비되어 있는 것이다.
- [0046] 제1행의 제1열부터 제8열까지를 예를 들면, 제1행의 제1열 내지 제2열에는 제2 박막 트랜지스터(T2)가 구비되어

있고, 제1행의 제3열 내지 제6열에는 제1 박막 트랜지스터(T1)가 구비되어 있고, 제1행의 제7열 내지 제8열에는 제2 박막 트랜지스터(T2)가 구비되어 있다. 제1행의 제1열에 구비된 제2 박막 트랜지스터(T2)는 제1행의 제1열에 구비된 제1 서브화소(P1)가 아니라 그와 이웃하는 제1행의 제2열에 구비된 제2 서브화소(P2)를 구동한다. 제1행의 제2열에 구비된 제2 박막 트랜지스터(T2)는 제1행의 제2열에 구비된 제2 서브화소(P2)가 아니라 그와 이웃하는 제1행의 제1열에 구비된 제1 서브화소(P1)를 구동한다. 제1행의 제3열에 구비된 제1 박막 트랜지스터(T1)는 제1행의 제3열에 구비된 제3 서브화소(P3)를 구동하고, 제1행의 제4열에 구비된 제1 박막 트랜지스터(T1)는 제1행의 제4열에 구비된 제4 서브화소(P4)를 구동하고, 제1행의 제5열에 구비된 제1 박막 트랜지스터(T1)는 제1행의 제5열에 구비된 제1 서브화소(P1)를 구동하고, 제1행의 제6열에 구비된 제1 박막 트랜지스터(T1)는 제1행의 제6열에 구비된 제2 서브화소(P2)를 구동한다. 제1행의 제7열에 구비된 제2 박막 트랜지스터(T2)는 제1행의 제7열에 구비된 제3 서브화소(P3)가 아니라 그와 이웃하는 제1행의 제8열에 구비된 제4 서브화소(P4)를 구동한다. 제1행의 제8열에 구비된 제2 박막 트랜지스터(T2)는 제1행의 제8열에 구비된 제4 서브화소(P4)가 아니라 그와 이웃하는 제1행의 제7열에 구비된 제3 서브화소(P3)를 구동한다.

[0047] 제2행의 제1열부터 제8열까지를 예를 들면, 제2행의 제1열 내지 제4열에는 제2 박막 트랜지스터(T2)가 구비되어 있고, 제2행의 제5열 내지 제8열에는 제1 박막 트랜지스터(T1)가 구비되어 있다. 제2행의 제1열에 구비된 제2 박막 트랜지스터(T2)는 제2행의 제2열에 구비된 제4 서브화소(P4)를 구동하고, 제2행의 제2열에 구비된 제2 박막 트랜지스터(T2)는 제2행의 제1열에 구비된 제3 서브화소(P3)를 구동한다. 제2행의 제3열에 구비된 제2 박막 트랜지스터(T2)는 제2행의 제4열에 구비된 제2 서브화소(P2)를 구동하고, 제2행의 제4열에 구비된 제2 박막 트랜지스터(T2)는 제2행의 제3열에 구비된 제1 서브화소(P1)를 구동한다. 제2행의 제5열 내지 제8열에 구비된 제1 박막 트랜지스터(T1)는 동일한 행과 동일한 열에 구비된 제3 서브화소(P3), 제4 서브화소(P4), 제1 서브화소(P1), 및 제2 서브화소(P2)를 각각 구동한다.

[0048] 제3행의 제1열부터 제8열까지를 예를 들면, 제3행의 제1열 내지 제2열에는 제1 박막 트랜지스터(T1)가 구비되어 있고, 제3행의 제3열 내지 제6열에는 제2 박막 트랜지스터(T2)가 구비되어 있고, 제3행의 제7열 내지 제8열에는 제1 박막 트랜지스터(T1)가 구비되어 있다. 제3행의 제1열 내지 제2열에 구비된 제1 박막 트랜지스터(T1)는 동일한 행과 동일한 열에 구비된 제1 서브화소(P1) 및 제2 서브화소(P2)를 각각 구동한다. 제3행의 제3열에 구비된 제2 박막 트랜지스터(T2)는 제3행의 제4열에 구비된 제4 서브화소(P4)를 구동하고, 제3행의 제4열에 구비된 제2 박막 트랜지스터(T2)는 제3행의 제3열에 구비된 제3 서브화소(P3)를 구동한다. 제3행의 제5열에 구비된 제2 박막 트랜지스터(T2)는 제3행의 제6열에 구비된 제2 서브화소(P2)를 구동하고, 제3행의 제6열에 구비된 제2 박막 트랜지스터(T2)는 제3행의 제5열에 구비된 제1 서브화소(P1)를 구동한다. 제3행의 제7열 내지 제8열에 구비된 제1 박막 트랜지스터(T1)는 동일한 행과 동일한 열에 구비된 제3 서브화소(P3) 및 제4 서브화소(P4)를 각각 구동한다.

[0049] 제4행의 제1열부터 제8열까지를 예를 들면, 제4행의 제1열 내지 제4열에는 제1 박막 트랜지스터(T1)가 구비되어 있고, 제4행의 제5열 내지 제8열에는 제2 박막 트랜지스터(T2)가 구비되어 있다. 제4행의 제1열 내지 제4열에 구비된 제1 박막 트랜지스터(T1)는 동일한 행과 동일한 열에 구비된 제3 서브화소(P3), 제4 서브화소(P4), 제1 서브화소(P1) 및 제2 서브화소(P2)를 각각 구동한다. 제4행의 제5열에 구비된 제2 박막 트랜지스터(T2)는 제4행의 제6열에 구비된 제4 서브화소(P4)를 구동하고, 제4행의 제6열에 구비된 제2 박막 트랜지스터(T2)는 제4행의 제5열에 구비된 제3 서브화소(P3)를 구동한다. 제4행의 제7열에 구비된 제2 박막 트랜지스터(T2)는 제4행의 제8열에 구비된 제2 서브화소(P2)를 구동하고, 제4행의 제8열에 구비된 제2 박막 트랜지스터(T2)는 제4행의 제7열에 구비된 제1 서브화소(P1)를 구동한다.

[0050] 이상과 같이, 제1행 내지 제4행 각각에 있어서, 구동하는 서브 화소(P1, P2, P3, P4) 내에 구비되어 있는 제1 박막 트랜지스터(T1)가 총 4개이고, 구동하는 서브 화소(P1, P2, P3, P4)의 이웃 서브 화소(P1, P2, P3, P4) 내에 구비되어 있는 제2 박막 트랜지스터(T2)가 총 4개이다. 구체적으로, 제1행에서는 제1열, 제2열, 제7열, 및 제8열에 제2 박막 트랜지스터(T2)가 구비되고, 제2행에서는 제1열, 제2열, 제3열, 및 제4열에 제2 박막 트랜지스터(T2)가 구비되고, 제3행에서는 제3열, 제4열, 제5열, 및 제6열에 제2 박막 트랜지스터(T2)가 구비되고, 제4행에서는 제5열, 제6열, 제7열, 및 제8열에 제2 박막 트랜지스터(T2)가 구비된다. 이와 같이, 제1행과 제2행 사이에서는 제1열과 제2열에 공통적으로 두개의 제2 박막 트랜지스터(T2)가 구비되어 있고, 제2행과 제3행 사이에서는 제3열과 제4열에 공통적으로 두개의 제2 박막 트랜지스터(T2)가 구비되어 있고, 제3행과 제4행 사이에서는 제5열과 제6열에 공통적으로 두개의 제2 박막 트랜지스터(T2)가 구비되어 있다.

[0051] 이와 같은 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 배치에 의해서 후술하는 바와 같이 인접하는 열 사이에서 컬럼 인버전(Column Inversion) 구동 방식으로 구동되지만 실제로 구동되는 모습은 도트 인버전

(Dot inversion) 구동 방식의 모습을 얻을 수 있다.

- [0052] 이상과 같은 구조에 의해서 본 발명의 일 실시예에 따른 액정 표시 장치가 컬럼 인버전(Column Inversion) 구동 방식으로 구동되면서도 도트 인버전(Dot inversion) 구동 방식의 효과를 얻을 수 있는데, 이에 대해서 구체적으로 설명하면 다음과 같다. 도 2에서 곡선은 동일한 데이터 배선(D1, D2, D3, D4, D5, D6, D7, D8)에 연결되어 동일하게 구동되는 서브 화소(P1, P2, P3, P4)를 연결한 것이다.
- [0053] 본 발명에 따르면 컬럼 인버전 구동 방식으로 구동되므로, 홀수 번째 데이터 배선(D1, D3, D5, D7)에 의해 구동되는 서브 화소(P1, P2, P3, P4)의 극성과 짝수 번째 데이터 배선(D2, D4, D6, D8)에 의해 구동되는 서브 화소(P1, P2, P3, P4)의 극성은 서로 반대이다.
- [0054] 본 명세서 전체에서, 상기 극성은 (+)극성과 (-)극성을 포괄하거나 또는 그들 중 어느 하나를 의미하는 것으로서, 상기 (+)극성은 공통 전압보다 높은 데이터 전압이 인가되는 것을 의미하고, 상기 (-)극성은 공통 전압보다 낮은 데이터 전압이 인가되는 것을 의미한다. 또한, 본 명세서 전체에서, 특정 서브 화소(P1, P2, P3, P4)가 특정 데이터 배선(D1, D2, D3, D4, D5, D6, D7)에 의해 구동된다는 것은, 특정 데이터 배선(D1, D2, D3, D4, D5, D6, D7)과 연결된 특정 박막 트랜지스터(T1, T2)에 의해 특정 서브 화소(P1, P2, P3, P4)가 구동되는 것을 의미한다.
- [0055] 상기 반복단위 내의 제1열 내지 제8열 각각에 있어서, 총 4개의 서브 화소(P1, P2, P3, P4) 중에서 두 개의 서브 화소(P1, P2, P3, P4)는 일측의 데이터 배선(D1, D2, D3, D4, D5, D6, D7, D8)에 연결되어 있고, 나머지 두 개의 서브 화소(P1, P2, P3, P4)는 타측의 데이터 배선(D1, D2, D3, D4, D5, D6, D7, D8)에 연결되어 있다.
- [0056] 구체적으로, 제1열에 있어서, 제1행의 제1 서브 화소(P1)와 제2행의 제3 서브 화소(P3)는 제2 데이터 배선(D2)에 연결되어 있고, 제3행의 제1 서브 화소(P1)와 제4행의 제3 서브 화소(P3)는 제1 데이터 배선(D1)에 연결되어 있다. 또한, 제2열에 있어서, 제1행의 제2 서브 화소(P2)와 제2행의 제4 서브 화소(P4)는 제1 데이터 배선(D1)에 연결되어 있고, 제3행의 제2 서브 화소(P2)와 제4행의 제4 서브 화소(P4)는 제2 데이터 배선(D2)에 연결되어 있다.
- [0057] 따라서, 상기 제1열의 제1행과 제2행에 배열된 서브 화소(P1, P3) 및 상기 제2열의 제3행과 제4행에 배열된 서브 화소(P2, P4)는 상기 제2 데이터 배선(D2)에 의해 구동되고, 상기 제2열의 제1행과 제2행에 배열된 서브 화소(P2, P4) 및 상기 제1열의 제3행과 제4행에 배열된 서브 화소(P1, P3)는 상기 제1 데이터 배선(D1)에 의해 구동될 수 있다. 이와 같이, 동일한 열에서 상기 제2 데이터 배선(D2)에 의해 구동되는 서브 화소(P1, P2, P3, P4)의 개수와 상기 제1 데이터 배선(D1)에 의해 구동되는 서브 화소(P1, P2, P3, P4)의 개수는 서로 동일하다. 또한, 동일한 열에서 동일한 데이터 배선(D1, D2)에 의해 구동되는 서브 화소(P1, P2, P3, P4)는 서로 인접하는 행 사이의 서브 화소로 이루어진다. 예를 들어, 제1열에서 제1 데이터 배선(D1)에 의해 구동되는 서브 화소(P1, P3)는 서로 인접하는 제3행과 제4행의 서브 화소(P1, P3)이고, 제1열에서 제2 데이터 배선(D2)에 의해 구동되는 서브 화소(P1, P3)는 서로 인접하는 제1행과 제2행의 서브 화소(P1, P3)이다.
- [0058] 이와 같은 구성에 의할 때, 상기 제1 데이터 배선(D1)에 연결된 서브 화소(P1, P2, P3, P4)를 제1 극성, 예로서 (+) 극성으로 구동하고, 상기 제2 데이터 배선(D2)에 연결된 서브 화소(P1, P2, P3, P4)를 상기 제1 극성과 반대인 제2 극성, 예로서 (-)극성으로 구동할 경우 컬럼 인버전(Column Inversion) 구동 방식으로 구동되지만 실제로 구동되는 모습은 이웃하는 서브 화소(P1, P2, P3, P4) 사이의 극성이 반대가 되는 도트 인버전(Dot inversion) 구동 방식의 모습을 얻을 수 있다.
- [0059] 본 발명의 일 실시예에 따르면, 제2열의 제1행에 구비된 제2 서브 화소(P2)와 제2열의 제2행에 구비된 제4 서브 화소(P4)는 제1열의 좌측에 구비된 제1 데이터 배선(D1)과 연결되어야 하기 때문에, 전술한 바와 같이 제2열의 제1행에 구비된 제2 서브 화소(P2)는 제1열의 제1행에 구비된 제2 박막 트랜지스터(T2)에 의해 구동되고, 제2열의 제2행에 구비된 제4 서브 화소(P4)는 제1열의 제2행에 구비된 제2 박막 트랜지스터(T2)에 의해 구동되는 것이다.
- [0060] 이와 같은 이유로 인해서, 본 발명에서 구동하는 서브 화소(P1, P2, P3, P4) 내에 구비되어 있지 않고 구동하는 서브 화소(P1, P2, P3, P4)의 이웃 서브 화소(P1, P2, P3, P4) 내에 구비되어 있는 제2 박막 트랜지스터(T2)가 필요한 것이다.
- [0061] 한편, 제1열의 제1행에 구비된 제1 서브 화소(P1)와 제1열의 제2행에 구비된 제3 서브 화소(P3)는 그 우측의 제2 데이터 배선(D2)과 연결되므로 그 내부에 제1 박막 트랜지스터(T1)를 구비할 수도 있지만, 앞서 설명한 바와 같이, 제1열의 제1행 및 제1열의 제2행에 이미 제2 박막 트랜지스터(T2)가 구비되어 있기 때문에 제1 박막 트랜

지스터(T1)가 추가로 구비되지 않는다. 따라서, 제1열의 제1행에 구비된 제1 서브 화소(P1)와 제1열의 제2행에 구비된 제3 서브 화소(P3)는 제2열의 제1행 및 제2열의 제2행에 각각 구비된 제2 박막 트랜지스터(T2)에 연결되는 것이다.

- [0062] 이상의 제1열과 제2열에서 컬럼 인버전(Column Inversion) 구동 방식으로 구동되지만 도트 인버전(Dot inversion) 구동 방식의 모습을 갖는 특징은, 제3열과 제4열에 배열된 서브 화소(P1, P2, P3, P4) 사이, 제5열과 제6열에 배열된 서브 화소(P1, P2, P3, P4) 사이, 및 제7열과 제8열에 배열된 서브 화소(P1, P2, P3, P4) 사이에도 마찬가지이다.
- [0063] 구체적으로 설명하면, 제3열에 있어서, 제1행의 제3 서브 화소(P3)와 제4행의 제1 서브 화소(P1)는 제3 데이터 배선(D3)에 연결되어 있고, 제2행의 제1 서브 화소(P1)와 제3행의 제3 서브 화소(P3)는 제4 데이터 배선(D4)에 연결되어 있다. 또한, 제4열에 있어서, 제1행의 제4 서브 화소(P4)와 제4행의 제2 서브 화소(P2)는 제4 데이터 배선(D4)에 연결되어 있고, 제2행의 제2 서브 화소(P2)와 제3행의 제4 서브 화소(P4)는 제3 데이터 배선(D3)에 연결되어 있다.
- [0064] 따라서, 상기 제3열의 제1행과 제4행에 배열된 서브 화소(P3, P1) 및 상기 제4열의 제2행과 제3행에 배열된 서브 화소(P2, P4)는 상기 제3 데이터 배선(D3)에 의해 구동되고, 상기 제4열의 제1행과 제4행에 배열된 서브 화소(P4, P2) 및 상기 제3열의 제2행과 제3행에 배열된 서브 화소(P1, P3)는 상기 제4 데이터 배선(D4)에 의해 구동될 수 있다.
- [0065] 또한, 제5열에 있어서, 제1행의 제1 서브 화소(P1)와 제2행의 제3 서브 화소(P3)는 제5 데이터 배선(D5)에 연결되어 있고, 제3행의 제1 서브 화소(P1)와 제4행의 제3 서브 화소(P3)는 제6 데이터 배선(D6)에 연결되어 있다. 또한, 제6열에 있어서, 제1행의 제2 서브 화소(P2)와 제2행의 제4 서브 화소(P4)는 제6 데이터 배선(D6)에 연결되어 있고, 제3행의 제2 서브 화소(P2)와 제4행의 제4 서브 화소(P4)는 제5 데이터 배선(D5)에 연결되어 있다.
- [0066] 따라서, 상기 제5열의 제1행과 제2행에 배열된 서브 화소(P1, P3) 및 상기 제6열의 제3행과 제4행에 배열된 서브 화소(P2, P4)는 상기 제5 데이터 배선(D5)에 의해 구동되고, 상기 제6열의 제1행과 제2행에 배열된 서브 화소(P2, P4) 및 상기 제5열의 제3행과 제4행에 배열된 서브 화소(P1, P3)는 상기 제6 데이터 배선(D6)에 의해 구동될 수 있다.
- [0067] 또한, 제7열에 있어서, 제1행의 제3 서브 화소(P3)와 제4행의 제1 서브 화소(P1)는 제8 데이터 배선(D8)에 연결되어 있고, 제2행의 제1 서브 화소(P1)와 제3행의 제3 서브 화소(P3)는 제7 데이터 배선(D7)에 연결되어 있다. 또한, 제8열에 있어서, 제1행의 제4 서브 화소(P4)와 제4행의 제2 서브 화소(P2)는 제7 데이터 배선(D7)에 연결되어 있고, 제2행의 제2 서브 화소(P2)와 제3행의 제4 서브 화소(P4)는 제8 데이터 배선(D8)에 연결되어 있다.
- [0068] 따라서, 상기 제7열의 제1행과 제4행에 배열된 서브 화소(P3, P1) 및 상기 제8열의 제2행과 제3행에 배열된 서브 화소(P2, P4)는 상기 제8 데이터 배선(D8)에 의해 구동되고, 상기 제8열의 제1행과 제4행에 배열된 서브 화소(P4, P2) 및 상기 제7열의 제2행과 제3행에 배열된 서브 화소(P1, P3)는 상기 제7 데이터 배선(D7)에 의해 구동될 수 있다.
- [0069] 도 3은 본 발명의 일 실시예에 따른 인버전 구동 방식으로 구동되는 액정 표시 장치의 3개의 서브 화소를 도시한 평면도로서, 이는 도 2의 제1행의 제1열, 제2열, 및 제3열에 구비된 제1 서브 화소(P1), 제2 서브 화소(P2), 및 제3 서브 화소(P3)를 도시한 것이다.
- [0070] 도 3에서 알 수 있듯이, 가로 방향으로 제1 게이트 배선(G1)과 제2 게이트 배선(G2)이 배열되고, 세로 방향으로 제1 데이터 배선(D1), 제2 데이터 배선(D2), 제3 데이터 배선(D3), 및 제4 데이터 배선(D4)이 배열되어, 제1 서브 화소(P1), 제2 서브 화소(P2), 및 제3 서브 화소(P3)가 정의된다.
- [0071] 상기 제1 서브 화소(P1) 및 상기 제2 서브 화소(P2)에는 제2 박막 트랜지스터(T2)가 구비되어 있고, 상기 제3 서브 화소(P3)에는 제1 박막 트랜지스터(T1)가 구비되어 있다.
- [0072] 상기 제1 서브 화소(P1)에 구비된 제2 박막 트랜지스터(T2)는 상기 제2 게이트 배선(G2)에서 연장된 제1 게이트 전극(GE1), 상기 제1 데이터 배선(D1)에서 연장된 제1 소스 전극(SE1), 및 상기 제1 소스 전극(SE1)과 마주하는 제1 드레인 전극(DE1)을 포함하여 이루어진다. 상기 제1 서브 화소(P1)에 구비된 제2 박막 트랜지스터(T2)에 포함된 제1 드레인 전극(DE1)은 제2 화소 전극(PE2)에 연결되어 있다. 상기 제2 화소 전극(PE2)은 상기 제2 서브 화소(P2)로 연장되어 도시하지 않은 공통 전극과 함께 상기 제2 서브 화소(P2) 내의 액정을 구동한다.
- [0073] 상기 제2 서브 화소(P2)에 구비된 제2 박막 트랜지스터(T2)는 상기 제1 게이트 배선(G1)에서 연장된 제2 게이트

전극(GE2), 상기 제2 데이터 배선(D2)에서 연장된 제2 소스 전극(SE2), 및 상기 제2 소스 전극(SE2)과 마주하는 제2 드레인 전극(DE2)을 포함하여 이루어진다. 상기 제2 서브 화소(P2)에 구비된 제2 박막 트랜지스터(T2)에 포함된 제2 드레인 전극(DE2)은 제1 화소 전극(PE1)에 연결되어 있다. 상기 제1 화소 전극(PE1)은 상기 제1 서브 화소(P1)로 연장되어 도시하지 않은 공통 전극과 함께 상기 제1 서브 화소(P1) 내의 액정을 구동한다.

[0074] 상기 제3 서브 화소(P3)에 구비된 제1 박막 트랜지스터(T1)는 상기 제1 게이트 배선(G1)에서 연장된 제3 게이트 전극(GE3), 상기 제3 데이터 배선(D1)에서 연장된 제3 소스 전극(SE3), 및 상기 제3 소스 전극(SE3)과 마주하는 제3 드레인 전극(DE3)을 포함하여 이루어진다. 상기 제3 서브 화소(P3)에 구비된 제1 박막 트랜지스터(T1)에 포함된 제3 드레인 전극(DE3)은 제3 화소 전극(PE3)에 연결되어 있다. 상기 제3 화소 전극(PE3)은 상기 제3 서브 화소(P3) 내로 연장되어 도시하지 않은 공통 전극과 함께 상기 제3 서브 화소(P3) 내의 액정을 구동한다.

[0075] 여기서, 상기 제1 화소 전극(PE1)은 제2 서브 화소(P2) 내의 제2 박막 트랜지스터(T2)의 제2 드레인 전극(DE2)에서부터 제1 서브 화소(P1) 내부까지 연장되어 있기 때문에, 빗금친 영역에서 상기 제2 데이터 배선(D2)과 오버랩된다.

[0076] 또한, 상기 제2 화소 전극(PE2)은 제1 서브 화소(P1) 내의 제2 박막 트랜지스터(T2)의 제1 드레인 전극(DE1)에서부터 제2 서브 화소(P2) 내부까지 연장되어 있기 때문에, 빗금친 영역에서 상기 제2 데이터 배선(D2)과 오버랩된다.

[0077] 이와 같이, 상기 제1 화소 전극(PE1)과 상기 제2 화소 전극(PE2)은 각각 상기 제2 데이터 배선(D2)과 오버랩되기 때문에, 상기 제1 화소 전극(PE1)과 상기 제2 데이터 배선(D2) 사이 및 상기 제2 화소 전극(PE2)과 상기 제2 데이터 배선(D2) 사이에는 각각 커패시턴스(Capacitance)가 생성된다.

[0078] 그에 반하여, 상기 제3 화소 전극(PE3)은 제3 서브 화소(P3) 내의 제1 박막 트랜지스터(T1)의 제3 드레인 전극(DE3)에서부터 제3 서브 화소(P3) 내로 연장되어 있기 때문에, 상기 데이터 배선(D1, D2, D3, D4)과 오버랩될 필요가 없다. 이와 같이, 상기 제3 화소 전극(PE3)이 상기 데이터 배선(D1, D2, D3, D4)과 오버랩되지 않을 경우에는, 전술한 상기 제1 화소 전극(PE1) 및 상기 제2 화소 전극(PE2)에서와는 달리 커패시턴스가 생성되지 않아서 제1 서브 화소(P1), 제2 서브 화소(P2), 및 제3 서브 화소(P3)에서 커패시턴스 차이가 발생하게 된다.

[0079] 이와 같은 커패시턴스 차이가 발생하지 않도록 하기 위해서, 상기 제3 화소 전극(PE3)에는 커패시턴스 보상 패턴(CPP)이 연결되어 있다. 상기 커패시턴스 보상 패턴(CPP)은 빗금친 영역에서 상기 제3 데이터 배선(D3)과 오버랩되도록 연장된다. 상기 커패시턴스 보상 패턴(CPP)은 상기 제3 화소 전극(PE3)과 일체(one body)로 형성될 수 있다. 상기 커패시턴스 보상 패턴(CPP)과 상기 제3 데이터 배선(D3)과의 오버랩되는 영역의 면적, 상기 제1 화소 전극(PE1)과 상기 제2 데이터 배선(D2)과의 오버랩되는 영역의 면적, 및 상기 제2 화소 전극(PE2)과 상기 제2 데이터 배선(D2)과의 오버랩되는 영역의 면적은 모두 동일한 것이 제1 서브 화소(P1), 제2 서브 화소(P2), 및 제3 서브 화소(P3)에서 커패시턴스 차이가 발생하지 않게 되어 바람직하다.

[0080] 이 경우, 상기 커패시턴스 보상 패턴(CPP)과 상기 제3 데이터 배선(D3) 사이에 구비되는 절연층의 종류와 두께는 상기 제1 화소 전극(PE1)과 상기 제2 데이터 배선(D2) 사이에 구비되는 절연층의 종류와 두께 및 상기 제2 화소 전극(PE2)과 상기 제2 데이터 배선(D2) 사이에 구비되는 절연층의 종류와 두께와 동일한 것이 바람직하다.

[0081] 도 4는 본 발명의 다른 실시예에 따른 인버전 구동 방식으로 구동되는 액정 표시 장치의 개략도로서, 이는 박막 트랜지스터(T1, T2)의 모습이 변경된 것을 제외하고 전술한 도 2에 따른 액정 표시 장치와 동일하다. 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

[0082] 전술한 도 2에 따르면, 복수의 서브 화소(P1, P2, P3, P4) 각각에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2) 중 어느 하나만이 구비되어 있다. 따라서, 전술한 도 2에 따르면 복수의 서브 화소(P1, P2, P3, P4) 사이의 개구 영역이 모두 동일하게 형성되어 있다.

[0083] 그에 반하여, 도 4에 따르면, 복수의 서브 화소(P1, P2, P3, P4) 중에서 일부의 서브 화소(P1, P3)에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)가 모두 구비되어 있고, 나머지 서브 화소(P2, P4)에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)가 모두 구비되어 있지 않다. 보다 구체적으로, 제1열, 제3열, 제5열, 및 제7열에 구성된 서브 화소(P1, P3)에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)가 모두 구비되어 있고, 제2열, 제4열, 제6열, 및 제8열에 구성된 서브 화소(P2, P4)에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)가 모두 구비되어 있지 않다. 이와 같이, 상기 제1 및 제2 박막 트랜지스터(T1, T2)가 모두 구비되어 있는 열과 상기 제1 및 제2 박막 트랜지스터(T1, T2)가 구비되어 있지 않은 열은 서로 교대로 반복

될 수 있다.

[0084] 따라서, 도 4에 따르면 박막 트랜지스터(T1, T2)가 구비된 서브 화소(P1, P3)의 개구 영역이 박막 트랜지스터(T1, T2)가 구비되지 않은 서브 화소(P2, P4)의 개구 영역보다 작게 된다. 결국, 도 3에 따른 구조의 경우에는 박막 트랜지스터(T1, T2)가 구비되지 않은 서브 화소(P2, P4)의 개구 영역을 상대적으로 크게 형성할 수 있기 때문에, 상기 서브 화소(P2, P4)를 적절히 이용하여 휘도를 개선할 수 있다. 예를 들어, 상기 제4 서브 화소(P4)를 백색(W) 서브 화소로 구성할 경우 휘도가 개선될 수 있다.

[0085] 도 4에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2) 중 어느 하나는 일부의 서브 화소(P1, P3)의 상측에 구비되고 나머지 하나는 일부의 서브 화소(P1, P3)의 하측에 구비된 모습을 도시하였지만, 반드시 그에 한정된 것은 아니고, 상기 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2) 모두가 일부의 서브 화소(P1, P3)의 상측에 구비되거나 또는 하측에 구비되는 것도 가능하다.

[0086] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

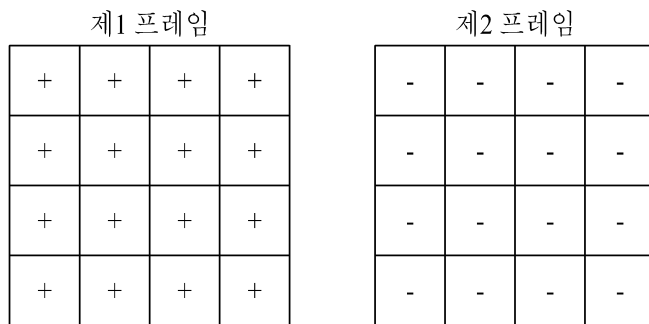
[0087] G1, G2, G3, G4, G5: 게이트 배선

D1, D2, D3, D4, D5, D6, D7, D8: 데이터 배선

T1, T2: 박막 트랜지스터

도면

도면1a



도면1b

+	-	+	-
+	-	+	-
+	-	+	-
+	-	+	-

-	+	-	+
-	+	-	+
-	+	-	+
-	+	-	+

도면1c

+	+	+	+
-	-	-	-
+	+	+	+
-	-	-	-

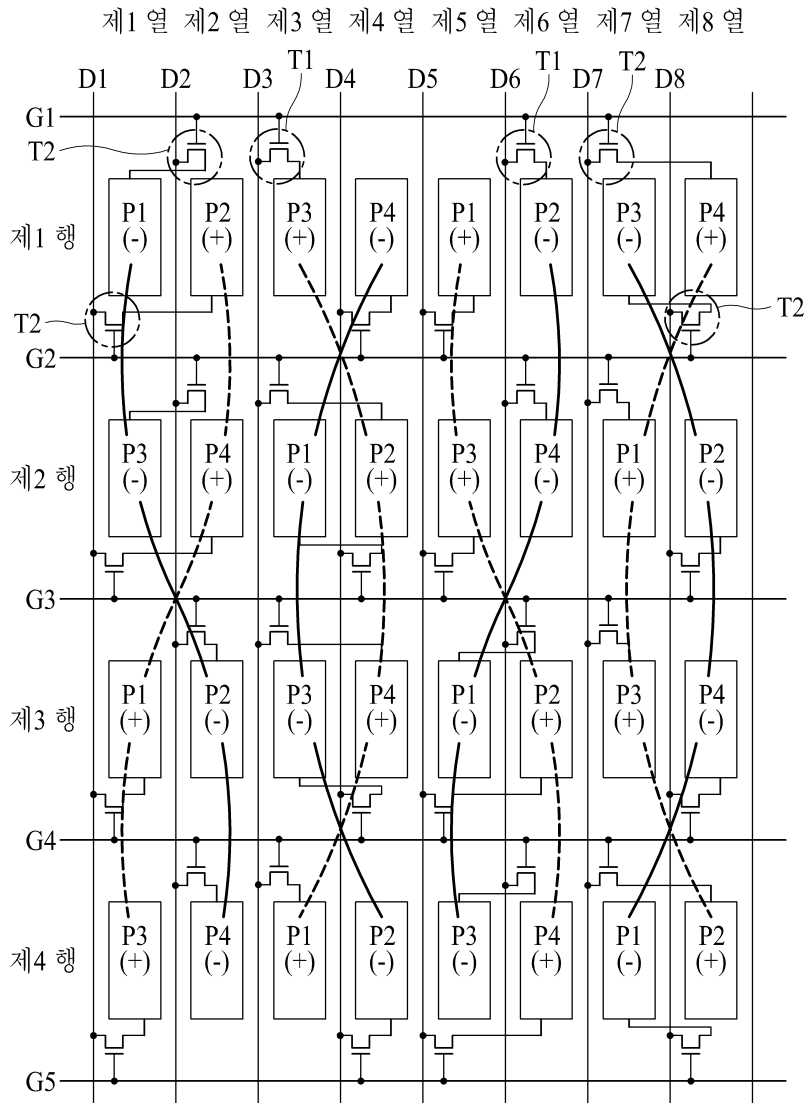
-	-	-	-
+	+	+	+
-	-	-	-
+	+	+	+

도면1d

+	-	+	-
-	+	-	+
+	-	+	-
-	+	-	+

-	+	-	+
+	-	+	-
-	+	-	+
+	-	+	-

도면2



专利名称(译)	液晶显示器		
公开(公告)号	KR1020180003746A	公开(公告)日	2018-01-10
申请号	KR1020160083126	申请日	2016-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SOYOUNG LEE 이소영 WONHO LEE 이원호 YOUNGMIN JEONG 정영민 HUN JANG 장훈 SEUNGHWAN SHIN 신승환 GYUTAE KANG 강규태 DAEYOUNG SEO 서대영		
发明人	이소영 이원호 정영민 장훈 신승환 강규태 서대영		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3614 G09G2330/045 G09G2330/021 G09G2300/0426		
外部链接	Espacenet		

摘要(译)

根据本发明的优选实施例，以重复为单位包括由多个矩阵组成的多个子像素，并且在多个数据中以多个热量排列的多个行的子像素中驱动部分行的子像素。具有一条数据线到相同极性的液晶显示器和液晶显示器用于用另一条数据线驱动，其中其余行的子像素与多行加热的多行子像素中的一条数据线相邻提供相同的极性。

