



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0044170  
(43) 공개일자 2016년04월25일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)  
(21) 출원번호 10-2014-0138593  
(22) 출원일자 2014년10월14일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
이상욱  
경기도 파주시 금촌동 금신초교길  
조재형  
부산 해운대구 양운로 182, 108동 1801호 (좌동,  
두산1차아파트)  
(74) 대리인  
특허법인로알

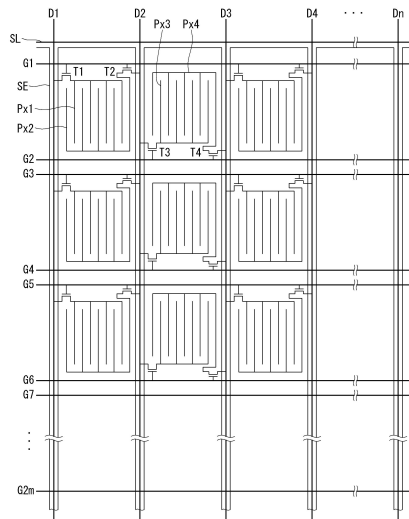
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 수평 전계형 액정 표시장치

**(57) 요약**

본 발명은 블랙 상태(black state)에서 빛샘현상을 방지할 수 있는 수평 전계형 액정 표시장치에 관한 것으로, 서로 교차하도록 배열되는 복수의 게이트 라인들 및 데이터 라인들에 의해 정의되는 화소 영역들, 제 1 내지 제 4 화소전극들, 및 복수의 차폐전극들을 포함한다. 제 1 및 제 2 화소전극들은 복수의 화소 영역들 중 제 1 화소 영역에 배치되어 서로 이웃한 제 1 및 제 2 데이터 라인들로부터 각각 데이터 전압을 공급받는다. 제 3 및 제 4 화소전극들은 복수의 화소 영역들 중 상기 제 1 화소 영역에 이웃한 제 2 화소 영역에 배치되어 상기 제 2 데이터 라인 및 그에 이웃한 제 3 데이터 라인들로부터 각각 데이터 전압을 각각 공급받는다. 복수의 차폐전극들은 서로 인접한 제 1 및 제 2 화소 영역들 사이에서 복수의 데이터 라인들과 중첩되도록 배치된다.

**대표도** - 도3



## 명세서

### 청구범위

#### 청구항 1

서로 교차하도록 배열되는 복수의 게이트 라인들과 복수의 데이터 라인들;

상기 복수의 게이트 라인들 및 데이터 라인들의 교차에 의해 정의되는 복수의 화소 영역들;

상기 복수의 화소 영역들 중 제 1 화소 영역에 배치되어 서로 이웃한 제 1 및 제 2 데이터 라인들로부터 각각 데이터 전압을 공급받는 제 1 화소전극 및 제 2 화소전극;

상기 복수의 화소 영역들 중 상기 제 1 화소 영역에 이웃한 제 2 화소 영역에 배치되어 상기 제 2 데이터 라인 및 그에 이웃한 제 3 데이터 라인들로부터 각각 데이터 전압을 각각 공급받는 제 3 화소전극 및 제 4 화소전극; 및

서로 인접한 상기 제 1 및 제 2 화소 영역들 사이에서 상기 복수의 데이터 라인들과 중첩되도록 배치되는 복수의 차폐전극들을 포함하는 것을 특징으로 하는 수평전계형 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 내지 제 4 화소전극들의 각각은 상기 데이터 라인들과 나란하게 배열된 복수의 가지부들을 구비하고, 상기 제 1 화소전극의 가지부들과 상기 제 2 화소전극의 가지부들은 상기 제 1 화소 영역 내에서 번갈아 배치되며,

상기 제 3 화소전극의 가지부들과 상기 제 4 화소전극의 가지부들은 상기 제 2 화소 영역 내에서 번갈아 배치되는 것을 특징으로 하는 수평전계형 액정 표시장치.

#### 청구항 3

제 1 항에 있어서,

1 수평라인에 배치되는 화소 영역들은 상기 복수의 게이트 라인들 중 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이에 배치되며,

상기 1 수평라인에 배치되는 상기 제 1 화소 영역은,

상기 홀수번째 게이트 라인에 접속되는 게이트 전극과 상기 제 1 화소전극에 접속되는 드레인 전극 및 제 1 데이터 라인에 접속되는 소스전극을 포함하는 제 1 박막 트랜지스터와,

상기 홀수번째 게이트 라인에 접속되는 게이트 전극과 상기 제 2 화소전극에 접속되는 드레인 전극 및 상기 제 2 데이터 라인에 접속되는 소스전극을 포함하는 제 2 박막 트랜지스터를 포함하는 것을 특징으로 하는 수평전계형 표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 1 수평라인의 제 1 화소 영역에 이웃하는 제 2 화소 영역은,

상기 짝수번째 게이트 라인에 접속되는 게이트 전극과 상기 제 3 화소전극에 접속되는 드레인 전극, 및 상기 제 2 데이터 라인에 접속되는 소스전극을 포함하는 제 3 박막 트랜지스터와,

상기 짝수번째 게이트 라인에 접속되는 게이트 전극과 상기 제 4 화소전극에 접속되는 드레인 전극 및 상기 제 3 데이터 라인에 접속되는 소스전극을 포함하는 제 4 박막 트랜지스터를 포함하는 것을 특징으로 하는 수평전계형 표시장치.

**청구항 5**

제 1 항에 있어서,

상기 복수의 게이트 라인들은 투명 기관 상에 배치되고,

상기 복수의 데이터 라인들은 상기 게이트 라인들을 커버하는 게이트 절연막 상에 배치되며,

상기 복수의 데이터 라인들을 커버하는 제 1 보호막 상의 상기 제 1 및 제 2 화소 영역들에는 각각 컬러필터가 배치되고,

상기 컬러필터들을 커버하는 제 2 보호막 상의 상기 제 1 화소 영역에는 상기 제 1 및 제 2 화소전극들이 서로 번갈아 배치되고, 상기 제 2 보호막 상의 상기 제 2 화소 영역에는 제 3 및 제 4 화소전극이 배치되며, 상기 제 2 보호막 상의 제 1 및 제 2 화소 영역 사이에는 상기 제 1 내지 제 4 화소전극과 접촉하지 않도록 상기 차폐전극이 배치되는 것을 특징으로 하는 수평전계형 표시장치.

**청구항 6**

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 투명 기관과 상기 게이트 절연막 중의 어느 하나 상에 상기 게이트 라인과 나란하게 배치되며, 상기 차폐전극에 접속되는 차폐전압 공급라인을 더 포함하고,

상기 복수의 화소 영역들 중 블랙상태를 표시하는 화소 영역에 배치된 화소전극들에 공급되는 데이터 전압과 동일한 전압이 상기 차폐전압 공급라인을 통해 상기 차폐전극에 인가되는 것을 특징으로 하는 수평전계형 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 수평 전계형 액정 표시장치에 관한 것으로, 특히 블랙 상태(black state)에서 빛샘현상을 방지할 수 있는 수평 전계형 액정 표시장치에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인플레인 스위칭(In Plane Switching ; IPS) 방식의 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 도 1을 참조하여 종래의 IPS 모드 수평 전계형 액정 표시장치에 대해 보다 설명하기로 한다. 도 1은 종래의

IPS 모드 수평 전계형 액정 표시장치를 도시한 평면도이다.

- [0006] 도 1을 참조하면, 종래의 IPS 모드 수평 전계형 액정 표시장치는 기관 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에서 일정 간격을 두고 나란하게 배열되는 가지부들을 갖는 화소전극들(Px), 게이트 라인(GL)과 평행하게 배열되는 공통라인(SL)에 연결되는 공통전극(COM)을 포함한다.
- [0007] 공통라인(SL)은 공통라인(SL)으로부터 분기되어 화소 영역으로 연장되는 공통라인 분기부(CB)를 포함한다. 공통라인(SL)과 공통라인 분기부(CB)는 게이트 라인(GL)과 동일층에 형성된다. 공통전극(COM)은 공통라인 분기부(CB)에 연결되며, 각 화소 영역에서 화소전극(Px)과 번갈아 배치되는 가지부들을 구비한다. 공통전극(COM)과 화소전극(Px)은 동일층에 형성된다.
- [0008] 상술한 종래의 IPS 모드 수평 전계형 액정 표시장치에 의하면, 공통전극(COM)과 화소전극(Px) 간의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과량이 변경된다. 공통전극(COM)에는 일반적으로 접지전압과 같은 일정 레벨의 기준전압이 공급되고, 화소전극(Px)에는 데이터 라인(DL)을 따라 가변 화소 데이터 전압이 공급된다.
- [0009] 그런데, 데이터 라인(DL)과 공통전극(COM) 사이 (또는 데이터 라인(DL)과 화소전극(Px) 사이)에는 공통전극(COM)과 화소전극(Px) 사이에서 처럼 전계가 형성되지 않아 액정이 거동하지 않게 되므로 블랙 상태(black state)에서 빛을 차단해야 할 경우 빛이 누설되는 빛샘현상이 발생한다. 즉, 데이터 라인(DL)의 인접 영역에서 빛샘 현상이 발생한다. 특히, 박막 트랜지스터(TFT) 상에 컬러필터가 형성되는 COT(Color filter On TFT) 박막 트랜지스터 어레이 구조에서 블랙 매트릭스(Black Matrix)가 제거된 구조를 적용할 경우 이러한 빛샘현상이 과도하게 나타나는 문제점이 있었다.

**발명의 내용**

**해결하려는 과제**

- [0010] 본 발명의 목적은 상술한 기술적 과제를 해결하기 위한 것으로, 1 화소 영역에 상이한 데이터 라인들로부터 화소전압을 공급받는 제1 및 제2 화소전극들을 배치하여 이들 화소 전극들간 전압차를 이용함으로써 고전압 구동이 가능하도록 하고, 서로 이웃하는 화소 영역에 배치되는 화소전극들 사이에 데이터 라인과 중첩되도록 차폐전극을 배치함으로써 데이터 라인 인접영역에 빛샘 현상이 발생하는 것을 방지할 수 있는 수평 전계형 액정 표시장치를 제공하는 것에 있다.

**과제의 해결 수단**

- [0011] 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명에 따르는 수평전계형 액정 표시장치는 서로 교차하도록 배열되는 복수의 게이트 라인들 및 데이터 라인들에 의해 정의되는 화소 영역들, 제 1 내지 제 4 화소전극들, 및 복수의 차폐전극들을 포함한다. 제 1 및 제 2 화소전극들은 복수의 화소 영역들 중 제 1 화소 영역에 배치되어 서로 이웃한 제 1 및 제 2 데이터 라인들로부터 각각 데이터 전압을 공급받는다. 제 3 및 제 4 화소전극들은 복수의 화소 영역들 중 상기 제 1 화소 영역에 이웃한 제 2 화소 영역에 배치되어 상기 제 2 데이터 라인 및 그에 이웃한 제 3 데이터 라인들로부터 각각 데이터 전압을 각각 공급받는다. 복수의 차폐전극들은 서로 인접한 제 1 및 제 2 화소 영역들 사이에서 복수의 데이터 라인들과 중첩되도록 배치된다.
- [0012] 상기 구성에서, 제 1 내지 제 4 화소전극들의 각각은 데이터 라인들과 나란하게 배열된 복수의 가지부들을 구비한다. 또한, 제 1 화소전극의 가지부들과 제 2 화소전극의 가지부들은 제 1 화소 영역 내에서 번갈아 배치되고, 제 3 화소전극의 가지부들과 제 4 화소전극의 가지부들은 제 2 화소 영역 내에서 번갈아 배치된다.
- [0013] 또한, 1 수평라인에 배치되는 화소 영역들은 상기 복수의 게이트 라인들 중 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이에 배치된다. 1 수평라인에 배치되는 제 1 화소 영역은 제 1 및 제 2 박막 트랜지스터들을 포함한다. 제 1 박막 트랜지스터는 홀수번째 게이트 라인에 접속되는 게이트 전극과 제 1 화소전극에 접속되는

드레인 전극 및 제 1 데이터 라인에 접속되는 소스전극을 포함한다. 제 2 박막 트랜지스터는 홀수번째 게이트 라인에 접속되는 게이트 전극과 제 2 화소전극에 접속되는 드레인 전극 및 제 2 데이터 라인에 접속되는 소스전극을 포함하는 제 2 박막 트랜지스터를 포함할 수 있다.

[0014] 또한, 1 수평라인의 제 1 화소 영역에 이웃하는 제 2 화소 영역은 제 3 박막 트랜지스터와 제 4 박막 트랜지스터를 포함한다. 제 3 박막 트랜지스터는 짝수번째 게이트 라인에 접속되는 게이트 전극과 제 3 화소전극에 접속되는 드레인 전극, 및 제 2 데이터 라인에 접속되는 소스전극을 포함한다. 제 4 박막 트랜지스터는 짝수번째 게이트 라인에 접속되는 게이트 전극과 제 4 화소전극에 접속되는 드레인 전극 및 제 3 데이터 라인에 접속되는 소스전극을 포함할 수 있다.

[0015] 또한, 복수의 게이트 라인들은 투명 기관 상에 배치되고, 복수의 데이터 라인들은 상기 게이트 라인들을 커버하는 게이트 절연막 상에 배치된다. 복수의 데이터 라인들을 커버하는 제 1 보호막 상의 제 1 및 제 2 화소 영역들에는 각각 컬러필터가 배치된다. 컬러필터들을 커버하는 제 2 보호막 상의 제 1 화소 영역에는 제 1 및 제 2 화소전극들이 서로 번갈아 배치된다. 제 2 보호막 상의 상기 제 2 화소 영역에는 제 3 및 제 4 화소전극이 배치된다. 제 2 보호막 상의 제 1 및 제 2 화소 영역 사이에는 제 1 내지 제 4 화소전극과 접촉하지 않도록 차폐전극이 배치된다.

[0016] 또한, 본 발명의 수평전계형 표시장치는 투명 기관과 게이트 절연막 중의 어느 하나 상에 게이트 라인과 나란하게 배치되며, 차폐전극에 접속되는 차폐전압 공급라인을 더 포함할 수 있다. 복수의 화소 영역들 중 블랙상태를 표시하는 화소 영역에 배치된 화소전극들에 공급되는 데이터 전압과 동일한 전압이 차폐전압 공급라인을 통해 차폐전극에 인가될 수 있다.

### 발명의 효과

[0017] 본 발명에 따르는 수평 전계형 액정 표시장치에 의하면, 1 화소 영역에 상이한 데이터 라인들로부터 화소전압을 공급받는 제1 및 제2 화소전극들을 배치하고, 서로 이웃하는 화소 영역에 배치되는 화소전극들 사이에 데이터 라인과 중첩되도록 차폐전극이 되므로 데이터 라인 인접영역에 빛샘 현상이 발생하는 것을 방지할 수 있는 효과를 얻을 수 있다.

### 도면의 간단한 설명

[0018] 도 1은 종래의 IPS 모드 수평전계형 액정 표시장치를 도시한 평면도,  
 도 2는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도,  
 도 3은 본 발명의 실시예에 따르는 수평 전계 방식의 액정 표시 패널의 화소 어레이 구조를 개략적으로 도시한 도면,  
 도 4는 도 3에 도시된 본 발명의 실시예에 따르는 액정 표시장치의 화소 어레이 구조의 일부분을 도시한 평면도,  
 도 5는 도 4에 도시된 라인 I-I'을 따라 취한 단면도.

### 발명을 실시하기 위한 구체적인 내용

[0019] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0020] 우선 도 2를 참조하여 본 발명의 실시예에 따르는 액정 표시장치에 대해 설명하기로 한다. 도 2는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도이다.

[0021] 도 2를 참조하면, 액정 표시장치는 화소 어레이(PA)가 형성된 액정 표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 혹은 'IC'라 칭함)(12)들, 게이트 구동회로(13), 및 타이밍 콘트롤러(11)를 구비한다.

액정 표시패널(10)의 아래에는 액정 표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

- [0022] 액정 표시패널(10)은 투명 기관 상에 형성되는 화소 어레이(PA)를 포함한다. 화소 어레이(PA)의 투명 기관에는 데이터 배선들, 게이트 배선들, 박막 트랜지스터들, 박막 트랜지스터에 접속된 서브 픽셀의 화소 전극, 및 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등이 형성된다. 화소 어레이(PA)의 서브 픽셀들 각각은 박막 트랜지스터를 통해 데이터전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.
- [0023] 액정 표시장치는 투과형 액정 표시장치, 반투과형 액정 표시장치, 반사형 액정 표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정 표시장치와 반투과형 액정 표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0024] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 유리기관에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정 표시패널(10)의 투명 기관 상에 접착될 수도 있다.
- [0025] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 데이터 전압들을 데이터 라인들에 출력한다.
- [0026] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 투명 기관 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 2에 도시된 바와 같이 화소 어레이(PA)의 일측에 배치되거나 화소 어레이(PA)의 양측에 배치될 수 있다.
- [0027] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기관(17)을 통해 연결될 수 있다.
- [0028] 도 3은 본 발명의 실시예에 따르는 수평 전계형의 액정 표시장치의 화소 어레이 구조를 개략적으로 도시한 도면이다.
- [0029] 도 3을 참조하면, 본 발명의 실시예에 따르는 수평 전계형의 액정 표시장치의 화소 어레이는 투명 기관 상에서 서로 교차하도록 배열되는 복수의 데이터 라인들(D1~Dn)(n은 2 이상의 자연수) 및 복수의 게이트 라인들(G1~G2m)(m은 2 이상의 자연수)에 의해 정의되는 복수의 화소 영역들을 갖는다. 복수의 데이터 라인들(D1~Dn)은 일정 간격으로 서로 나란하게 배열되고, 복수의 게이트 라인들(G1~G2m)은 서로 나란하게 배열되지만, 각 수평라인의 화소 영역들이 홀수번째 게이트 라인(G1, G3, ..G2m-1)과 짝수번째 게이트 라인(G2, G4, ...G2m) 사이에 배치되도록 더블 게이트 라인들(double gate lines)의 구성을 갖는다.
- [0030] 각 화소 영역에서 2개의 박막 트랜지스터들(T1, T2 또는 T3, T4)은 홀수번째 또는 짝수번째 게이트 라인에 게이트 전극이 연결되도록 배치되고, 그에 수평방향으로 인접한 화소 영역에서는 짝수번째 게이트 라인 또는 홀수번째 게이트 라인에 게이트 전극이 연결되도록 배치된다. 도 3의 실시예를 예로 들면, 1행(row) 1열(column)의 화소 영역에 배치되는 제 1 및 제 2 박막 트랜지스터들(T1, T2)의 게이트 전극들이 홀수번째의 제 1 게이트 라인(G1)에 연결되도록 배치되면, 수평방향으로 그에 인접하는 1행 2열의 화소 영역에 배치되는 제 3 및 제 4 박막 트랜지스터들(T3, T4)의 게이트 전극들은 짝수번째의 제 2 게이트 라인(G2)에 연결되도록 배치된다. 이와 같은 방식으로 1 수평방향으로 배열되는 화소 영역에는 한쌍의 박막 트랜지스터가 번갈아 홀수번째 게이트 라인측과 짝수번째 게이트 라인에 연결되도록 배치된다.

- [0031] 또한, 각 화소 영역에 배치되는 2개의 박막 트랜지스터들은 서로 다른 데이터 라인으로부터 데이터 전압이 공급되도록 배치된다. 도 3을 참조하면, 1행 1열에 배치되는 제 1 박막 트랜지스터(T1)는 제 1 데이터 라인(D1)에 소스전극이 연결되고, 제 2 박막 트랜지스터(T2)는 제 2 데이터 라인(D2)에 소스전극이 연결된다. 1행 2 열에 배치되는 제 3박막 트랜지스터(T3)는 제 2 데이터 라인(D2)에 소스전극이 연결되고, 제 4 박막 트랜지스터(T4) 제 3 데이터 라인(D3)에 소스전극이 연결된다. 이와 같은 방식으로, 1 수평라인의 화소 영역들에 배치되는 모든 박막 트랜지스터들이 서로 다른 데이터 라인에 각각 접속된다.
- [0032] 복수의 데이터 라인들(D1~Dn)과 복수의 게이트 라인들(G1~G2m)의 교차에 의해 정의되는 각 화소 영역에는 2개의 화소전극들(Px1, Px2 또는 Px3, Px4)이 배치된다. 도 3을 참조하면, 1행 1열의 화소 영역에 배치되는 제 1 화소전극(Px1)은 제 1 박막 트랜지스터(T1)의 드레인 전극에 접속되어 제 1 데이터 라인(D1)으로부터 공급되는 제 1 데이터 전압을 공급받고, 제 2 화소전극(Px2)은 제 2 박막 트랜지스터(T2)의 드레인 전극에 접속되어 제 2 데이터 라인(D2)으로부터 공급되는 제 2 데이터 전압을 공급받는다. 이와 같은 방식으로, 1 수평라인의 화소 영역들에 배치되는 화소전극들에 서로 다른 데이터 라인으로부터 공급되는 데이터 전압이 공급된다.
- [0033] 각 화소전극들(Px1~Px4)은 데이터 라인과 나란한 방향으로 배열되는 복수의 가지들을 구비한다. 또한 제 1 화소전극(Px1)의 가지들(Px1b)과 제 2 화소전극 (Px2)의 가지들(Px2b)은 화소 영역 내에서 서로 번갈아 배치되고, 제 3 화소전극(Px3)의 가지들(Px3b)과 제 4 화소전극(Px4)의 가지들(Px4b) 또한 그 화소 영역 내에서 서로 번갈아 배치된다(도 4 참조).
- [0034] 데이터 라인(DL1~DLn)과 그에 인접한 화소전극(Px1~Px4)의 가지들(Px1b~Px4b) 사이에는 데이터 라인(DL1~DL4)으로부터 이격되고 최외측의 화소전극(Px1~Px4)의 가지들(Px1b~Px4b)과 중첩되도록 배치되는 가지들(STb)을 구비하는 스토리지 캐패시터 전극들(ST)이 배치된다. 스토리지 캐패시터 전극들(ST)은 게이트 라인들(G1~G2m)과 나란하게 배열되는 기준전압 공급라인들(STL)로부터 접지전압과 같은 기준전압을 공급받는다. 스토리지 캐패시터 전극들(ST)은 상부에 배치되는 화소전극들(Px1~Px4)의 가지들(Px1b~Px4b)과 스토리지 캐패시터를 구성하며, 데이터 라인들과 화소전극들(Px1~Px4)의 가지들(Px1b~Px4b) 사이에 형성되는 기생 정전용량을 감소시킬 수 있다.
- [0035] 상술한 바와 같은 본 발명의 실시예에 따르는 화소 어레이 구조가 컬럼 인버전 방식으로 구동되면, 인접한 데이터 라인에 서로 반전된 전압이 공급되므로, 제 1 화소전극(Px1)과 제 2 화소전극(Px2) 사이의 전압차 및 제 3 화소전극(Px3)과 제 4 화소전극(Px4) 사이의 전압차는 기준전압(예를 들면, 접지전압)이 공급되는 공통전극을 이용하여 구동하는 것 보다 액정 표시장치를 고전압으로 구동할 수 있게 된다. 따라서, 제 1 화소전극(Px1)과 제 2 화소전극(Px2) 사이의 전압차 및 제 3 화소전극(Px3)과 제 4 화소전극(Px4) 사이의 전압차에 의해 상부의 액정 층에 보가 강한 전계를 인가할 수 있게 되므로 광의 투과율을 보다 효과적으로 제어할 수 있는 효과를 얻을 수 있다.
- [0036] 또한, 본 발명의 실시예에 따르는 액정 표시장치의 화소 어레이는 게이트 라인과 나란하게 배열되는 차폐전원 공급라인(SL)과 차폐전원 공급라인(SL)으로부터 연장되어 데이터 라인들(D1~Dn)과 중첩되도록 배열되는 복수의 차폐전극들(SE)을 더 포함한다.
- [0037] 복수의 차폐전극들(SE)은 인접한 화소 영역들 사이로부터 빛이 누설되는 빛샘현상을 방지할 수 있다. 본 발명의 차폐전극들(SE)은 특히 표시패널의 박막 트랜지스터 어레이 기관에 컬러필터들이 형성되는 COT(Color filter On Transistor) 구조에서 더욱 효과적이다.
- [0038] 다음으로 도 4 및 도 5를 참조하여 본 발명의 실시예에 따르는 액정 표시장치의 화소 어레이의 화소구조에 대해 보다 상세히 설명하기로 한다. 도 4는 도 3에 도시된 본 발명의 실시예에 따르는 액정 표시장치의 화소 어레이 구조의 일부분을 도시한 평면도이고, 도 5는 도 4에 도시된 라인 I-I'을 따라 취한 단면도이다.
- [0039] 도 3 내지 도 5를 참조하면, 투명 기관(SUB)상에서는 제 1 방향(예를 들면 도면의 수평방향)으로 서로 평행하게 배열되는 복수의 게이트 라인들(G1~G2m), 기준전압 공급라인들(STL) 및 그에 연결되어 연장되는 가지들(STb)을 구비하는 스토리지 캐패시터 전극들(ST)이 배열된다. 복수의 게이트 라인들(G1~G2m), 기준전압 공급라인들(STL) 및 스토리지 캐패시터 전극들(ST)이 배열된 투명 기관(SUB) 상에는 이들을 커버하는 게이트 절연층(GI)이 형성된다. 게이트 절연층(GI) 상에는 박막 트랜지스터들(T1~T4) 및 박막 트랜지스터들(T1~T4)의 소스전극들(S)에 각각 연결되는 복수의 데이터 라인들(D1~Dn)이 복수의 게이트 라인들(G1~G2m)과 교차하도록 배열된다. 복수의 게이트 라인들(G1~G2m)과 복수의 데이터 라인들(D1~Dn)의 교차에 의해 화소 영역들이 정의된다. 각 수평라인의 화소 영역 상측에는 홀수번째의 게이트 라인(G1, G3, ...G2m-1)이 배치되고, 하측에는 짝수번째의 게

이트 라인(G3, G4, ...G2m)이 배치되어 더블 게이트 라인의 구성이 이루어진다.

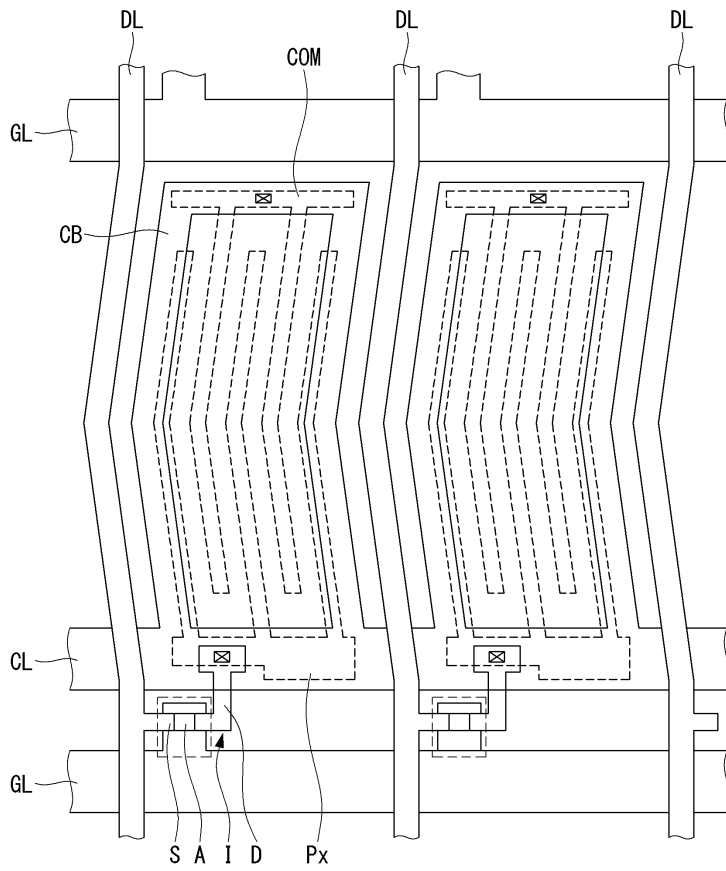
- [0040] 박막 트랜지스터들(T1~T4)과 데이터 라인들(D1~Dn)이 형성된 게이트 절연막 (GI)상에는 이들을 커버하도록 제 1 보호막(PAS1)이 형성된다. 제 1 보호막(PAS1) 상에는 각 화소 영역 별로 디스플레이에 필요한 컬러필터(CF)가 배치된다. 컬러필터(CF) 상에는 컬러필터를 커버하도록 제 2 보호막(PAS2)이 형성된다.
- [0041] 제 2 보호막(PAS2) 상의 각 화소 영역에는 제 1 및 제 2 화소전극들(Px1, Px2) 또는 제 3 및 제 4 화소전극들(Px3, Px4)이 배치된다. 제 1 내지 제 4 화소전극들(Px1~Px4)의 각각은 제 1 및 제 2 보호막들(PAS1, PAS2)을 관통하는 콘택홀(도시생략)을 통해 박막 트랜지스터들(T1~T4)의 드레인 전극들에 각각 접속될 수 있다. 각 화소전극들(Px1~Px4)은 데이터 라인(D1~ Dn)과 나란한 방향으로 배열되는 복수의 가지들(Px1b~Px4b)을 구비한다. 또한 제 1 화소전극(Px1)의 가지들(Px1b)과 제 2 화소전극(Px2)의 가지들(Px2b)은 화소 영역 내에서 서로 번갈아 배치되고, 제 3 화소전극(Px3)의 가지들(Px3b)과 제 4 화소전극(Px4)의 가지들(Px4b) 또한 그 화소 영역 내에서 서로 번갈아 배치된다.
- [0042] 또한 제 2 보호막(PAS2) 상의 인접한 화소 영역들 사이에는 데이터 라인들(D1~Dn)과 중첩되고 화소전극들의 가지들(Px1b~Px4b)과 접촉하지 않도록 차폐전극들(SE)이 형성된다. 차폐전극들(SE)은 차폐전압 공급라인(SL)으로부터 전원을 공급받으며, 데이터 라인들(D1~Dn) 또는 게이트 라인들(G1~G2m) 형성시 형성될 수 있다. 차폐전극들(SE)은 제 1 및 제 2 보호막들(PAS1, PAS2)을 관통하는 콘택홀(도시생략) 또는 제 1 및 제 2 보호막들(PAS1, PAS2)과 게이트 절연막(GI)을 관통하는 콘택홀(도시생략)을 통해 차폐전압 공급라인(SL)에 연결될 수 있다.
- [0043] 도면에 도시되지는 않았지만 제 1 내지 제 4 화소전극들(Px1~Px4)과 차폐전극들(SE)이 형성된 제 2 보호막(PAS2) 상부에는 액정층이 배치된 후 밀봉된다.
- [0044] 상술한 본 발명의 실시예에 따르는 액정 표시장치는 블랙상태의 화소 영역에 위치한 화소전극들과 차폐전극들에 동일한 레벨의 전압을 공급함으로써 빛샘이 없는 블랙상태를 구현할 수 있게 된다. 예를 들어, 도 3의 제 1 행 1열과 제 2 열의 화소 영역이 블랙상태일 경우 차폐전압 공급라인(SL)을 통해 차폐전극들(SE)에 공급되는 전압을 제 1 내지 제 4 화소전극들(Px1~Px4)에 공급되는 데이터 전압과 동일한 레벨로 하면, 상부의 액정 배열이 화소 영역 내부와 동일하게 블랙상태로 제어할 수 있게 된다. 따라서, 블랙 매트릭스(black matrix)를 별도로 구성하지 않더라도 빛샘현상을 방지할 수 있는 효과를 얻을 수 있다.
- [0045] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- [0046] 예를 들어, 본 발명의 실시예에서는 COT 구조의 액정 표시장치를 예로 들어 설명하고 있지만 본 발명이 이에 한정되는 것은 아니며, 박막 트랜지스터 어레이 기판과 컬러필터 기판이 각각 구비되는 액정 표시장치에서도 적용 가능하다.
- [0047] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

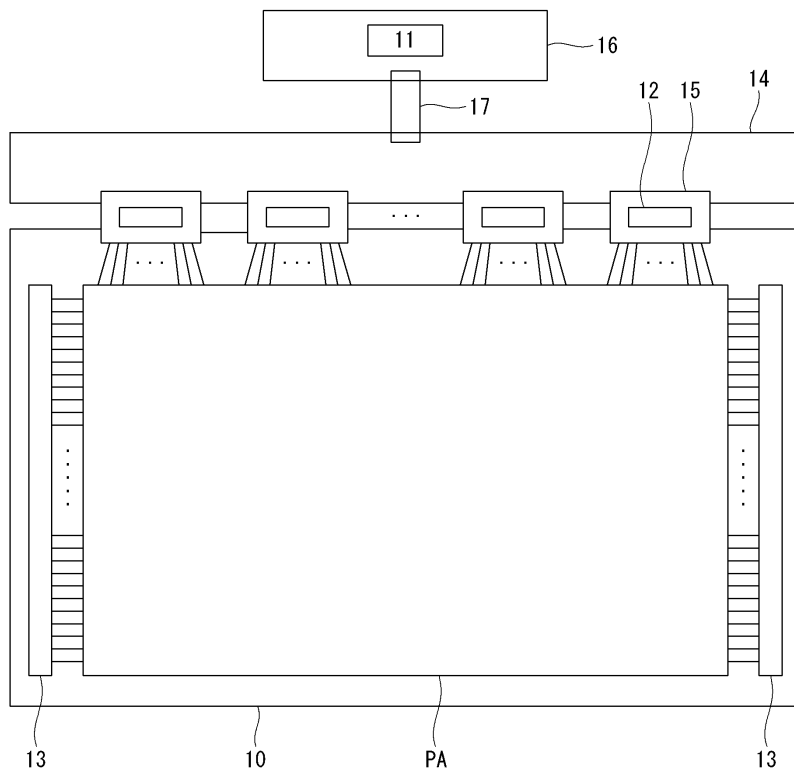
- [0048] SL: 차폐전압 공급라인 SE: 차폐전극
- D1~Dn: 데이터 라인 G1~G2m: 게이트 라인
- Px1~Px4: 화소전극 T1~T4: 박막 트랜지스터

도면

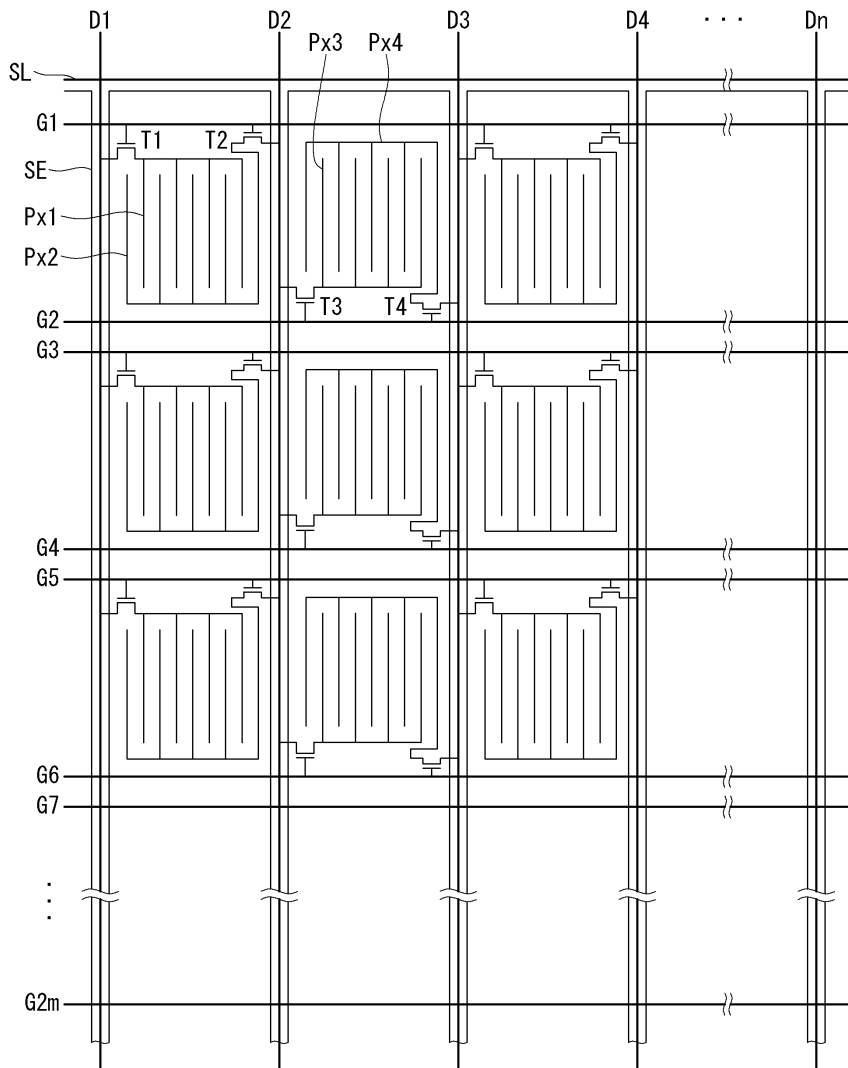
도면1



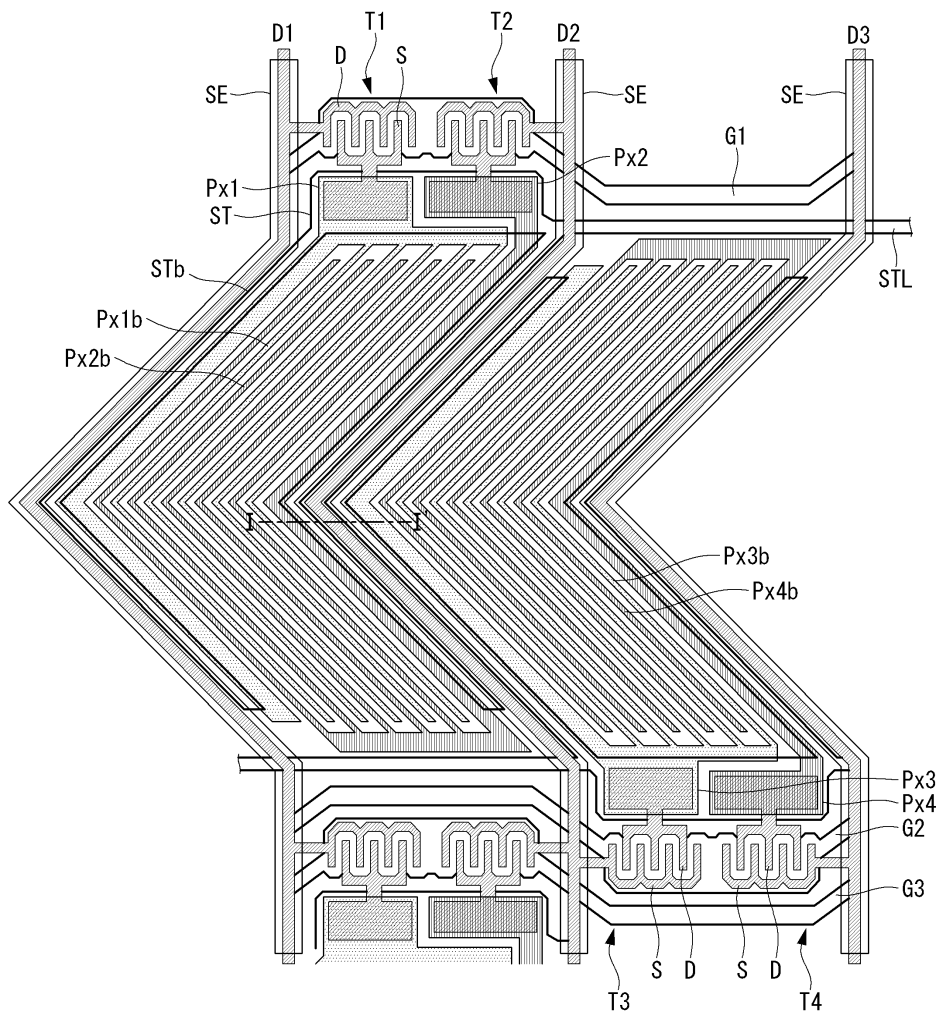
도면2



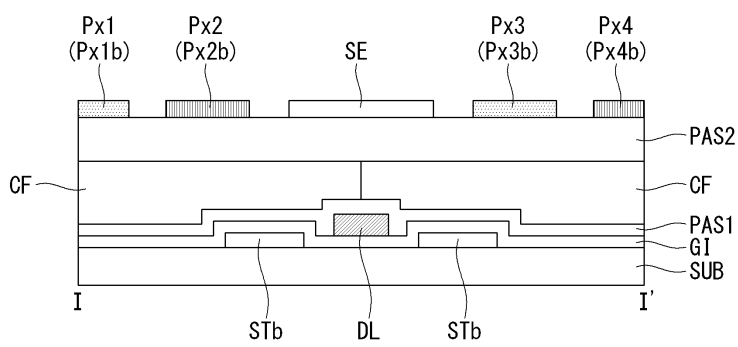
도면3



도면4



도면5



专利名称(译)	一种水平电场型液晶显示器		
公开(公告)号	<a href="#">KR1020160044170A</a>	公开(公告)日	2016-04-25
申请号	KR1020140138593	申请日	2014-10-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SANG WOOK 이상욱 JO JAE HYUNG 조재형		
发明人	이상욱 조재형		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/134363 H01L29/786 G02F2201/123		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

水平电场型液晶显示器本发明涉及一种能够防止黑色状态下的漏光现象的水平电场型液晶显示器，更具体地说，涉及一种水平电场型液晶显示器，其具有由多条栅极线和数据线相互交叉排列的像素区域，第四像素电极和多个屏蔽电极。第一和第二像素电极设置在多个像素区域的第一像素区域中，并分别从相邻的第一和第二数据线接收数据电压。第三像素电极和第四像素电极布置在多个像素区域中与第一像素区域相邻的第二像素区域中，以分别从第二数据线和与其相邻的第三数据线提供数据电压接收。多个屏蔽电极布置成与彼此相邻的第一和第二像素区域之间的多条数据线重叠。

